

MVDC용 차단기의 성능 평가를 위한 단락 시험용 고전류원 고전압원 설계

김동욱¹, 이호윤¹, 박규훈¹, 김성민¹, 이방욱¹, 조영표², 김주용²
한양대학교¹, 한전 전력연구원²

Design of High Voltage Source and Current Source for Short Circuit Test to Evaluate the Performance of MVDC Breaker

Dong-Uk Kim¹, Ho-Yun Lee¹, Kyu-Hoon Park¹, Sungmin Kim¹, Bang-Wook Lee¹,
Youngpyo Cho², Juyong Kim²
Hanyang University¹, KEPRI²

ABSTRACT

본 논문에서는 MVDC(Medium-Voltage DC) 차단기의 성능 평가를 수행하기 위해 사용되는 단락 시험 설비의 새로운 구조를 제시한다. 단락 시험 설비는 직류 고전압과 고전류를 발생시키고 이러한 조건에서 차단기의 개폐 성능을 검증한다. 고전압과 고전류를 단일 회로로 합성하는 구조의 경우, 단락 시험 설비의 규모와 전력용량이 매우 크다. 제시하는 단락 시험 설비는 별개의 회로인 고전류원과 고전압원으로 구성된다. 각 회로에서 직류 고전압과 고전류를 발생시켜 단락 시험을 수행하는 구조이다. 제시하는 단락 시험 설비의 구조와 동작 원리를 설명하고 시뮬레이션 분석을 통하여 그 성능을 검증하였다.

1. 서론

최근 직류 계통 중 하나인 1.5[kV]~100[kV]대의 전압을 갖는 MVDC(Medium-Voltage DC) 계통에 대한 연구가 활발히 진행되고 있다^[1]. MVDC급 계통을 운전함에 있어 단락 또는 지락 사고 발생으로 인하여 고장 전류가 발생하는 경우 이를 차단하고 빠른 시간 내에 개폐하기 위하여 MVDC급 차단기가 필수적이고 이에 대한 연구가 활발히 진행 중이다. 차단기가 계통의 고전류와 고전압 조건에서 고장 전류를 감지하고 개폐할 수 있는 능력을 검증하기 위하여 DC 단락 시험이 수행된다. 단락 시험 설비를 통해 단락 사고를 모의하여 고전류와 고전압 조건을 발생시키고 이때 차단기의 성능을 검증한다. 기존의 단락 시험 설비는 국내외로 ABB, Simense, Alstom, LS산전 등 국내외 업체에서 독자적인 단락 시험 설비를 개발하여 사용하고 있고, 단락 시험 설비에 대한 구조와 성능은 여러 논문을 통하여 제시되었다^[2]. 본 논문에서 다루는 단락 시험 설비는 고전압원과 고전류원을 위상 천이 풀브릿지 컨버터 구조를 이용하여 각각 구성한다. 전자접촉기를 개폐하여 단락 사고를 모의하고 고전류, 고전압을 발생 시킨다. 제안하는 단락 시험 설비를 설명하고 축소 모델을 통하여 시뮬레이션과 실험으로 검증하였다.

2. 위상 천이 풀브릿지 컨버터를 이용한 단락 시험용 고전류원 고전압원

2.1 위상 천이 풀브릿지 컨버터

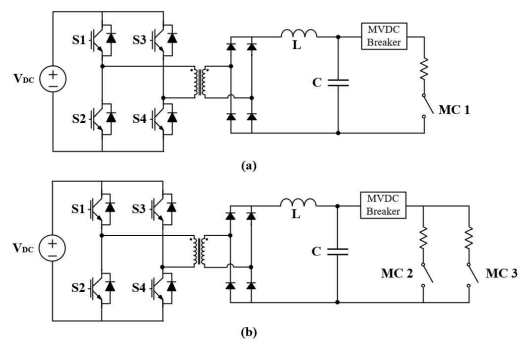


그림1 단락 시험용 고전류원 고전압원의 구조
Fig.1 The structure of high-voltage and high-current source

위상 천이 풀브릿지 컨버터(Phase Shifted Full-Bridge Converter)는 두 Leg의 스위칭 신호의 위상을 조절함으로써 컨버터의 출력을 제어할 수 있다^[3]. 또한 스위칭 동작 특성에 의해 ZVS(Zero Voltage Switching)를 얻을 수 있다는 장점을 가진 DC/DC 컨버터이다. 입력 단에서 출력 단으로 전력을 전달하기 위해서는 Leg 1의 스위치들을 지상으로 스위칭하고 Leg 2의 스위치들을 진상으로 스위칭 시킨다. 이때 각 스위치의 온-오프 비율은 항상 0.5 이다. 두 Leg의 위상이 일치하는 경우, S1과 S3 또는 S2와 S4가 턴-온 되므로 입력 단 에너지가 출력 단으로 전달되지 않는 환류 모드로 동작한다. 두 Leg의 위상차가 발생하는 경우, S1과 S4 또는 S2와 S3가 동시에 턴-온 되는 구간이 발생한다. 따라서 입력 단으로부터 출력 단으로 전력이 전달될 수 있는 경로가 생겨 DC/DC 컨버터로서 동작을 하게 된다.

2.2 단락 시험용 고전류원 고전압원

하나의 회로로 직류 고전압과 고전류를 동시에 발생시키는 경우, 단락 시험설비의 규모와 사용되는 부품들의 사양이 상당히 높아지게 되어 비효율적이다. 따라서 고전류와 고전압원을 위상 천이 풀브릿지 컨버터 구조를 사용하여 각각 구현한다. 각 컨버터에서 고전류와 고전압을 생성한 후 차단기의 성능을 평가한다. 그림 2는 단락 시험 설비의 동작 순서를 나타낸다. 그림2-(a)는 고전압원의 동작을 나타낸다. 스위칭을 시작하여 출력 전압을 발생시킨 후 정상 상태에서 부하 측 전자접촉기

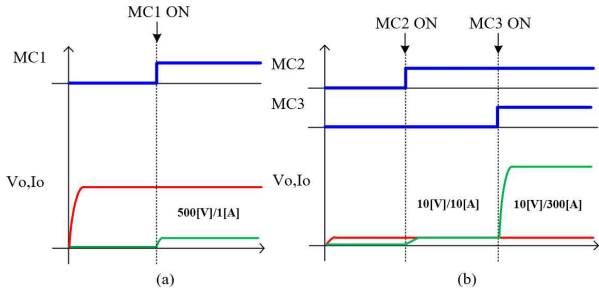


그림2 단락 설비의 동작 순서. (a) 고전압원 (b) 고전류원
 Fig.2 The operation sequence of short circuit equipment
 (a) High-voltage source (b) High-current source

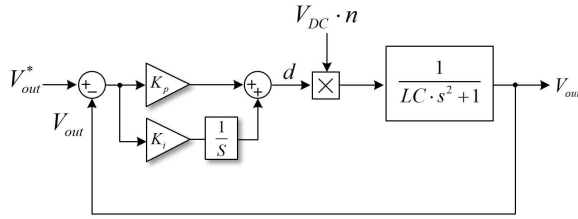


그림3 출력 전압 제어기 블록도
 Fig.3 Block diagram of output voltage controller

(MC1)를 접촉시켜 전류를 출력한다. 최종적으로 직류 고전압 조건이 발생한 직후, 차단기가 직류 고전압을 차단시킬 수 있는지 테스트한다. 그림2-(b)는 고전류원의 동작을 나타낸다. 스위칭을 시작하여 출력 커패시터에 전압을 충전한 후, 부하 측 전자접촉기(MC2)가 켜지고 전류를 출력한다. 저전압 저전류 조건에서 낮은 저항 값을 갖는 부하 측의 전자접촉기(MC3)를 접촉시켜 고전류를 발생시킨다. 최종적으로 직류 고전류를 발생시킨 조건에서 차단기의 고장전류 차단 성능을 테스트한다.

2.3 설계 과정

위상 전이 폴브릿지 컨버터의 출력 전압, 출력 필터의 인덕턴스와 커패시턴스는 다음과 같은 수식으로 결정된다.

$$\begin{cases} V_o = V_{IN} \left(\frac{N_s}{N_p} \right) d \\ L = \frac{V_o \left(\frac{1}{2} - d \right) T_s}{2 \Delta i_L}, C = \frac{V_o \left(\frac{1}{2} - d \right) T_s^2}{16 \Delta V_L} \end{cases}$$

이때 d 는 두 Leg의 위상 차이를 나타낸다.

그림 3은 컨버터의 출력 전압 제어 블록도를 나타낸다. 출력 전압을 일정하게 제어하기 위하여 출력 전압 지령과 측정된 출력 전압의 오차를 PI(Proportional Integral) 제어기에 입력하여 d 를 얻는다.

3. 시뮬레이션 및 결과

설계한 고전류와 고전압원의 동작을 확인하기 위하여 PLECS 시뮬레이션 툴을 이용하여 시뮬레이션을 수행하였다. 단락 시험설비의 각 파라미터들은 앞 절에서 설명한 내용을 토대로 계산하였고 표 1에 기술되어 있다. 그림4에서 고전압원의 경우 20[ms]에 전자 접촉기를 닫아 500[V]/1[A]의 출력을 내는 것을 확인할 수 있다. 고전류원의 경우 40[ms]에 저항 값이 높

표 1 고전압, 고전류원의 파라미터

Table 1 Parameter of high-voltage and high-current source

High voltage source		High current source	
V_{in}	500[V]	V_{in}	500[V]
V_o	500[V]	V_o	10[V]
I_o	1[A]	I_o	300[A]
N_s/N_p	45/1	N_s/N_p	10/9
L	6[μH]	L	83[mH]
C	700[μF]	C	50[pF]

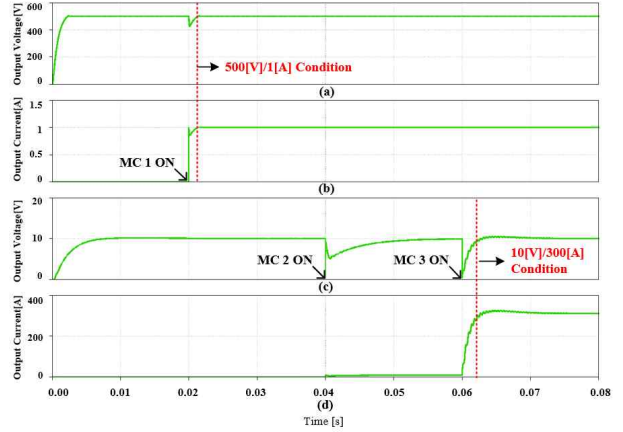


그림4 출력 전압과 전류 파형
 Fig.4 Waveform of output voltage and current

은 측 부하(1[Ω])의 전자접촉기를 닫아 10[V]/10[A]의 출력을 내고 60[ms]에 저항 값이 낮은 측 부하(0.33[Ω])의 전자접촉기를 닫아 10[V]/300[A]의 출력을 내는 것을 확인할 수 있다.

3. 결론

본 논문에서는 MVDC 차단기의 성능 평가를 수행하기 위해 사용되는 단락 시험 설비의 새로운 구조를 제시하였다. 제안하는 단락 시험 설비는 고전압 조건을 발생시키기 위한 고전압과 고전류 조건을 발생시키기 위한 고전류원으로 이루어진 구조이다. 고전압원과 고전류원의 설계 과정을 설명하였고, 설계한 단락 시험 설비를 시뮬레이션을 통하여 그 성능을 검증하였다.

본 연구는 한국전력 전력연구원의 연구비지원(R17DA10)에 의해 수행되었습니다.

참고 문헌

- [1] 한창희, 장길수, 이한상, “MVDC(Medium-Voltage Direct Current) 기술 동향”, 전기의세계, 제68권1호, p.17-21, 2019.
- [2] Eui-Cheol Nho, Byung-Moon Han, Yong Ho Chung, Seung Taek Baek, Jae-Hun Jung, “Synthetic Test Circuit for Thyristor Valve in HVDC Converter with New High-Current Source” IEEE Transactions on Power Electronics, Vol.29, No.7, July 2014.
- [3] 임정규, 서은경, 정세교, 이현우, “위상 전이 폴-브릿지 컨버터의 디지털 제어기 설계” 전력전자학회 학술대회 논문집, p.22-24, 2006