

직렬 연결 부하의 전압 제어를 위한 소신호 분석 및 제어기 설계

전용진, 노광열, 하정의
서울대학교

Analysis and Design of Voltage Regulator on Stacked Voltage Domain

Yong Jin Jeon, Gwangyeol Noh, Jung-Ik Ha
Department of Electrical Engineering, Seoul National University, Seoul, Korea

ABSTRACT

본 논문에서는 직렬 연결 구조의 밸런싱 회로에 대한 정상상태 분석과 소신호 분석 및 제어기 설계를 진행하였다. 부하의 직렬 연결 구조는 전체 시스템의 도통손실을 감소시켜 효율을 극대화 할 수 있기 때문에 최근에 많이 연구되고 있다. 해당 구조는 직렬 연결된 부하들의 불균형을 맞춰주는 밸런싱 회로가 필수적인데, 이 회로의 특성 및 제어기가 전체 시스템의 동작 특성을 결정한다. 본 논문에서 진행한 밸런싱 회로의 소신호 분석을 바탕으로 직렬 연결된 2개의 부하와 밸런싱 회로의 전류 모드 전압 제어를 설계 하였다. MATLAB과 PLECS 시뮬레이션 결과, 두 모델링의 결과가 0.13 % 이하의 오차를 가지는 것을 확인 하였으며, 이를 통해 해당 분석이 타당함을 검증하였다.

1. 서론

반도체 소자의 고성능 동작을 위해 디지털 소자의 동작 전압은 낮아지고 부하 전류는 증가하고 있다^[1]. 하지만 많은 부하 전류를 감당해야하는 프로세서와 같은 디지털 회로의 경우 많은 수의 핀이 필요하고 이는 시스템 면적 감소의 장애물 중 하나이다. 또한 컨버터 부하 전류의 증가로 컨버터의 도통 손실이 증가해 전체 시스템효율이 감소하고 발열이 심해지는 문제가 있다. 이와 같은 문제를 해결하기 위해 부하의 동작 전압은 낮추면서 컨버터의 전류는 증가시키지 않는 회로에 대한 필요성이 증가하고 있다.

그림 1(a)와 같이 부하를 병렬로 연결해 전압을 공유하는 구조가 아닌 그림 1(b)와 같이 부하를 직렬로 쌓아 부하 전류를 공유하는 구조가 제안되었다^[2]. N개의 부하가 그림 1(b)와 같이 직렬로 연결되는 경우 그림 1(a)과 같이 병렬로 연결하는 방법에 비해 컨버터 출력전압은 N배로 증가하고 컨버터 전류는 $\frac{1}{N}$ 로 감소해 전압 변환비가 증가하고 도통 손실도 $\frac{1}{N^2}$ 로 감소한다. 또한 각각 부하 전압을 각 부하의 최적의 전압으로 제어할 수 있다. 하지만 해당 방법은 각 부하의 불균형을 맞춰주는 주변 회로가 필수적으로 필요하고 이를 위한 밸런싱 회로가 제시되었다^[3].

직렬 연결 부하와 밸런싱 회로에 대한 연구는 밸런싱 회로에 대한 구조 제안 및 그 정상 상태 분석이 많이 이루어졌고, 최근에는 해당 구조들의 소신호 분석과 제어기 설계에 대해 많이 연구 되고 있다. 따라서 본 논문에서는 밸런싱 구조 중 벡-컨버터를 각 부하 사이에 연결하는 구조에 대해 컨버터 소신호 분석과 이를 바탕으로 전압 제어를 설계하고 시뮬레이션으로 검증한다.

2. 본론

2.1 정상상태 컨버터 분석

2개의 부하가 직렬로 연결되어 있고 벡 컨버터가 부하 사이에 연결된 밸런싱 구조는 그림 2와 같다. 정상상태에서 인덕터 전압에 대해 voltage-second balance 분석을 하면 입력전압 (V_g)와 출력전압 (V_o)의 비가 식 (1)과 같이 전류 연속 모드에서 동작하는 기준 벡 컨버터의 전압비와 동일함을 알 수 있다.

$$\frac{V_o}{V_g} = D \quad (D: S_1 \text{의 온 듀티}) \quad (1)$$

2.2 소신호 분석

그림 2의 인덕터 전압 (V_L), 커패시터 전류 (I_{C1}), 입력 전류 (I_g)는 아래 식 (2)~(4)와 같다.

$$V_L = L \frac{dI_L}{dt} = D(V_g - V_o) + D'(-V_o) \quad (2)$$

$$I_{C1} = C_1 \frac{dV_o}{dt} = I_L + C_2 \frac{d(V_g - V_o)}{dt} + \frac{V_g - V_o}{R_2} - \frac{V_o}{R_1} \quad (3)$$

$$I_g = DI_L + C_2 \frac{d(V_g - V_o)}{dt} + \frac{V_g - V_o}{R_2} \quad (4)$$

식 (5)와 같이 인덕터 전류 (I_L), 입력 전류 (I_g), 입력 전압 (V_g), 출력 전압 (V_o), 듀티 (D)에 대한 perturbation을 식 (2)~(4)에 대입해 소신호 분석을 하면 그림 3의 소신호 등가회로를 얻을 수 있다.

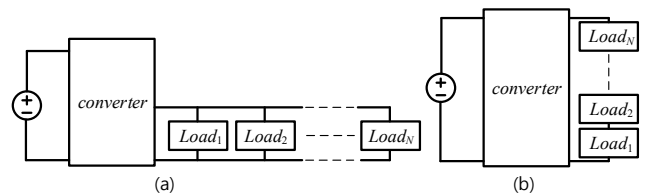


그림 1 (a) 병렬 연결 부하, (b) 직렬 연결 부하
Fig.1 (a) Parallel connected load, (b) Series connected load

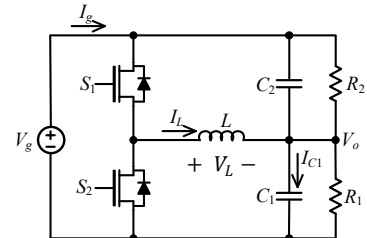


그림 2 직렬 연결된 2개의 부하와 밸런싱 회로
Fig.2 Series connected 2 stacked loads with balancing circuit

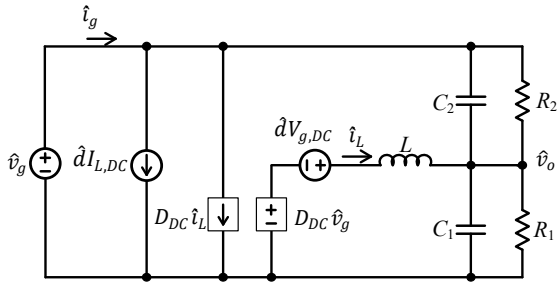


그림 3 벨런싱 회로의 소신호 등가회로
Fig.3 Small signal equivalent circuit of Fig.2

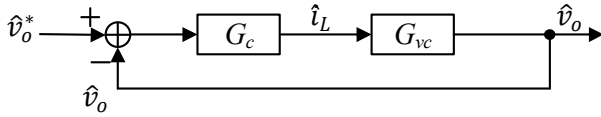


그림 4 전류 모드 전압 제어기 블록도
Fig.4 Block diagram of current programmed mode voltage controller

$$\begin{aligned} I_L &= I_{L,DC} + \hat{i}_L \\ I_g &= I_{g,DC} + \hat{v}_g \\ V_g &= V_{g,DC} + \hat{v}_g \\ V_o &= V_{o,DC} + \hat{v}_o \\ D &= D_{DC} + \hat{d} \end{aligned} \quad (5)$$

그림 3의 소신호 등가회로를 이용해 식 (6), 식 (7)의 개루프 전달함수를 구할 수 있다.

$$G_{vd} = \frac{\hat{v}_o}{\hat{d}} = \frac{\frac{v_g}{LC_{eq}}}{s^2 + \frac{1}{R_{eq}C_{eq}}s + \frac{1}{LC_{eq}}} \quad (6)$$

$$G_{id} = \frac{\hat{i}_L}{\hat{d}} = \frac{\frac{v_g}{L}s + \frac{v_g}{R_{eq}LC_{eq}}}{s^2 + \frac{1}{R_{eq}C_{eq}}s + \frac{1}{LC_{eq}}} \quad (7)$$

$$R_{eq} = \frac{(R_1 R_2)}{R_1 + R_2}, \quad C_{eq} = C_1 + C_2 \quad (8)$$

2.3 전압 제어기 설계

전류 모드 전압 제어기에서 인덕터 전류리플을 무시하고 계산한 인덕터 전류에 대한 출력전압은 식 (9)과 같다.

$$G_{vc} = \frac{\hat{v}_o}{\hat{i}_L} = \frac{G_{vd}}{G_{id}} = \frac{R_{eq}}{R_{eq}C_{eq}s + 1} \quad (9)$$

식 (9)를 사용해 제어기 블록도를 그리면 그림 4와 같은 비례 적분형 제어기 $G_c = K_p + \frac{K_i}{s}$ 를 설계한다. 비례 적분형 제어기를 사용한 전압제어기의 전달함수를 식 (10)와 같이 차단주파수 ω_c 를 갖는 1차 저주파 통과 필터로 하기 위한 제어기의 gain은 식 (11)과 같다.

$$\frac{\hat{V}_o}{\hat{V}_o^*} = \frac{\omega_c}{s + \omega_c} \quad (10)$$

$$K_p = C_{eq}\omega_c, \quad K_i = \frac{\omega_c}{R_{eq}} \quad (11)$$

2.4 시뮬레이션

출력전압 지령에 대한 출력전압이 식 (10)과 같은 1차 저주파 통과 필터가 되도록 비례적분형 전압 제어기를 설계하고 이를 MATLAB 모델링과 PLECS 시뮬레이션 결과를 비교해 검증하였다. 시뮬레이션에 사용한 파라미터는 표1 과 같다.

표1 시뮬레이션 파라미터

Table1. Simulation parameter

V_g	10[V]	$V_{o,DC}$	5[V]
R_1	10[Ω]	R_2	5[Ω]
C_1	200[μF]	C_2	200[μF]
L	600[μH]	F_{sw}	50[kHz]
\hat{v}_o	0.5[V]	ω_c	628[rad/s]

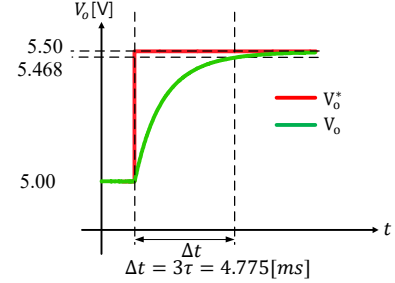


그림 5 출력전압 지령과 출력전압 PLECS 시뮬레이션 결과
Fig.5 Output voltage reference and output voltage simulation result

그림 5는 출력전압지령을 5[V]에서 5.5[V]로 바꿨을 때의 PLECS 시뮬레이션 결과다. 출력전압지령(V_o^*)에 대한 출력전압(V_o)이 $\frac{628}{s+628}$ 이 되도록 제어기를 구성하고 3τ 에 해당하는 4.775[ms]가 지난 후의 전압이 5.468[V]임을 PLECS 시뮬레이션을 통해 확인했다. 이는 회로 모델링을 통한 MATLAB 계산 값인 5.475[V]와 비교했을 때 약 0.13%의 오차가 발생한 것으로 회로의 소신호 분석 및 제어기 설계가 타당함을 확인하였다.

3. 결론

직렬 연결된 2개의 부하와 벡 컨버터 방식의 벨런싱 회로에 대해 소신호 분석을 진행하였고 개루프 전달함수를 도출하였다. 이를 바탕으로 출력전압이 그 지령에 안정적으로 수렴하는 비례 적분 제어기를 설계하였다. 해당 구조와 제어기에 대한 분석을 검증하기 위해 MATLAB 모델링 및 PLECS 시뮬레이션을 진행하였다. 출력전압 지령에 대한 MATLAB 모델링과 PLECS 시뮬레이션의 오차 계산 결과는 0.13% 이하로, 해당 분석을 통해 직렬 연결 구조에 대한 소신호 분석 및 제어기설계가 타당함을 확인하였다.

본 연구는 서울대학교 전력연구소의 지원을 받아 수행한 연구 과제입니다.
본 연구는 Brain Korea 21 Plus in 2019의 지원을 받아 수행한 연구 과제입니다.

참고 문헌

- [1] International Technology Roadmap for Semiconductors (ITRS), 2011, on the web: <http://www.itrs.net/Links/2011ITRS/Home2011.htm>
- [2] S. Rajapandian, Zheng Xu and K. L. Shepard, "Implicit DC-DC downconversion through charge-recycling," in *IEEE Journal of Solid-State Circuits*, vol. 40, no. 4, pp. 846-852, April 2005.
- [3] P. S. Shenoy and P. T. Krein, "Differential Power Processing for DC Systems," in *IEEE Transactions on Power Electronics*, vol. 28, no. 4, pp. 1795-1806, April 2013.