

입자가속기 Ion gate 구동을 위한 고전압 nano-pulse 발생기 회로 설계

오현준, 정구영, 송관석, 노정욱
 국민대학교 전자공학과

Design of High voltage nano pulse generator circuit for ion shutter of particle accelerator

Hyun Jun Oh, Ku Young Jeong, Kwan Seok Song, Chung Wook Roh
 Dept. of Electronics Engineering, Kookmin Univ.

ABSTRACT

입자가속기는 물질의 미세 구조를 밝히기 위해 기본 입자를 가속, 충돌시키는 장치로 최근 암치료 등 의학적 용도로도 이용되고 있다. 그러나 고속으로 고압을 인가시켜야 하는 장치인 만큼 기존에 명확히 설립된 회로가 없다. 이에 본 논문에서는 Ion gate를 등가회로로 구성하여 Fast Switch 장치의 기본 회로를 제안 및 분석, 실험하였다. 또한 기본 회로에서 발생하는 문제들을 개선하고자 RC Input filter와 기타 파라미터들의 설계와 Fast switch와 Ion gate를 잇는 wire 내의 기생성분을 고찰하였고 Ion gate 구동을 위해 기준이 되는 명확한 Fast switch 회로를 제안한다.

1. 서론

입자가속기는 물질의 미세 구조를 밝히기 위해 원자핵 또는 기본 입자를 가속, 충돌시키는 장치이다. 입자가속기는 새로운 입자를 발견해내는 물리학 연구 뿐만 아니라 최근에는 생물학 연구 및 의학적 용도로 이용되고 있다. 특히 의료용 방사성 동위원소를 만드는데 입자가속기가 사용되며, 양성자나 중이온을 가속시킨 뒤 암세포에 쏘 이를 파괴하여 암을 치료하는 양성자 치료도 이뤄지고 있다. 입자가속기가 작동하기 위해서 이온들을 가속해 엄청난 속도로 표적물질에 충돌시켜야 하는 장치의 특성상 이온 게이트의 순간적인 짧은 동작으로 이온의 발생이 필요하다. 회로의 구성은 간단하나 nano-pulse의 짧은 시간 동안 고압을 인가시켜야 하는 장치인 만큼 기존에 명확히 설립된 회로가 없어, nano-pulse 운용을 위한 회로의 설계를 제시한다. [1]

2. Ion Gate 구동을 위해 제안된 Fast Switch 회로 제시

2.1 시스템 구성

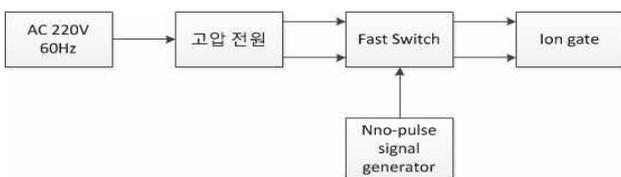


그림 1. 시스템 구성도

그림 1과 같이 고압 전원 장치를 사용하여 Fast Switch 회로에 최대 ±1kV의 전압을 입력하여 switching된 출력 신호를 부하인 ion gate 전극에 인가한다. 이 때, ion gate는 전기적 등가회로로 구성하여 실험하였다

2.2 Fast Switch 장치 기본 회로 구성 및 동작원리

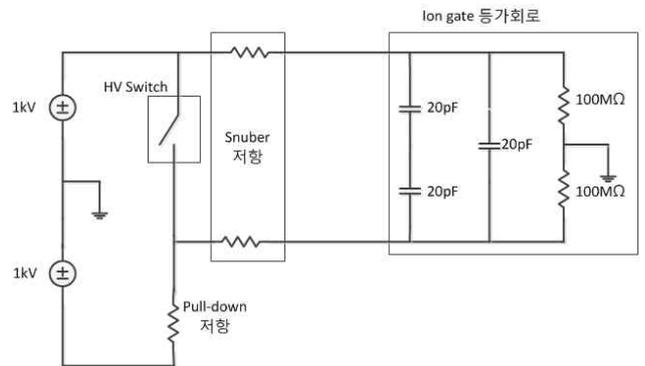


그림 2. Fast Switch 장치 기본 회로

그림 2는 Fast Switch 장치의 기본회로를 나타낸다. 크기는 ±1kV max의 전원장치와 HV Switch, pull-down 저항과 snuber 저항 및 ion gate로 구성되어 있으며 HV Switch는 최대 3kV/60A이고 5ns duration의 옵션을 갖는 스위치(HTS 30-06-UF-OT-5ns)를 사용하였다. HV Switch가 off시에는 (+)전극은 1kV, (-)전극은 -1kV로 $V_O(t)$ 는 2kV이고 HV Switch ON시에는 (+)전극과 (-)전극 모두 1kV로 $V_O(t)$ 는 0V로 5ns duration을 가지고 스위칭 하도록 동작한다.

2.3 Fast Switch 등가회로 및 SW on/off에 따른 MODE 분석

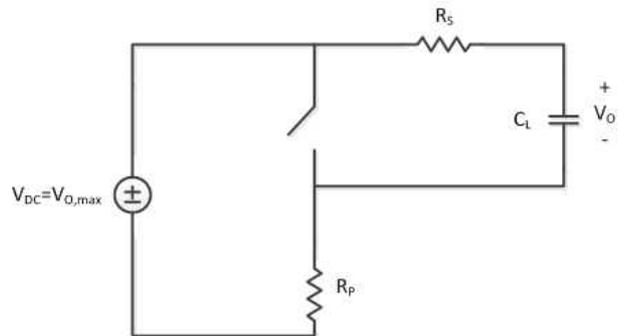


그림 3. Fast Switch 등가회로

그림 2의 Fast Switch 기본 회로를 그림 3의 등가회로로 구성하였고 그림 4는 Switch on/off 에 따라 Mode 1,2,3로 나누고 각 Mode별 출력 전압과 전류들의 파형을 나타낸다.

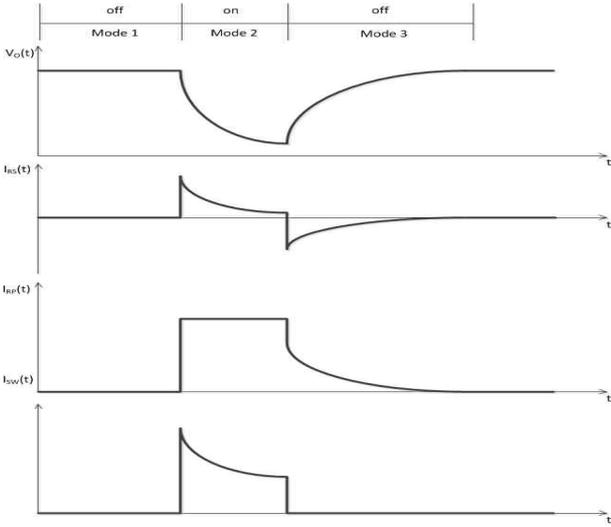


그림 4. 전압 및 전류 파형

2.3.1 Mode 1 : Switch off

Switch가 off인 Mode 1에서 C_L 에 V_{DC} 가 모두 충전되어 $V_O(t)$ 는 $V_{O,max}$ 만큼의 출력이 나오고 전류는 흐르지 않는 상태이다.

2.3.2 Mode 2 : Switch on

Switch가 on인 Mode 2에서는 그림 3의 C_L 에 충전되어 있던 전압이 snuber 저항을 통해 방전되는 것을 볼 수 있다. 출력전압과 스위치 및 각 저항에 흐르는 전류를 식으로 나타내면,

$$V_O(t) = V_{O,max} e^{-\frac{t}{R_S C_L}} \quad (1)$$

$$I_{RS}(t) = V_{O,max} e^{-\frac{t}{R_S C_L}} / R_S \quad (2)$$

$$I_{RP}(t) = V_{O,max} / R_P \quad (3)$$

$$I_{SW}(t) = V_{O,max} e^{-\frac{t}{R_S C_L}} / R_S + V_{O,max} / R_P \quad (4)$$

위와 같음을 확인할 수 있다. Switch가 on 되었을 때, V_O 는 수식 (1)과 같이 하강하고 $T_{on}(5ns)$ 이후 switch가 off 되면서 Mode 2 동작은 종료된다. 이 때, V_O 는 $V_{O,min}$ 값을 갖게 되고

$$V_{O,min} = V_{O,max} e^{-\frac{T_{on}}{R_S C_L}} \quad (5)$$

와 같이 나타낼 수 있다.

2.3.3 Mode 3 : Switch off

Switch가 다시 off가 되는 Mode 3에서 V_O 는 전압원에 의해 다시 충전되고 $V_{O,max}$ 에 도달한 후 Mode 3가 종료되고 Mode 1 부서의 동작을 반복한다. 이 때, 각 전류와 $V_O(t)$ 의 수식은 다음과 같다.

$$V_O(t) = V_{O,max} - (V_{O,max} - V_{O,min}) e^{-\frac{t}{(R_S + R_P) C_L}} \quad (6)$$

$$I_{RS}(t) = -(V_{O,max} - V_{O,min}) e^{-\frac{t}{(R_S + R_P) C_L}} / (R_S + R_P) \quad (7)$$

$$I_{RP}(t) = -I_{RS}(t) \quad (8)$$

2.3.4 Snuber 저항(R_S), Pull down 저항(R_P)의 설계

2.3절의 Mode 분석을 통해 capacitor의 방전 path를 형성하

는 snuber 저항과 pull down 저항을 설계하였다.

$$R_S = \frac{T_{on}}{C_L \ln \frac{V_{O,max}}{V_{O,min}}} \quad (9)$$

$$R_P = \frac{V_{O,max}}{I_{sw, pk} - \frac{V_{O,max}}{R_S}} \quad (10)$$

예측 되는 최저 잔압을 $V_{O,min}$ 으로 설정하여 $R_S \approx 60\Omega$, $R_P \approx 80\Omega$ 으로 설계하였고 중간정도의 duration이 10ns로 예측되었다.

2.4 Input filter의 설계

2.4.1 Input filter의 필요성

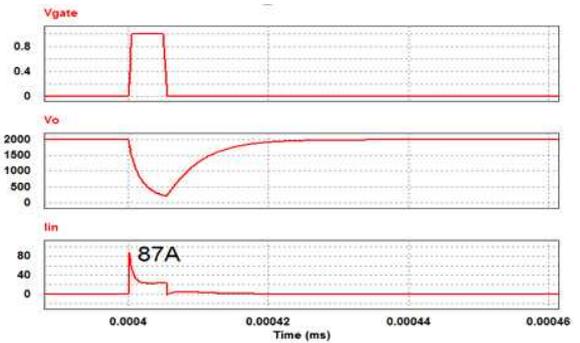


그림 5. Fast Switch 기본 회로의 simulation 결과

그림 5는 그림 2의 Fast Switch 기본회로를 이용하여 simulation하였을 때의 출력전압과 입력 전류의 파형이다. HV Switch의 on/off에 따라 Mode 분석을 통해 예측한 결과 파형을 얻을 수 있었으나, 순간적으로 87A의 입력전류가 발생하는 현상을 확인하였다. 본 실험에서 사용한 고압 전원장치는 30Wmax, 1kV max의 스펙을 갖기 때문에 0.03A 미만으로 입력전류의 제한이 필요하다. 따라서 87A의 전류가 발생 되었을 시, 고압 전원 장치의 과전류 보호 동작으로 고압 전원이 shut down될 가능성이 크다. Input filter를 적용하지 않는다면 더 큰 스펙의 고압 전원장치를 사용할 수 있지만 이는 부피와 비용 등이 급증하게 되므로 이를 개선하기 위한 Input Filter의 적용으로 고압 전원의 전류 제한이 필요하다.

2.4.2 Input filter를 적용한 Fast Switch 회로의 동작 분석

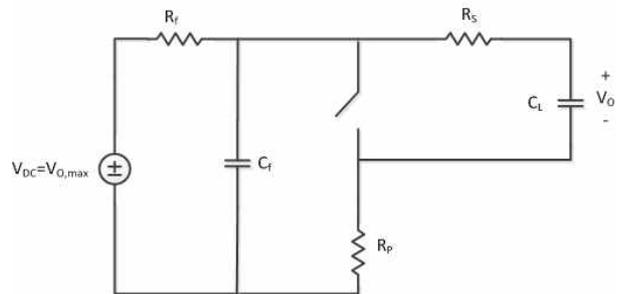


그림 6. Input filter 적용 Fast switch 등가회로

그림 6과 같이 Input filter를 적용한 Fast Switch의 등가회로를 분석하면

$$C_f = \frac{T_{on} \times I_{f,min}}{\Delta V_f} \quad (11)$$

