

오프셋 전압을 이용한 3레벨 인버터의 불연속 PWM 방법 구현

조형준¹, 김현식², 설승기¹
 서울대학교¹, 현대모비스²

Discontinuous PWM Method for Three-Level Inverters Using Offset Voltage

Hyung-June Cho¹, Hyeon-Sik Kim², Seung-Ki Sul¹
 Seoul National University¹, Hyundai Mobis²

ABSTRACT

본 논문에서는 오프셋 전압을 이용한 3레벨 인버터의 불연속 PWM 방법을 제안한다. 스위칭 상태에 따른 3레벨 인버터의 출력전압을 벡터공간에서 도시하여 전압 변조 지수에 따른 DC 레일 및 중성단 클램핑 가능 영역을 분석한다. 이를 바탕으로, 3상 전압 지령 크기를 입력으로 받아 중성단의 클램핑 가능 여부를 판별하고 원하는 지점으로 클램핑 시켜주는 오프셋 전압 생성부를 제안한다. 제안된 방법은 공간 벡터 전압 변조 방식에 비해 간단하며, 기존 2레벨 인버터의 불연속 PWM 방식을 기반으로 하므로 구현에 용이하다. 시뮬레이션 및 실험으로 이론의 타당성 및 효과를 검증하였다.

1. 서론

3레벨 인버터는 기존 2레벨 인버터와 비교하였을 때, 낮은 출력 전압 왜곡, 낮은 스위칭 소자의 전압 스트레스, 높은 효율 등의 장점을 가지고 있고, 점차 계통 연계 및 전동기 구동 분야에서의 활용도가 높아지고 있다.

인버터의 전압 합성 성능 및 효율은 전압 변조 방법(PWM)에 따라 달라진다. PWM 기법은 크게 두 가지 기준으로 구분할 수 있는데, 하나는 구현하는 방식이고, 다른 하나는 변조된 전압의 형태이다. 첫째로, 전압 변조 방법은 구현 방식에 따라, 캐리어 기반 PWM(Carrier-based PWM, CBPWM)과 공간 벡터 PWM(Space vector PWM, SVPWM)으로 분류된다. CBPWM은 전압 지령과 반송파 간의 간단한 비교를 통하여 스위치의 듀티비를 생성한다. 반면, SVPWM은 섹터 구분, 스위칭 순서, 삼각 함수 등이 요구되며, 이로 인해 CBPWM에 비하여 계산량이 크다. 따라서 오프셋 전압을 이용한 CBPWM이 SVPWM에 비하여 계산 부담이 적어 구현이 간단하다.

둘째로, 변조된 전압의 형태에 따라, 연속 PWM(Continuous PWM, CPWM)과 불연속 PWM(Discontinuous PWM, DPWM)으로 구분된다. CPWM에서는 변조된 전압이 클램핑 되지 않는 반면, DPWM에서는 변조된 신호가 DC 버스 중 하나(양성단, 중성단, 음성단)에 클램핑된다. CPWM과 비교하여, DPWM은 스위칭 절환이 적기 때문에 스위칭 손실을 최대 50%까지 줄일 수 있다.

기존 2레벨 인버터에서는 네 가지 DPWM 방식이 널리 사용되고 있다^[1]. 이 방식들을 확장하여, 역률각에 따라 클램핑 영역을 가변 하는 2레벨 인버터의 최소 스위칭 손실

DPWM(Minimum loss DPWM, MLDPWM)이 제안되었다^[1]. 하지만 3레벨 인버터에서는, 2레벨 인버터와는 달리 중성단 클램핑이 가능하며, 낮은 역률 혹은 낮은 전압 변조 지수(MI)에 대하여 2레벨 MLDPWM 보다 효율이 개선될 수 있다^[2].

본 논문은 전압 벡터공간에서 변조지수(MI)에 따른 중성단 클램핑 가능 영역을 분석하며, 이를 바탕으로 중성단 클램핑을 고려한 3레벨 인버터의 DPWM 구현을 위한 오프셋 전압 생성 방식을 제안한다.

2. 3레벨 인버터의 중성단 클램핑

2.1 전압 벡터 공간에서의 해석

3레벨 전압형 인버터는 그림 1과 같이 직류 입력 전원에서부터 3상 교류 출력 전압을 발생하여 3상 부하에 공급하는 기능을 갖는다. +, -, 0은 각각 해당 레그에서 위쪽 스위치, 아래쪽 스위치, 중간 스위치가 도통함을 의미 한다. 그림 2는 3상 스위칭 상태에 따른 전압 벡터를 나타낸다. V^* 는 지령 전압 벡터를 나타내며, 전압각을 θ 로 정의할 때, 다음과 같이 표현된다.

$$V^* = MI \frac{V_{dc}}{2} e^{j\theta} \quad (1)$$

3레벨 인버터의 전압 벡터는 크게 6개의 섹터로 구분된다. 2레벨 인버터의 전압 벡터와 마찬가지로, 각 섹터는 DC 링크의 양성단, 음성단 클램핑이 가능하다. 추가적으로 내부 육각형(초록 영역)과 각 섹터의 중심 삼각형(파란 영역)에서는 중성단 클램핑이 가능하다. 이 영역은 3상 전압을 바탕으로 다음과 같이 표현할 수 있다.

$$V_{max}^* - V_{mid}^* \leq \frac{V_{dc}}{2} \ \& \ V_{mid}^* - V_{min}^* \leq \frac{V_{dc}}{2} \quad (2)$$

여기서, V_{max}^* , V_{mid}^* , V_{min}^* 는 상전압 지령의 최대치, 중간치, 최소치이다.

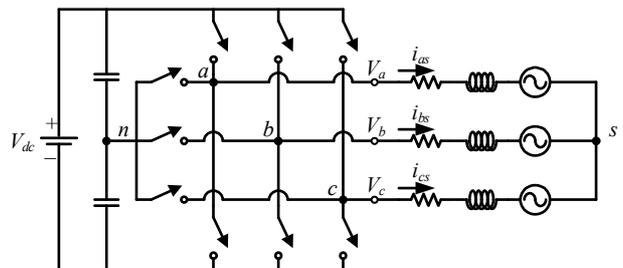


그림 1. 3레벨 전압형 인버터.

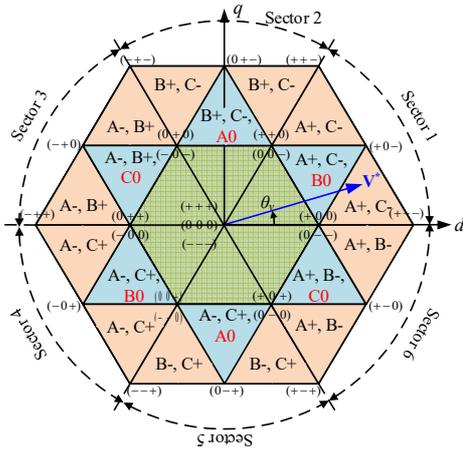


그림 2. 3레벨 인버터의 전압벡터와 클램핑 가능 여부.

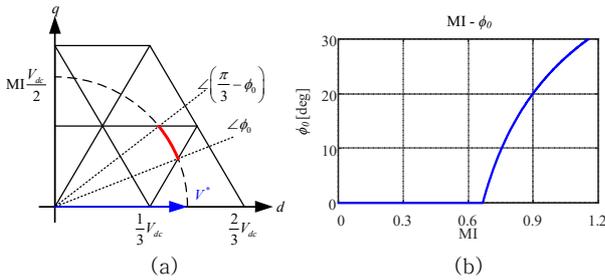


그림 3. (a) 중성단 클램핑 범위 (빨간선), (b) MI와 ϕ_0 의 관계.

2.2 전압 변조 지수의 영향

$MI \geq 2/3$ 인 경우, 중성단 클램핑 가능 영역과 전압 벡터의 궤적 사이에 교점이 생긴다. 그림 3(a)와 같이 교점의 각도 ϕ_0 와 $\pi/3 - \phi_0$ 은 MI에 따라 변한다. 두 각도의 차이가 주어진 MI에 대한 중성단 클램핑 가능 범위이다. MI가 작아질수록 중성단 클램핑 가능 범위, $\pi/3 - 2\phi_0$ 는 증가하게 된다. 이 때, ϕ_0 는 다음과 같다.

$$\phi_0 = \frac{\pi}{3} - \sin^{-1}\left(\frac{1}{\sqrt{3}MI}\right) \quad (3)$$

$MI < 2/3$ 의 경우, 전압 벡터 궤적과 중성단 전압 벡터 궤적은 θ_0 와 무관하게 항상 중성단 클램핑 가능 영역에 존재하게 된다. 이 때의 ϕ_0 는 0으로 정의한다. 최종적으로 MI와 ϕ_0 의 관계는 그림 3(b)와 같이 나타난다.

3. 옴셋 전압을 이용한 DPWM

3.1 2레벨 인버터의 DPWM과의 비교

3상 인버터의 DPWM시, 각 레그는 전기각 한 주기에 대하여 120° 구간 동안 스위칭 상태를 고정한다. 스위칭 손실을 저감하기 위하여, 상전류의 피크 근방 60° 동안 스위칭 상태를 고정해야 한다. 그림 4는 2레벨 인버터 MLDPWM에서, 역률각(ϕ)에 따른 a상 스위칭 패턴이다. 그림에서 \mathbf{V}^* 는 지령 전압 벡터를, \mathbf{I} 는 상전류 벡터를 각각 의미하며, 파란색 실선은 a상 전류의 피크 근방 60° 에서의 \mathbf{V}^* 의 위치, 음영 처리된 부분은 MLDPWM에서의 a상 클램핑 영역을 나타낸다.

그림 4(a)에 나타나 있듯이 역률각이 $\pm 30^\circ$ 이내 일 때, 2레벨 MLDPWM을 이용하여 전류의 피크 근방 60° 동안 클램핑을 유지할 수 있다. 하지만 그림 4(b)에 나타나 있듯이, 2레벨 인버터에서 역률각이 30° 이상일 경우, 클램핑 영역을 파란색 실선과 일치 시키는 것은 물리적으로 불가능하다.

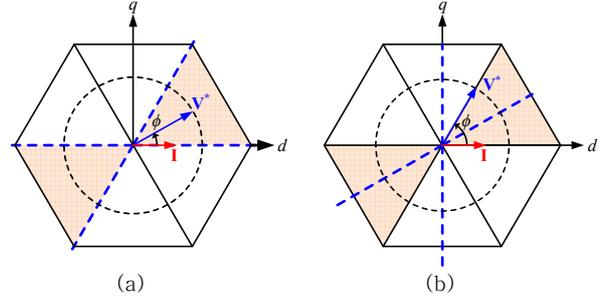


그림 4. 2레벨 인버터에서 역률각(ϕ)에 따른 MLDPWM 스위칭 패턴 (a) $\phi = 30^\circ$, (b) $\phi = 60^\circ$.

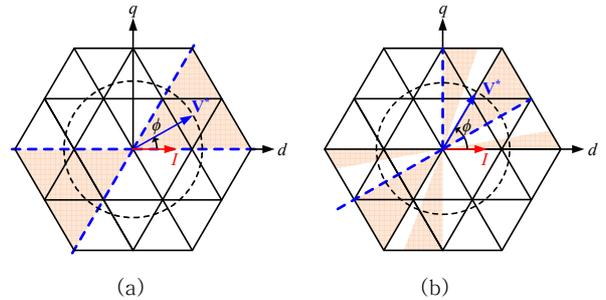


그림 5. 3레벨 인버터에서 역률각(ϕ)에 따른 MLDPWM 스위칭 패턴 (a) $\phi = 30^\circ$, (b) $\phi = 60^\circ$.

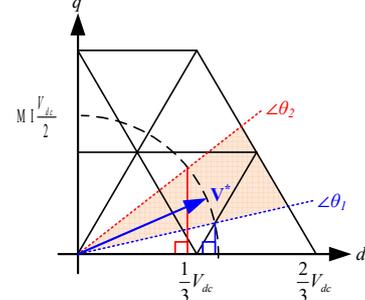


그림 6. 섹터 1에서의 선택적 중성단 클램핑

그림 5는, 3레벨 인버터의 각 스위치의 물리적 특성은 같다는 가정하에서, 중성단 클램핑을 고려한 3레벨 인버터의 MLDPWM 스위칭 패턴이다. 그림 5(d)에 나타나 있듯이, $\phi = 60^\circ$ 에서 중성단 클램핑을 이용하여 전류 피크 근방에서 보다 많이 스위칭 상태를 고정시킬 수 있다.

3.2 중성단 클램핑을 위한 옴셋 전압 선정 방법

기존 DPWM $60^\circ(+30^\circ)$ 의 옴셋 전압은 아래와 같다.

$$\mathbf{V}' = \mathbf{V}^* e^{-j\frac{\pi}{3}}$$

$$\text{if } V'_{\max} + V'_{\min} \geq 0 \Rightarrow V'_{sn} = \frac{V_{dc}}{2} - V'_{\max} \quad (4)$$

$$\text{if } V'_{\max} + V'_{\min} < 0 \Rightarrow V'_{sn} = -\frac{V_{dc}}{2} - V'_{\min}$$

여기서, $V'_{\max} = \max(V'_{as}, V'_{bs}, V'_{cs})$, $V'_{\min} = \min(V'_{as}, V'_{bs}, V'_{cs})$ 이다. 이 때, 그림 5(b)와 같은 DPWM을 구현하기 위해서, 중성단 클램핑 여부를 판단하는 추가적인 조건식이 필요하다. 그림 6은 섹터 1에서 원하는 중성단 클램핑 영역을 나타낸다. 그림 5(b)의 DPWM의 경우, θ_1 과 θ_2 는 각각 ϕ_0 와 $\pi/6$ 으로 설정 된다. 음영 처리된 부분에서, 지령 전압 벡터는 다음의 조건을 만족한다.

표 1. 시스템 제정수

DC링크 전압	400 V
저항, R	40 mΩ
인덕터, L	2.5 mH
소스 전압, E	188 V _{ll,rms} , 60 Hz
스위칭 주파수	10 kHz

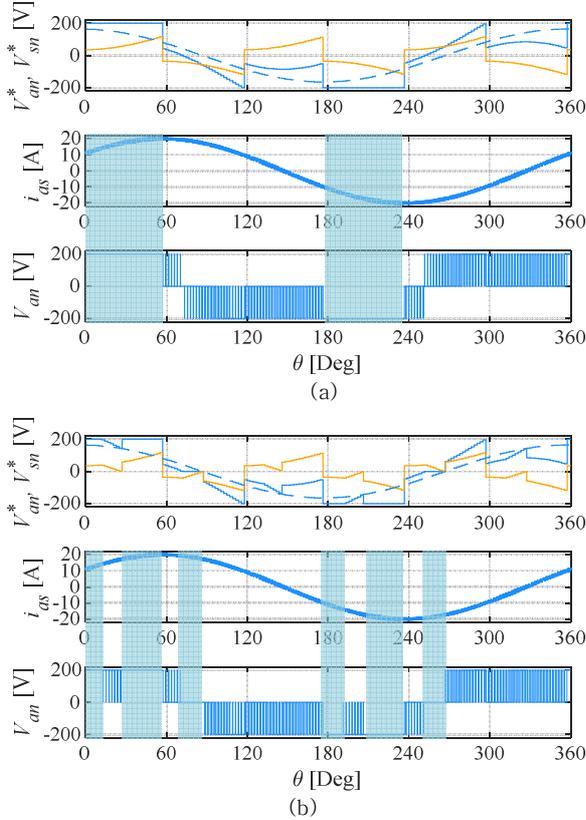


그림 7. 시뮬레이션 결과, (a) DPWM60°(+30°), (b) 제안된 DPWM.

$$|\mathbf{V}^*| \cos \theta_2 \leq V_{\max}^* \leq |\mathbf{V}^*| \cos \theta_1 \quad (5)$$

이를 짝수 섹터로 식 (5)를 확장했을 때, 각 섹터의 시작점부터, 원하는 영역 $\theta_1 \sim \theta_2$ 에서 중성단 전압으로 클램핑 해주는 조건식은 다음과 같다.

$$\begin{aligned} \text{if } |\mathbf{V}^*| \cos \theta_2 \leq V_{\max}^* \leq |\mathbf{V}^*| \cos \theta_1 \text{ (Sector 1, 3, 5)} \\ \Rightarrow V_{sn}^* = -V_{\text{mid}}^* \\ \text{if } |\mathbf{V}^*| \cos \theta_2 \leq |V_{\min}^*| \leq |\mathbf{V}^*| \cos \theta_1 \text{ (Sector 2, 4, 6)} \\ \Rightarrow V_{sn}^* = -V_{\text{mid}}^* \end{aligned} \quad (6)$$

만약, 전압 지령이 식 (6)의 조건을 만족하지 않는다면, 윗셋전압은 식 (4)의 값을 유지한다.

4. 시뮬레이션 및 실험 결과

제안된 방식의 성능을 검증하기 위하여 시뮬레이션 및 실험을 진행하였다. 시뮬레이션은 MATLAB/Simulink 및 PLECS를 이용하였다. 5kW T 타입 3레벨 인버터를 사용하였고, 시스템 제정수는 표 1과 같다.

시뮬레이션 결과는 그림 7에 나타나 있다. 기존의 2레벨에서의 DPWM60°(+30°)와 비교했을 때, 제안된 DPWM은 중성단 클램핑을 이용하여 보다 전류 피크 근방에서 스위칭 상태를 고정하는 것을 확인할 수 있다.

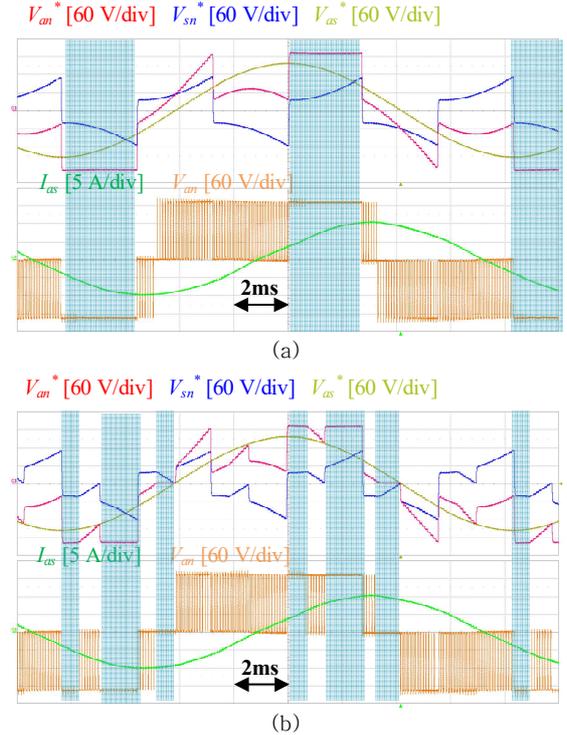


그림 8. 실험 결과, (a) DPWM60°(+30°), (b) 제안된 DPWM.

표 1과 동일한 조건으로 실험을 수행하였으며, 실험 결과는 그림 8에 나타나 있다. 시뮬레이션 결과와 마찬가지로, 제안된 방식을 적용하면 전류 피크 부근에서 중성단 클램핑을 이용하여 스위칭 상태를 고정하는 것을 확인할 수 있다.

5. 결론

본 논문은 3레벨 인버터에서의 중성단 클램핑 가능 영역을 공간 벡터 상에서 분석하였다. 이를 바탕으로 3상 전압 지령의 크기를 입력으로 받아 중성단의 클램핑 여부를 판별하고 원하는 시점에 중성단으로 클램핑 시켜주는 윗셋 전압 생성부를 제안하였다. 제안된 방식은 기존 2레벨 DPWM에서 간단한 조건식을 추가하여 구현되었다. 시뮬레이션 및 실험으로 제안된 방법의 타당성을 검증하였다.

참고 문헌

- [1] Dae-Woong Chung and Seung-Ki Sul, "Minimum-loss strategy for three-phase PWM rectifier," in *IEEE Trans. on Ind. Electron.*, vol. 46, no. 3, pp. 517-526, June 1999.
- [2] S. Bhattacharya, D. Mascarella and G. Joos, "Space-vector-based generalized discontinuous pulsewidth modulation for three-level inverters operating at lower modulation indices," in *IEEE J. Emerg. Sel. Topics in Power Electron.*, vol. 5, no. 2, pp. 912-924, June 2017.