

다채널 결합 방송콘텐츠 송신을 위한 테스트베드 구현

이 형^o

대전보건대학교 방송콘텐츠과^o

e-mail: hyung@hit.ac.kr^o

Implementation of Test-bed for Multi-Channel Combined Broadcasting Contents Transmission

Hyung Lee^o

Dept. of Broadcasting Contents, Daejeon Health Institute of Technology^o

● 요약 ●

본 논문에서는 대용량의 방송 콘텐츠를 전송하기 위해 다수개의 채널을 결합하여 안정적이고 고속으로 전송하기 위한 방송콘텐츠를 전송하기 위한 테스트베드를 제안한다. 제안하는 테스트베드의 첫 번째 목적은 하나의 방송채널 용량을 초과하는 대용량 방송 콘텐츠를 다수개의 채널을 결합하여 전송하기 위한 것이며, 두 번째 목적은 다채널로 입력된 데이터를 다양한 방법의 병렬 알고리즘을 적용하여 FPGA에 적용한 후 그 결과를 테스트하기 위한 것이다. 이를 위하여 제안하는 테스트베드는 다채널을 위한 입력 보드와 전반적인 제어 위한 CPU 보드, 병렬 알고리즘 등을 테스트하기 위한 FPGA 보드, 그리고 3개의 보드들을 연결하기 위한 베이스 보드로 구성되었다. 제안하는 테스트베드 환경에서 다채널 대용량의 데이터를 병렬처리 할 수 있는 병렬 알고리즘들을 지속적으로 개발하고 테스트하여 다채널 대용량의 실시간 처리가 가능한 영상처리 시스템을 개발하는 것이다.

키워드: 다채널(multi-channel), 병렬처리(parallel processing), FPGA

I. Introduction

다시점 3D, UHD TV, 스마트 TV, 다채널 CCTV 등 대용량 및 다양한 전송 대역을 필요로 하는 새로운 방식의 방송서비스들이 도입됨에 따라, 대용량 전송을 위한 제한적인 전송자원을 효율적으로 활용할 수 있는 전송기술 개발과 이를 활용한 방송서비스 제공 기술 개발이 중요하게 대두되고 있다. 이러한 기술 개발에 있어서 병렬처리를 적용한 안정되고 실시간 처리를 위한 다양한 시도들이 진행되고 있으며, 다양한 병렬처리 알고리즘을 다채널의 입력 데이터에 적용하여 처리한 후 그 결과를 검증할 수 있는 하드웨어 기반의 테스트베드의 개발이 필요하였다.

디지털 방송에서 기존에 사용되는 MPEG2 TS 계층에서 채널 결합이 가능하도록 하여 기존의 전송 장비와 호환성을 유지하면서 전송 오버헤드를 최소화 및 전송 속도를 향상시키는 것으로써 기본적인 전송 개념도는 Fig. 1과 같다.

2. Implementation

본 논문에서 제안하는 테스트베드는 Fig 2와 같으며, 기능의 확장성을 고려하여 좌측 상단의 사각형 부분은 입출력 보드, 좌측 하단은 FPGA 보드, 우측 하단은 CPU 보드 등 모두 4개의 보드로 구성되었으며, 다채널로 데이터를 입력 받아 FPGA 내부 로직에서 분배 및 결합과 지연/지터 최소화 등을 위한 로직 및 다양한 병렬처리 알고리즘을 수행할 수 있고, 처리된 결과 데이터를 1Gbps로 전송할 수 있도록 구현하였다.

II. The Proposed Test-Bed

1. Basic Concept

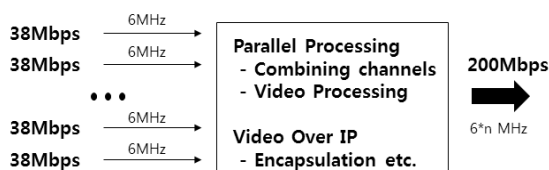


Fig. 1. Basic Concept for the Proposed Test-Bed

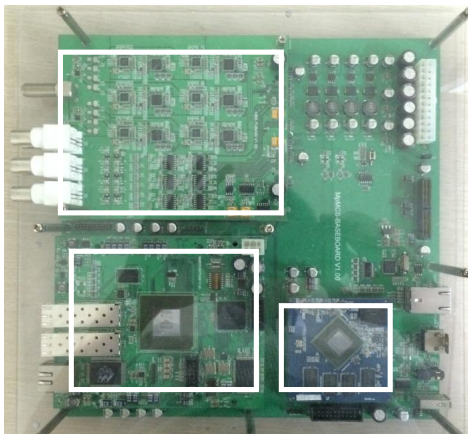


Fig. 2. The Proposed Test-Bed board

CPU 보드는 삼성 MV310 ARM 프로세서 모듈을 적용하였고, 외부로부터 입력된 데이터를 FPGA 보드로 bypass하거나 FPGA 보드에서 처리된 데이터를 검증하기 위해서 외부로 출력하는 기능 및 테스트베드의 전반적인 제어를 수행한다.

3. Basic Processing Modules

본 테스트베드 기본적인 기능을 위해서 분배 및 결합 그리고 전송 지연 및 지터 최소화 모듈들이 적용되었다. 분배 모듈은 ASI로 입력되는 대용량 스트림을 분배하기 위한 알고리즘으로 로직 구성은 ASI 수신 블록, 채널 분배를 위한 패킷 재구성 블록, 스트림 분배 블록, 전송률 제어 블록으로 구성된다. 결합모듈은 다채널로 분배된 입력 스트림을 원 스트림으로 복원하는 기능을 갖는 알고리즘으로써 TS 수신 블록, 분배된 입력 스트림을 모으기 위한 필터 블록, 입력된 분배 스트림을 순차적으로 정렬하는 블록, 원 TS 스트림을 복원 처리하는 블록 등으로 구성된다. 패킷 정렬 블록은 입력되는 스트림의 더미 헤더에 있는 패킷 카운터 값을 기준으로 스트림 재정렬을 한다. 재정렬 스트림의 출력 기준은 일정 개수 이상의 연속된 패킷이 저장되면 버퍼에서 스트림을 읽어 출력하는데 버퍼는 2중화 구조로 설계되었으며 더미 헤더에 표기된 패킷 Even/Odd 플래그 상태에 맞춰 관리된다. 상기 2개 모듈들의 구현에 있어 공통적으로 활용되는 STC generator 블록은 27MHz 기준 시스템 클럭 블록으로 31비트의 카운트 값을 갖는 시스템의 기준 시간으로써 입력스트림의 지연 및 지터 알고리즘 처리에 사용된다. 전송 지연 및 지터 최소화 모듈은 본 테스트베드 장비를 통과하면서 발생하는 지연 및 지터를 최소화하기 위한 것으로서 전송 측면에서 더미 헤더 구성 시 타임 스탬프를 삽입하여 스트림 입력 시간으로 관리가 되며, 지연시간 및 지터 최소화를 위해 시스템 블록별 처리 모듈들에 반영시켰다. 또한 수신측에서는 더미 헤더에 있는 타임스탬프 시간과 STC 시스템 시간을 비교하여 제 시간에 원 스트림이 출력될 수 있도록 하였다.

III. Further Studies

2장에서 언급된 기본적인 구성 및 분배 및 결합, 그리고 전송 지연 및 지터 최소화 모듈 등으로 구성된 테스트베드의 동작여부를

확인했지만 전송 지연 및 지터 최소화를 위한 추가적인 연구가 필요하다. 또한 비디오 및 대용량의 데이터를 실시간으로 처리하기 위한 기존의 다양한 연구들, 특히 병렬처리를 위한 연구들[1,2]을 직접적으로 접목시켜 성능 향상을 확인해 볼 필요가 있겠다.

IV. Conclusions

본 논문에서는 방송채널 결합 대용량 콘텐츠 송수신에 있어 6개의 6MHz 대역을 묶어 200Mbps의 전송률을 제공하는 시스템 구현을 토대로, 다양한 병렬 비디오 처리를 지속적으로 적용하고 검증할 수 있는 테스트베드를 제시하였다.

REFERENCES

- [1] Hyung Lee, "Design of Video Overlay System with Three Dimensional Multi-access Memory System," *Journal of Research in Dynamical and Control Systems*, Vol. 9, No. 9, pp.59-65, 2017. 11.
- [2] Hyung Lee, "Parallel Architecture for Conflict-Free Access to Volume Elements," *International Journal of Applied Engineering Research (IJAER)*, Vol. 10, No. 90, pp. 413-423, 2015. 12.