

# Ge-MONOS 구조를 가진 플래쉬 메모리 소자의 프로그래밍 전압에 따른 문턱 전압 관찰

오종혁 · 유운섭\*

한경대학교 전기전자제어공학과

## Variation of Threshold Voltage by Programming Voltage Change of a Flash Memory Device with Ge-MONOS

Jong Hyuck Oh · Yun Seop Yu\*

Dept. of Electrical, Electronic and Control Eng., Hankyong National University

E-mail : mjsdlr7@hknu.ac.kr

### 요 약

Ge-MONOS(Metal-Oxide-Nitride-Oxide-Silicon) 구조를 가진 플래쉬 메모리 소자에 대해 프로그래밍 전압에 따른 문턱 전압의 변화를 조사했다. 프로그래밍 전압은 10V, 12V, 15V, 16V, 17V을 인가하였고 1초 동안 프로그래밍을 진행했다. 10V에서 12V까지는 문턱전압은 약 0.5V로 프로그램 전과 크게 다르지 않고, 15V, 16V, 17V에서 문턱전압이 각각 1.25V, 2.01V, 3.84V로 프로그램 전과 0.75V, 1.49V, 3.44V 차이가 발생했다.

### ABSTRACT

For flash memory devices with Ge-MONOS(metal-Oxide-Nitride-Oxide-Silicon) structures, variations of threshold voltage with programming voltage were investigated. The programming voltage was observed in steps of 1V from 10V to 17V and programmed for 1 second. The threshold voltage from 10V to 14V was about 0.5V, which is not much different from that before programming, and the threshold voltages at 15V, 16V and 17V were 1.25V, 2.01V and 3.84V, respectively, which differed 0.75V, 1.49V and 3.44V from that before programming.

### 키워드

문턱전압, 드라이브 전류, 터널 트랜지스터, 무접합 나노선 트랜지스터

### 1. 서 론

나노 스케일링으로 인한 MOSFET의 누설전류 증가와 상온에서 문턱전압 이하 기울기(subthreshold swing; SS)가 60mV/dec 이하로 낮아지지 않는 물리적 한계를 극복하기 위해 새로운 구조의 소자들이 연구되었다. 그중에서 터널트랜지스터(tunnel Field Effect Transistor; TFET)는 MOSFET보다 낮은 문턱전압 이하 기울기와 차단전류로 MOSFET을 대신할 저전력 소자로 연구되었다. 하지만 터널트랜지스터는 역방향 전류(ambipolar current)와 TAT(tunnel assisted tunneling)의 발생으로 실용화에 어렵기 때문에 그에 대한 해결법들이 제시되었다[1]. 그중에서 나노와이어 터널 전계 효과 트랜지스터(nanowire

tunnel field-effect transistor; NW - TFET)는 역방향 전류와 TAT를 해결하는 데 성공하여 TFET 대체 소자로 고안되었다[2].

CMOS(Complementary Metal Oxide Semiconductor) 메모리 소자에서 시작된 메모리 반도체는 전원 공급에 따른 정보 유지에 따라 크게 휘발성 메모리(volatile memory)와 비휘발성 메모리(nonvolatile memory)로 크게 나뉜다. 그중에서 비휘발성 메모리는 mask ROM(Read Only Memory)에서 시작해 EEPROM(Electrically Erasable Programmable ROM)으로 발전하였고 그중에서 플래쉬 메모리(Flash memory)는 현재 비휘발성 메모리에서 주축을 담당하고 있다. 플래쉬 메모리는 전하 축적 물질에 따라 Floating Gate형과 Charge trap형으로 나뉘는데 charge trap형인 SONOS (Semiconductor Oxide Nitride Oxide Semiconductor)는 Floating Gate 구조 기반의 소자보다 스케일링이 쉬워 SONOS구조

\* corresponding author

기반의 플래쉬 메모리 소자 연구가 진행됐다[3].

TAT에 강한 NW-TFET를 이용한 메모리 소자에 대한 연구가 전혀 발표되지 않았다. 그래서 본 논문에서 Ge-MONOS(Ge - Metal Oxide Nitride Oxide Semiconductor) 구조를 가진 NW-TFET의 메모리 소자에 대해서 제안한다. 제시된 구조에서 프로그램 전압에 따른 문턱전압 변화를 시뮬레이션을 통해 알아봄으로 NW-TFET의 메모리 특성을 예상하는데 지표를 제시하고자 한다.

### II. 구조 및 시뮬레이션 모델

그림 1은 Ge-MONOS의 2D구조를 나타낸다. T-body는 5 nm, 소자 폭은 0.1 um로 구성했다. Block층, Trap층, Tunnel층의 물질은 각각 Al<sub>2</sub>O<sub>3</sub>, Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub>를 사용했고 8 nm, 7 nm, 6 nm로 구성했다. 소스 영역에서 Ge-Si 사이에서 강한 도핑으로 인한 밴드대 밴드 터널링(band-to-band tunneling)이 발생한다. 전하 축적은 gate와 채널 사이에 강한 전계로 인해 Block층과 Trap층 사이에 FN tunneling이 발생해 전자가 질화규소층에 트랩된다. 프로그래밍 램프 시간은 1 us, 프로그래밍 총 시간은 1 s으로 설정했다.

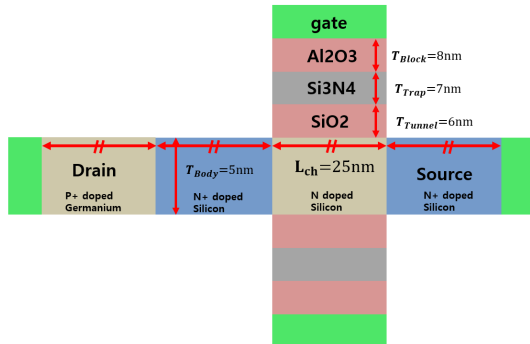


그림 1. Ge-MONOS의 2D 단면구조

TCAD 시뮬레이션은 Silvaco의 ATLAS[4]를 사용하였고 시뮬레이션에 사용된 모델은 srh, cvt, fldmob, fermi, bbt.nonlocal을 사용하였다.

### III. 시뮬레이션 결과

그림 2(a)는 프로그래밍 전압 10V와 17V에서의 Block-Trap-Tunnel-Silicon의 에너지 밴드를 나타낸다. 먼저 게이트에 고전압이 인가되면 Al<sub>2</sub>O<sub>3</sub>와Si<sub>3</sub>N<sub>4</sub> 사이에 FN(Fowler Nordheim) tunneling이 발생한다. 여기에 더 높은 전압을 인가하게 되면 Al<sub>2</sub>O<sub>3</sub>와 Si<sub>3</sub>N<sub>4</sub>의 터널링 거리가 짧아지게 되고 Si<sub>3</sub>N<sub>4</sub>에 트랩되는 전하가 늘어난다. 결과적으로 트랩되는 전하에 의해 문턱전압이 변화하게 된다. 그림2(b)에서 알 수 있듯이 프로그래밍 전압이 커짐에 따라 큰 폭으로 변화하는 것을 볼 수 있다. 프로그래밍 전압 10V와 12V에서 문턱전압은 0.5V, 프로그래밍

전압 15V에서 문턱전압은 1.25V, 프로그래밍 전압 16V에서 문턱전압 2.01V, 프로그래밍 전압 17V에서 문턱전압 3.84V로 관찰됐다. 프로그래밍 전압이 증가함에 따라서 문턱전압의 변화가 커짐을 보였다.

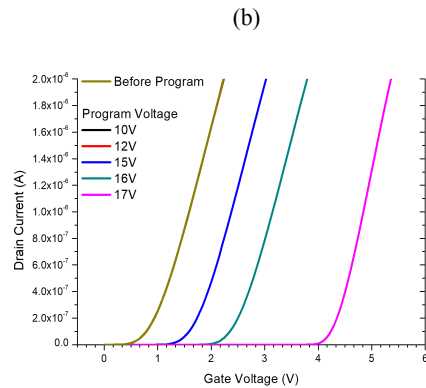
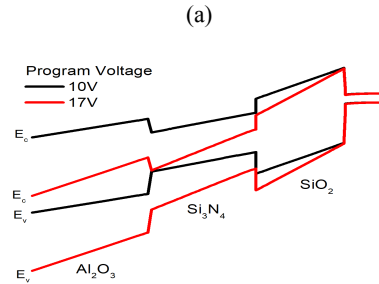


그림 2. (a) 프로그래밍 전압 10V, 17V에서의 block-trap-tunnel-silicon 에너지 밴드 (b) 프로그램 전압별 전압-전류 특성 그래프

### IV. 결 론

본 논문에서는 Ge-MONOS의 메모리 특성 중 하나인 프로그래밍 전압에 따른 문턱전압 변화를 관찰했다. 문턱전압은 프로그래밍 전압이 10V, 12V에서는 변화가 없었고 15V, 16V, 17V에서 점점 큰 폭으로 문턱전압이 변화하여 최대 3.34V만큼 변화하였다.

### References

[1] L. Zhang, J. Huang, M. Chan, *Tunneling Field Effect Transistor Technology*, Springer, pp. 1-31, 2016.  
 [2] J. C. Lee, T. J. Ahn, and Y. S. Yu, *J. Nanosci. Nanotechnol.* vol. 19, pp. 6750 - 6754, 2019.  
 [3] C. Zhao, S. Taylor, and P. Chalker, *Materials*, vol. 7, no. 7, pp. 5117 - 5145, 2016.  
 [4] ATLAS Users Manual, Silvaco Int., Santa Clara, CA, 2014.