

Linux Real Time Control Thread Design for the ITER PF/CS MRC

서재학*, 오종석*, 송인호*, 유민호
국가핵융합연구소* (주)다윈시스,

Linux Real Time Control Thread Design for the ITER PF/CS MRC

J.H. Suh*, J.S. Oh*, Inho SONG*, M.H. Yoo
National Fusion Research Institute*, Dawonsys,

ABSTRACT

ITER AC/DC Converter는 플라즈마 운전에서 기능적인 역할과 동작 모드에 따라 PF/CS, TF, CC Plant로 구분되어 동작하며 PF, CS, VS1 컨버터는 플라즈마 전류 발생, 증감, 형상제어, 위치제어를 하며 PCS(Plasma Control System), MRC(Master Controller)에 의해 제어된다. MRC는 상위 제어인 PCS와 LCC(Local Control Cubicle)의 Middle Ware Layer에서 여러 Linux Machine들과 복잡한 통신망으로 연결되어 초전도 코일 전류 Driver에 있어서 Control과 Soft Down을 위한 Real Time 제어 기능을 한다. 본 논문은 이러한 제어를 구현하기 위한 Linux Real Time Control Thread Design의 구성과 결과를 논의하고자 한다.

1. ITER AC/DC Converter System

그림 1은 ITER AC/DC 컨버터 System (PF, CS, VS1, CC)를 나타낸다. 토크막 진공 용기 도넛 모양의 안쪽에 CS 코일이, 바깥쪽에 PF 코일이, TF 코일은 진공 용기 모양과 동일하게, CC 코일은 외부에 배치된다. VS3, ELM은 진공 용기 내부에 배치되며, VS1 전원장치는 코일에 직접연결이 되지 않고 PF2 ~ PF5 Coil, Converter와 병렬로 접속하여 수직 방향의 플라즈마 고속 제어한다. PMS, MS는 기계적인 보호 스위치이며 SNU, FDU는 스위치에 의해 close/open 되는 저항이다.

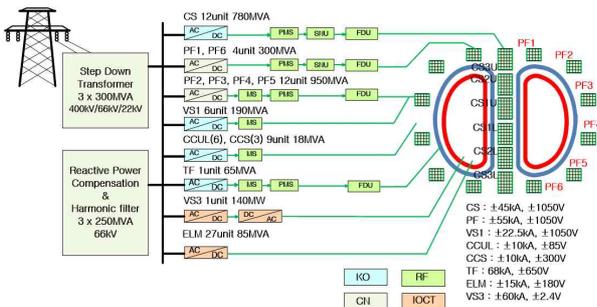


그림 1 ITER AC/DC 컨버터 System (PF, CS, VS1, CC)
Fig. 1 System of ITER AC/DC converter(PF, CS, VS1, CC)

이들 AC/DC Converter들은 400kV Grid에 접속된 Step Down Transformer에서 강압된 66/22kV Bus에 접속되며, 무효전력보상 장치는 FC(Fixed Capacitor), TCR(Thyristor Controlled Reactor) 구조이다. 이 장치들은 한국, 중국, 러시아, 유럽연합에서 조달한다.

그림 2는 ITER PF/CS Control System 구성도를 나타낸다. PCS에서 플라즈마 제어를 위한 코일 전류 제어기의 출력 즉 각 컨버터의 출력 전압은 MRC에서 수신하여 코일단 전류, 전압 정보와 같이 CCR(Circuit Controller)로 10G Network로 Publish 되

고 CCR은 접속된 LCC에 전압 명령을 전달하는 동작과 연이어 LCC에서 계산된 예측 무효전력이 CCR, MRC, RPC(Reactive Power Compensator)로 전달하는 1kHz Real Time 제어가 TX, RX로 이루어지며 적색선은 10G, 갈색선은 1G Network이다.

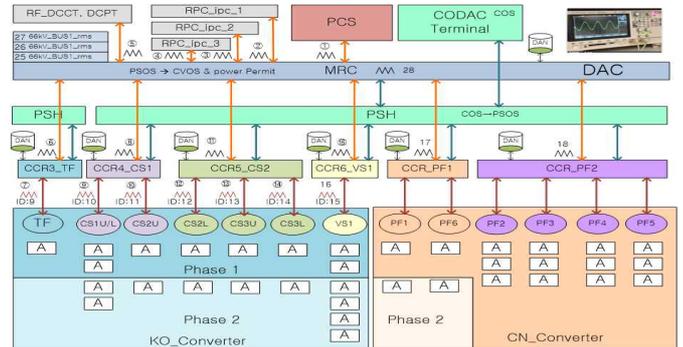


그림 2 ITER PF/CS Control System 구성도
Fig. 2 Architecture of ITER PF/CS Control System

그림 3은 ITER 운전 모드에서 MRC의 제어 Mode Change를 나타낸 것으로 State Machine의 mode 명령에 따라 Executing state가 되면 VS1, PF2~PF5 컨버터들의 초기 CPF_Start, 플라즈마 발생 및 운전, 종료시 CPF_Stop 제어 이외에 CCZ(Coil Current Zero), CLC(Current Loop Coupling), CLCN(Current Loop Coupling No Coupling) mode가 있다. 플라즈마 운전이 종료되면 Post Check State 명령에 따라 MRC, LCC의 제어에 의해 모든 코일 전류 값이 제로가 되는 CCZ = 1 상태가 되면 운전은 종료된다.(CPF: Coordination of PF/Vs Circuit)

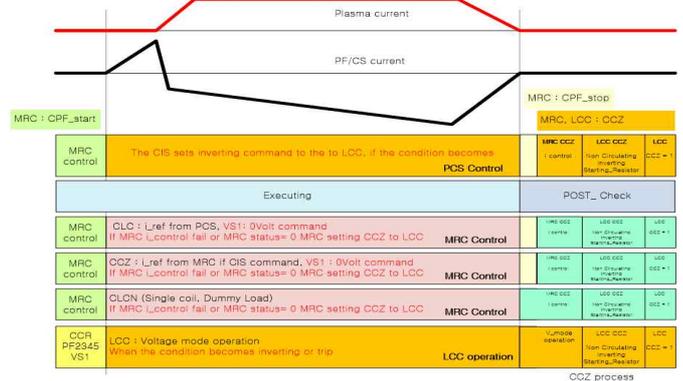


그림 3 PF/CS MRC Mode Change at Pulse Time
Fig. 3 PF/CS MRC Mode Change at Pulse Time

2. MRC, CCR Real Time Control Thread Design

2.1 PF/CS MRC Thread Design

ITER Control System의 OS는 Red Hat Enterprise Linux 7.4 MRG_R, Kernel: 3.10.0-693.rt56.617.el7rt.x86_64, EPICS 7.0.1은 고 사양의 산업용 컴퓨터에서 동작한다. 그림 2에서 MRC, RPC_IPC, RF_DCCT, DCPT, PSH(Plant System Host), 6대의 CCR은 산업용 컴퓨터이며 PCS는 ATCA 기반의 컴퓨터이다. MRC는 이들 산업용 컴퓨터들과 1kHz Real Time으로 data를 주고받으면서 제어 루프가 동작하며 아래 그림 4와 같은 Thread로 구성되어 동작한다. 각 Thread는 TX, RX 통신 전용 기능을 하며 SGM(Shard Global Memory)에 데이터를 Write, Read 한다. RX Thread는 데이터가 들어오면 SGM에 Data를 저장하고 송신 Timing이 되면 TX Thread는 SGM data를 읽어서 송신한다.

MRC는 Test, Machine Operation 2가지 제어 mode가 있으며 Test Mode인 CLCN 제어루프는 독립적인 Thread에서 동작하고, Machine Operation Mode는 PFCS Core Thread에서 State Machine과 제어 루프가 수행되면서 SGM에 data를 Write, Read 한다. NI PXIe 6363보드는 66kV RMS 전압을 계산한다.

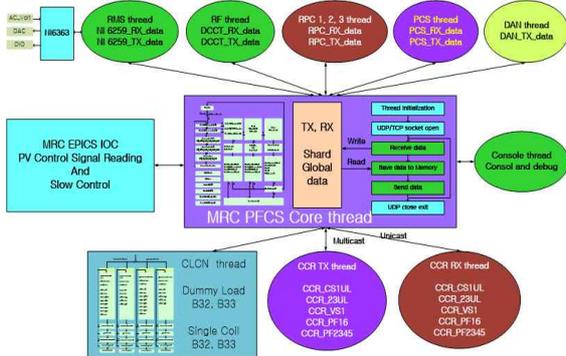


그림 4 ITER PF/CS MRC Real Time Control Thread 구성도
Fig. 4 Architecture of ITER PF/CS MRC Real Control Thread

2.2 CS AC/DC Converter Voltage Response

그림 5는 CCR_CS2, CS3의 Thread를 나타낸 것으로 MRC에서 CCR들에 데이터를 보낼 때는 Multicast로 같은 데이터를 보내게 되고 각 CCR은 자신의 데이터만 취한다. CCR에서 MRC로 데이터를 보낼 때는 Unicast로 보낸다. 각 CCR은 접속된 LCC 개수가 다르지만, Multicast, Unicast 방식은 같다.

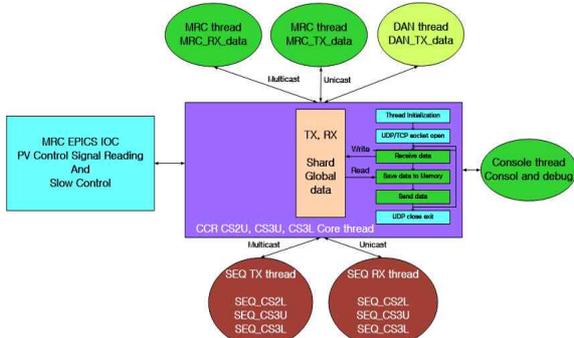


그림 5 ITER CCR_CS23 Time Control Thread 구성도
Fig. 5 Architecture of ITER CCR_CS23 Control Thread

2.3 Control Data Write, Read, TX, RX Timing Diagram Design

Fig. 6은 각 Thread의 Write, Read, TX, RX Timing을 나타낸 것으로 PCS에서 명령한 각 컨버터의 출력 전압값을 LCC에 전송하고 이어서 LCC에서 계산한 무효전력 값을 MRC에서 합산하여 RPC_IPC에 delay 없이 최 단시간에 전송하는 것을 목표로 프로그램된다.

통신의 시작과 기준은 PCS에서 Publish 하는 시간이 Base Timing이 된다. PCS Fail이 되면 MRC Time out 기능으로 검출되고 MRC가 자체 Clock으로 Base Timing을 생성하여 CCR로 Publish 하는 방식으로 Coil Soft Down 제어와(MRC_CCZ) LCC 예측 무효전력 값은 계속 전송이 유지된다.

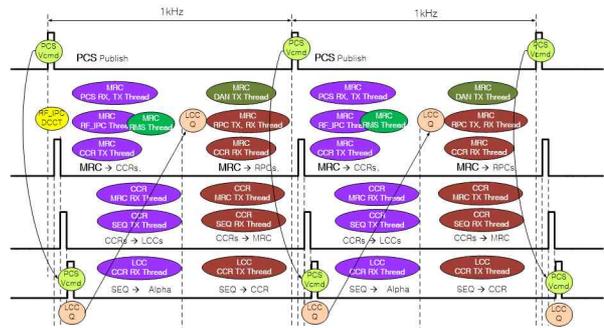


그림 6 Control Data Write, Read, TX, RX Timing Diagram
Fig. 6 Timing Diagram of Control Data Write, Read, TX, RX

3. 결론

본 논문은 ITER PF/CS MRC에서 구현해야 할 제어의 여러 항목을 구현하기 위하여 복잡한 통신 처리를 제어 특성에 맞게 각각 독립적인 Thread로 처리하였고, 산업용 컴퓨터들의 비동기 통신 상황에서 최적의 MRC Real Time 제어 성능을 위하여 Shard Global Memory에 데이터를 Write, Read 하는 Design 결과를 논의하였다. 설계된 내용의 구현 및 실험결과는 추후 논문에서 논의 예정이다.

이 논문은 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 국책연구사업임(2007-2006995, ITER 초전도자석 전원공급장치 개발·제작).

참고 문헌

- [1] 서재학, “2Q Local Controller for the ITER TF AC/DC Converter”, 2018 추계전력전자학회.
- [2] 서재학, “4Q Local Controller for the ITER CS, VS1, CC AC/DC Converter”, 2018 추계전력전자학회.
- [3] 서재학, “Status of Local Controller for the ITER AC/DC Converter”, 2017 추계전력전자학회.
- [4] 서재학, “ITER 전원장치 Local Controller Design Status Summary”, 2016 추계전력전자학회.
- [5] 서재학, “ITER AC/DC Converter Control 검증을 위한 Hardware-in-the-Loop Simulation(HILS) System 구축 및 실험”, 2015 추계전력전자학회, pp.221-222.
- [6] 오종석, “Final Design of the Korean Procurement Package of AC/DC”, SOFT 2014, 2014년 10월.
- [7] J.H.Suh, et. al, “KOREAN R&D ON THE CONVERTER CONTROLLER FOR ITER AC/DC CONVERTERS”, SOFE 2011