

GaN 트랜지스터를 적용한 토렘폴 역률개선회로의 디지털 구현방법

곽봉우^{*,**}, 김종훈^{**}

^{*}한국생산기술연구원 EV부품소재그룹

^{**}충남대학교 전기공학과

Digital Implementation method of Totem-pole PFC using GaN Transistor

Bongwoo Kwak^{*,**} and Myungbok Kim^{*}

EV Components & Materials Group, Korea Institute of Industrial Technology^{*}

Electrical Engineering, Chungnal National University^{**}

ABSTRACT

본 논문은 GaN 트랜지스터를 적용한 토렘폴 PFC(Power Factor Correction)의 디지털 구현을 위한 방법을 제시한다. 특히, GaN 트랜지스터의 낮은 역회복 특성으로 토렘폴 PFC의 연속 연속 모드 동작을 가능하게 한다. 토렘폴 PFC는 고속 스위칭을 하는 레그를 GaN 트랜지스터를 사용하고, 라인 주파수로 스위칭 하는 레그는 일반적인 MOSFET을 사용하게 된다. 구조적으로 토렘폴 PFC는 제로 크로싱에서 전류 스파이크 문제가 발생한다. GaN 트랜지스터는 전류 스파이크에 취약하기 때문에 최소화되어야 한다. 따라서, 본 논문은 디지털 구현에 있어 제로 크로싱에서 소프트 스타트 구현을 통해 이 문제를 최소화 하고, 모의실험을 통해 디지털 구현의 타당성을 입증하였다.

1. 서론

일반적으로 브리지다이오드를 포함하는 역률보상회로는 높은 PF와 낮은 T.H.D.를 만족하기 많이 사용되고 있다. 최근에는 도통 손실을 줄이기 위해 브리지리스 형태의 역률보상회로에 대한 개발이 활발하다. 다양한 브리지리스 PFC 중 토렘폴 PFC는 상대적으로 적은 수의 소자 배치, 저주파수 레그에 도통 손실을 줄일 수 있을 뿐만 아니라 EMI에 강인한 특징을 가지고 있다. 하지만, 토렘폴 구조의 부스트 역률보상회로에서는 전류연속모드로 동작 할 때 MOSFET의 바디 다이오드의 역회복 특성으로 인해 효율과 신뢰성이 떨어지게 된다.^[1]

차세대 전력반도체 소자로 각광받는 질화 갈륨(GaN) FET은 wide band gap(WBG) 반도체가 가지는 특징으로 기존 실리콘 반도체 소자에 비해 낮은 도통 저항 및 작은 소자 커패시턴스를 갖는다, 또한, 우수한 역회복 특성으로 토렘 폴 PFC 회로의 성능을 극대화 할 수 있어 GaN 트랜지스터를 활용한 토렘폴 PFC의 연구가 활발히 진행되고 있다.^[2]

토렘폴 PFC 토폴로지는 스위칭 주파수로 동작하는 고주파수 레그와 라인 주파수로 동작하는 저주파수 레그로 구분된다. 이렇게 구성된 토렘폴 PFC는 AC 전압의 제로 크로싱에서 전류 스파이크 문제가 발생한다. 특히, GaN 트랜지스터를 사용으로 더 높은 스위칭 주파수로 인해 감소되는 인덕턴스로 인해 전류 스파이크 문제를 악화시킬 수 있다. 따라서, AC 전압의 제로 크로싱에서

토렘폴 PFC의 전압 스파이크 문제를 해결하기 위해 다양한 스위칭 기법을 적용해서 솔루션을 확보 할 필요성이 있다.

따라서, 본 논문에서는 GaN 트랜지스터를 사용한 토렘폴 PFC의 디지털 구현 방법을 제시한다. 기본 동작과 제로 크로싱에서의 제어 전략에 대해 기술한다. 마지막으로, 시뮬레이션 결과를 바탕으로 디지털 구현에 대해 입증한다.

2. Totem-pole 브리지리스 PFC

2.1 기본 동작

토렘폴 브리지리스 PFC 회로는 그림1과 같다. H-브리지는 4개의 스위치로 구성되며, 고주파 레그는 GaN 트랜지스터로 구성되며, 저주파 레그는 동기 MOSFET으로 구성된다.

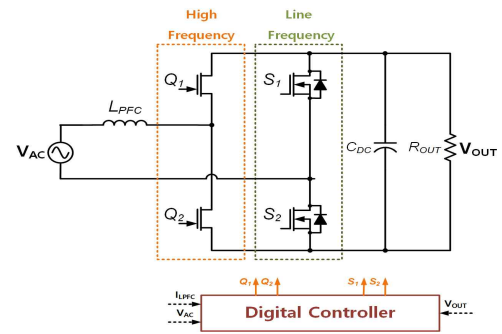


그림 1 토렘폴 PFC 회로 구성

2.2 기본 동작

토렘폴 PFC의 경우 교류 입력 전압의 극성에 따라 각 스위치 역할이 결정된다. 교류 입력 전압이 양일 때 주 스위치 Q₂가 주 스위치, Q₁이 동기 스위치, S₂가 라인 주파수 동기 스위치로 동작한다, 음일 경우는 반대로 동작한다.

$$L_{PFC} \frac{di_{LPFC}}{dt} = DV_{AC} + (1-D)(V_{AC} - V_{OUT}) \quad (1)$$

$$C_{DC} \frac{dv_{OUT}}{dt} = (1-D)i_{LPFC} - \frac{v_{OUT}}{R} \quad (2)$$

2.3 디지털 제어

토렘폴 PFC의 전류 제어는 비교적 간단한 비례 적

분기를 사용하였다. 전류 제어기는 그림2에 나타낸다. G_{id} , G_{vi} 는 위 식(1)과 (2)를 통해 얻은 듀티-전류, 출력 전압-전류의 전달함수를 나타낸다.

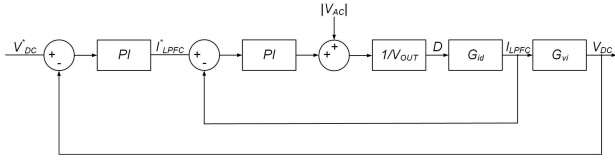


그림 2 토템폴 PFC 제어 블럭도

그림 3은 AC 전압이 음에서 양으로 전환되는 순간 게이트 파형을 나타낸다. 음의 절반동안 S1은 턴-온, Q1은 활성화 스위치, Q2는 동기 스위치로 동작하며, DC 버스 전압이 걸린다. 사이클이 변경될 때 Q2가 듀티는 100%에 근접해 있는 상태에서 바로 커지면 스파이크 문제를 발생시킨다.

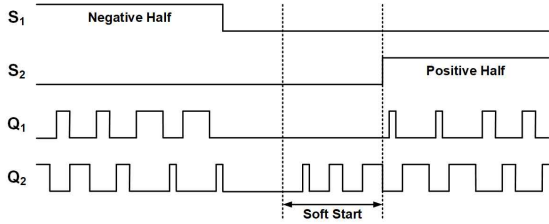


그림 3 제로 크로싱에서 소프트 스타트 스위칭 시퀀스

따라서, 제안하는 소프트 스타트는 Q2를 S21과 S2의 데드 타임 구간에서 미리 듀티를 서서히 증가시키는 기법이다. 다만, 디지털 구현을 위해서 Q2의 데드 타임을 최대 값에서 서서히 감소시키는 방법으로 계산되는 큰 듀티에 상관없이 스위치에 가해지는 듀티를 서서히 증가하도록 구현하였다.

3. Totem-pole 브리지리스 PFC

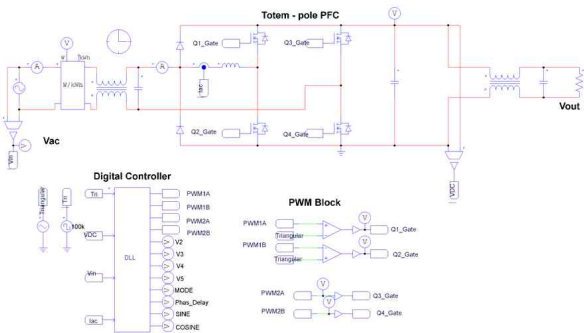
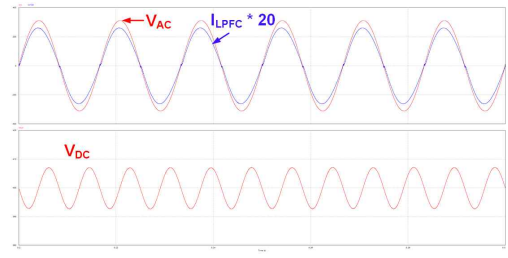


그림 4 디지털 기반 토템 폴 PFC 모의실험 회로도

그림 4는 시뮬레이션 회로로 토템폴 PFC단과 디지털 제어기에서의 구현을 위해 DLL 블록을 생성하여 C 코드로 구성하였다. 입력 220V_{AC}, 출력 400V_{DC}, 2kW 출력 조건에서 시뮬레이션을 진행하였다. 그림 5는 시뮬레이션 결과를 보여준다. 그림 5(a)는 입력 전압과 전류 파형을 나타낸다. 전류는 위상 확인을 위해서 20배 크게 하였다. 시뮬레이션 파형으로 디지털 제어를 통해서 역률 0.991이 관측되는 것을 알 수 있다.



(a)



(b)

그림 5 모의실험 파형 (a) 정상 상태, (b) 소프트 스타트 스위칭 시퀀스

그림 5(b)는 제로 크로싱에서 소프트 스타트 구현에 대한 파형을 보여준다. 제로 크로싱 된 이후 Q2의 듀티가 서서히 증가하면서 소프트 스타트가 동작되는 것을 확인하였다.

4. 결론

본 논문에서는 GaN 트랜지스터를 적용한 토템폴 PFC의 디지털 구현을 위한 방법을 제안하였다. 특히, 제로크로싱 부근에서의 전류 스파이크 문제 해결을 위한 소프트 스타트를 구현하였다. 또한, 전류제어기를 구성하여 전류제어 시뮬레이션을 진행하였다. 스위칭 주파수 100kHz 조건에서 시뮬레이션을 통해 디지털 구현에 대한 방법의 타당성을 확인했다. 향후, 토템폴 PFC의 시제품에 적용하여, 디지털 제어 특성 및 제로 크로싱에서 제어 기법의 최적화를 통해서 고속 스위칭 영역에서 디지털 구현의 타당성을 입증하고자 한다.

이 논문은 국방과학연구소의 민군기술적용사업 (17-SF-2B-04)의 연구비 지원에 의하여 연구되었음.

참고 문헌

[1] Y. H. Jeong, J. K. Kim, and G. W. Moon, "A Bridgeless Dual Boost Rectifier with Soft-Switching Capability and Minimized Additional Conduction Loss," *IEEE Trans. Industrial Electron*, Jun. 2017.

[2] J. Delaine, P. Jeannin, D. Frey, and K. Guepratted, "High frequency DC-DC converter using GaN device," in *Proc. IEEE APEC*, pp. 1754 - 1761, Feb. 2012.