

3.3 kW 탑재형 충전기의 전력 밀도 향상을 위한 디커플링 기법이 적용된 PFC 회로 최적 설계 방안

배정현, 노태원, 구근완, 이병국[†]
 성균관대학교 전자전기컴퓨터공학과

Optimal Design Method of Power Factor Correction Circuit with Decoupling Circuit of 3.3kW On-board Charger for High Power Density

Jeong Hyun Bae, Tae-Won Noh, Geun Wan Koo, and Byoung Kuk Lee[†]
 Department of Electrical and Computer Engineering, Sungkyunkwan University

ABSTRACT

본 논문은 3.3 kW 전기자동차용 탑재형 충전기의 전력 밀도 향상을 위해 디커플링 기법이 적용된 PFC (Power factor correction) 회로의 최적 설계 방안을 제안한다. 최적 설계를 위하여 buck-boost 컨버터 형태의 디커플링 회로 동작 원리를 기반으로 스위칭 주파수에 따른 PFC 회로의 손실과 부피를 분석하고 최적 설계점을 도출한다.

1. 서론

전기자동차용 탑재형 충전기의 PFC (Power factor correction) 회로의 출력에는 계통 주파수 60 Hz의 2배에 해당하는 120 Hz 전력 리플이 발생한다. 따라서 전력 리플 감소를 위하여 주로 고용량의 전해 커패시터가 사용되지만, 수명이 짧고 큰 부피로 인하여 회로의 전력 밀도가 감소하는 단점이 있다. 따라서 전해 커패시터를 소용량 필름 커패시터로 대체하여 전력 리플을 흡수하는 디커플링 기법이 활발히 연구되고 있다.

그러나 디커플링 기법을 위하여 추가적인 전력 반도체, 인덕터, 필름 커패시터가 필요하므로 손실 및 부피 증가가 불가피하다. 따라서 디커플링 기법을 통한 전력밀도 향상 및 추가 손실의 최소화를 위한 최적 설계 방안이 반드시 필요하다.

따라서 본 논문은 3.3 kW 전기자동차용 탑재형 충전기의 전력 밀도 향상을 위하여, 양방향 Buck-boost 컨버터 형태의 디커플링 기법이 적용된 Totem-pole PFC 회로의 최적 설계 방안을 제안한다. 제안하는 설계 기법은 주파수에 따른 회로의 부피 및 손실을 분석하여, 디커플링을 통한 전력 밀도 향상 및 추가 손실을 최소화 할 수 있는 최적 설계점을 도출한다.

2. 디커플링 회로 동작 원리

그림 1은 양방향 Buck-boost 형태의 디커플링 기법이 적용된 Totem-pole PFC 회로이며, PFC 회로의 설계 파라미터는 표 1과 같다. PFC 회로의 입력 전압 (v_s) 및 입력 전류 (i_s)가 식 (1), (2)와 같이 각각 V_s , I_s 의 실효값을 가지며 서로 위상이 같은 정현파 형태인 경우, 입력 전력 (P_{in})은 식 (3)과 같다.

$$v_s = \sqrt{2} V_s \sin(\omega t) \tag{1}$$

$$i_s = \sqrt{2} I_s \sin(\omega t) \tag{2}$$

$$P_{in} = P_o + P_{rip} = V_s I_s - V_s I_s \cos(2\omega t) \tag{3}$$

표 1 PFC 회로 설계 사양

Table 1 Specification of PFC circuit

Parameter	Value	Parameter	Value
입력 전압	220 [V _{rms}]	출력 전력	3.3 [kW]
출력 전압	510 [V]	전류 리플	10이하 [A]

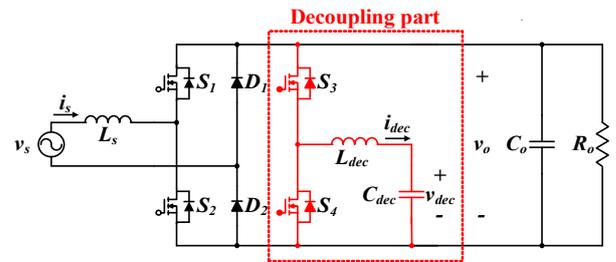


그림 1 디커플링 기법이 적용된 Totem-pole PFC 회로
 Fig. 1 Totem-pole PFC circuit with bi-directional buck-boost type decoupling circuit.

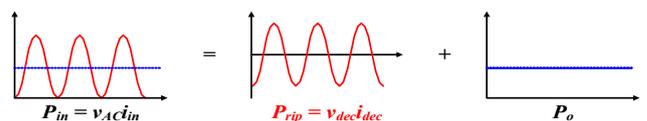


그림 2 PFC 회로 입력 전력의 리플성분 분석
 Fig. 2 Analysis of input ripple power in PFC circuit.

P_{in} 은 그림 2와 같이 일정한 크기의 전력 (P_o)과 전력 리플 (P_{rip})의 합으로 나타난다. 이때 P_{rip} 은 디커플링 회로의 커패시터 (C_{dec})에 저장됨으로써 출력에는 P_{rip} 이 나타나지 않는다. 따라서 C_{dec} 에 저장되는 전력이 P_{rip} 과 동일하도록 C_{dec} 의 전압 (v_{dec})과 디커플링 회로 인덕터 (L_{dec})의 전류 (i_{dec})를 각각 식 (4), (5)와 같이 제어한다.^[1]

$$v_{dec} = \sqrt{\frac{V_s I_s}{\omega C_{dec}} (k - \cos(2\omega t))} \tag{4}$$

$$i_{dec} = \frac{P_{rip}}{v_{dec}} = \frac{V_s I_s \sin(2\omega t)}{\sqrt{\frac{V_s I_s}{\omega C_{dec}} (k - \cos(2\omega t))}} \tag{5}$$

k 는 식 (6)과 같이 리플 에너지 (E_r)와 C_{dec} 에 저장 가능한 에너지 (E_{CS-max}) 사이의 비율을 나타내며, k 가 감소함에 따라 그림 3과 같이 v_{dec} 는 감소하며, i_{dec} 는 증가한다.

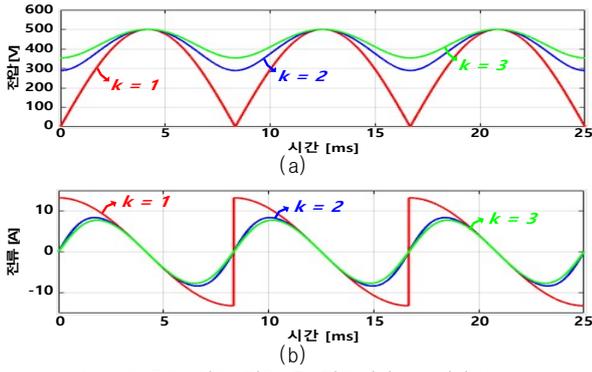


그림 3 디커플링 회로 전압 및 전류 (a) v_{dec} (b) i_{dec}
 Fig. 3 Decoupling circuit voltage and current (a) v_{dec} (b) i_{dec} .

$$\frac{k+1}{2} = \frac{E_{cs-max}}{E_r}, \quad (k > 1) \quad (6)$$

L_{dec} 의 부피를 최소화하고자 i_{dec} 는 불연속 도통 모드로 제어되며, 이 때 S_3 과 S_4 의 시비율은 각각 식 (7), (8)과 같다.^[1]

$$D_{S3} = \sqrt{\frac{2i_{cs}f_s L_{dec} v_{dec}}{v_o(v_o - v_{dec})}} \quad (7)$$

$$D_{S4} = \sqrt{\frac{2i_{cs}f_s L_{dec}(v_o - v_{dec})}{v_o v_{dec}}} \quad (8)$$

3. 디커플링 기법이 적용된 PFC 회로 최적 설계

3.1 인덕터 및 커패시터 설계 방안

PFC 회로의 인덕터 (L_s)는 표 1의 전류 리플 조건을 이용하여 식 (9)에 의해 설계한다. 표 2와 같이 L_s 는 주파수가 증가할수록 감소하며, 스위칭 주파수에 따라 200 kHz 이하에서는 분말 코어, 300 kHz 이상에서는 페라이트 코어로 설계된다.

$$L_s \geq \frac{1}{\Delta i_s} V_s \left(1 - \frac{V_s}{v_{out}}\right) \times \frac{1}{f_s} \quad (9)$$

L_{dec} 의 범위는 식 (10)과 같으며 최댓값은 i_{dec} 의 불연속 도통 모드 동작을 보장하는 값을 기준으로, 최솟값은 S_3 과 S_4 의 순시 전류 정격 (I_{peak})을 초과하지 않는 값으로 결정된다.

$$\frac{2i_{cs}(v_o v_{dec} - v_{dec}^2)}{I_{peak}^2 f_s v_{dec}} \leq L_{dec} \leq \frac{v_o v_{dec} - v_{dec}^2}{2i_{cs} f_s v_{dec}} \quad (10)$$

따라서 디커플링 회로에 추가된 인덕터의 부피를 최소화하기 위하여, 표 3과 같이 식 (10)의 범위 안에서 코어가 커지지 않는 인덕턴스의 최댓값을 스위칭 주파수 별로 설계한다.

C_{dec} 는 식 (11)과 같이 주파수와 관계없이 k 에 의해 결정된다.

$$C_{dec} = \frac{P_{dec,peak} \times (k+1)}{\omega V_{dec,peak}^2} \quad (11)$$

k 가 작아질수록 C_{dec} 의 부피는 감소하지만, 그림 3과 같이 i_{dec} 의 증가로 인해 손실이 증가한다. 따라서 C_{dec} 의 부피 최소화를 위하여 $V_{dec,peak}$ 는 출력전압보다 10 V 작은 500 V로 설정하며, 우선은 k 가 1.5일 때를 기준으로 C_{dec} 를 87.5 μ F (Vishay社 MKP1848C, 176.08 cm^3)으로 설계하였다. 손실 및 부피를 고려한 최적 k 는 3.2절의 분석 결과를 기반으로 선정한다.

3.2 손실 분석 및 최적 설계점 도출

PFC 회로와 디커플링 회로에 사용된 전력 반도체는 SiC (Silicon carbide) MOSFET과 다이오드로, 각각 CREE社 C3M0120090D, ST社 STPSC15H12로 선정하였다. MOSFET과 다이오드에서 발생하는 손실은 각각 식 (12), (13)을 통해 계산하였으며, 인덕터에서 발생하는 손실은 제조사에서 제공하는 주파수 별 철손 정보를 기반으로 계산하였다.

$$P_{MOS} = P_{MOS,cond} + P_{MOS,sw} = (I_{d,rms}^2 \times R_{ds(on)}) + (V_{AC} I_{off} \times (t_{on} + t_{off}) \times f_s) \quad (12)$$

$$P_d = P_{d,cond} + P_{d,rev} = I V_F + (V_R I_{rrm} t_{rr} / 6) \times f_s \quad (13)$$

그림 4는 PFC 회로의 최적 주파수 선정을 위하여 스위칭 주파수에 따른 부피 및 손실을 분석한 결과이다. 주파수가 200 kHz인 경우 코어 부피는 가장 작은 20.65 cm^3 인 반면, 분말 코어를 사용하였기 때문에 손실은 가장 큰 143.28 W로 나타난다. 반면 주파수가 300 kHz인 경우 페라이트 코어를 사용하여 손실이 115.86 W로 감소한다. 이때 코어의 부피는 16.55 cm^3 증가하지만, 앞서 선정한 C_{dec} 의 부피인 176 cm^3 와 비교하면 10% 수준으로 그 영향이 미비하다. 따라서 PFC 회로의 최적 스위칭 주파수는 300 kHz로 선정하였다.

표 2 스위칭 주파수에 따른 PFC 회로 인덕터 파라미터 선정

Table 2 Inductor design of PFC circuit according to variation of switching frequency

주파수 [kHz]	100	200	300	400	500
인덕턴스 [μ H]	160	80	60	40	32
코어	CH610060	CH572060	PC95-PQ50/50	PC95-PQ50/50	PC95-PQ50/50
턴 수	31	36	15	13	13
부피 [cm^3]	52.81	20.65	37.2	37.2	37.2

표 3 스위칭 주파수에 따른 디커플링 회로 인덕터 파라미터 선정

Table 3 Inductor design of decoupling circuit according to variation of switching frequency

주파수 [kHz]	100	200	300	400	500
인덕턴스 [μ H]	75	38	25	18	15
코어	CH610060	PC95-PQ50/50	PC95-PQ50/50	PC95-PQ35/35	PC95-PQ20/20
턴 수	33	12	10	12	13
부피 [cm^3]	20.65	37.2	37.2	17.3	2.79

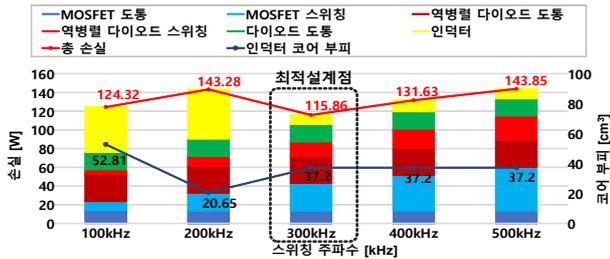
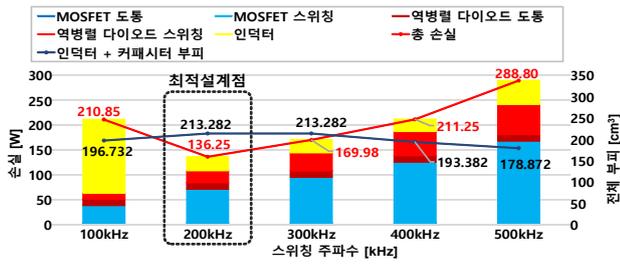
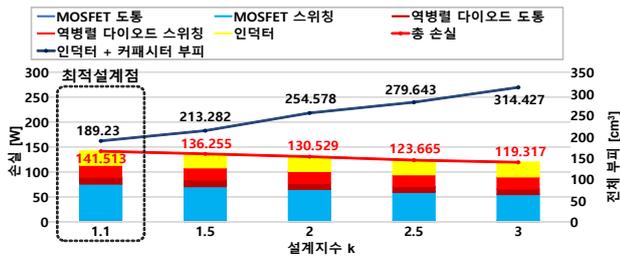


그림 4 스위칭 주파수에 따른 PFC 회로의 부피 및 손실
Fig. 4 Volume and loss of PFC circuit according to variation of switching frequency.



(a)



(b)

그림 5 디커플링 회로의 부피 및 손실 (a) 스위칭 주파수 변화 시 (b) k 변화 시

Fig. 5 Volume and loss of decoupling circuit (a) variation of switching frequency (b) variation of k.

디커플링 회로의 최적 주파수 선정을 위하여, 그림 5 (a)와 같이 동일한 k (1.5)에 대한 주파수에 따른 부피 및 손실을 분석한다. 주파수가 200 kHz인 지점에서 분말코어 대신 페라이트 코어를 사용함에 따라 손실이 210.85 W에서 136.25 W로 약 37.74% 감소한다. 반면 주파수가 200 kHz에서 500 kHz로 증가함에 따라 부피는 16.1% 감소하지만, 손실은 약 112% 증가하였다. 따라서 디커플링 회로의 최적 스위칭 주파수는 디커플링 회로의 손실 증가율을 고려하여 200 kHz로 선정하였다.

이 때, C_{dec} 의 손실과 부피를 고려한 최적 k 를 산출하기 위하여, 그림 5 (b)와 같이 디커플링 회로가 200 kHz로 동작할 때 k 값에 따른 디커플링 회로의 부피 및 손실을 분석한다. 3.1 절에서의 분석 내용과 같이 k 가 증가할수록 손실은 감소하며 부피는 증가하는데, k 가 1.1인 경우와 3인 경우의 부피 및 손실을 비교하면 부피 증가율은 약 66.16%인 반면 손실감소율은 15%에 그쳤다. 따라서 디커플링 회로의 부피 감소를 고려하여 최적 설계점의 k 는 1.1로 선정하였다.

4. 시뮬레이션 검증

제안하는 최적 설계 방안 검증을 위하여 그림 6과 같이 최적 설계된 PFC 및 디커플링 회로의 시뮬레이션을 진행하였다.

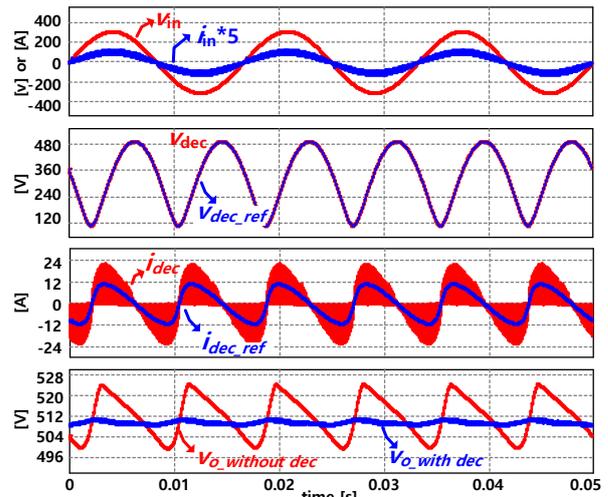


그림 6 최적 설계점에서의 시뮬레이션 파형
Fig. 6 Simulation result at optimal design point.

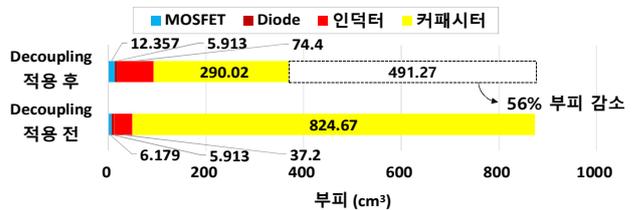


그림 7 디커플링 회로 적용에 따른 부피 비교
Fig. 7 Volume comparison of PFC circuit.

시뮬레이션 결과 디커플링 기법 적용 시, 출력 전압 리플은 약 0.54%로 전력 리플이 효과적으로 흡수됨을 확인하였다. 그림 7은 디커플링 기법이 적용된 PFC 회로와 전해 커패시터 (전압 리플 2.5%, 1300 μ F)를 사용한 PFC 회로의 부피를 비교한 그래프이다. 디커플링 기법 적용 시, 회로 전체 부피가 약 56% 감소되어 전력 밀도가 향상됨을 확인하였다.

5. 결론

본 논문은 3.3 kW 전기자동차용 탑재형 충전기의 전력 밀도 향상을 위하여 양방향 buck-boost 형태의 디커플링 기법이 적용된 Totem-pole PFC 회로의 최적 설계 방안을 제안하였다. 제안한 최적 설계 기법을 통해 PFC 회로와 디커플링 기법의 최적 동작 주파수를 제안하였고, 시뮬레이션을 통해 전해 커패시터 사용 대비 약 56%의 부피 절감 효과를 검증하였다. 추후 실험 검증 및 손실 최소화를 위한 연구를 진행할 예정이다.

본 연구는 2018년도 산업통상자원부의 재원으로 한국에너지기술연구원(KETEP)의 에너지인력양성사업으로 지원받아 수행한 인력양성 성과입니다. (No. 20184030202190)

참고 문헌

[1] R. X. Wang et al., "A high power density single-phase PWM rectifier with active ripple energy storage", *IEEE Trans. Power Electron.*, vol. 26, no. 5, pp. 1430-1443, May. 2011.