4-유니버셜 게이트 기반 효율적인 QCA 2-to-4 인에이블 디코더 설계

김태우*, 류정현**, 조정훈**, 박종혁**
*금오공과대학교 컴퓨터공학과
**서울과학기술대학교 컴퓨터공학과
*e-mail:ealiza@naver.com
**e-mail:{jh.ryu, jojeong3766, jhpark1}@seoultech.ac.kr

Efficient QCA 2-to-4 Enable Decoder Design Based on 4-Universal Gate

Tae-Woo Kim*, Jung Hyuk Ryu**, Jeong Hoon Jo**, Jong Hyuk Park**
*Dept. of Computer Egineering, Kumoh National Institute of Technology
**Dept. of Computer Science and Egineering, Seoul National University of Science and Technology (SeoulTech)

요 약

VLSI(Very large scale integration) 기술을 통한 트랜지스터의 소형화를 통해 CMOS 집적 회로의 성능은 지속적으로 발전해 왔다. 이와 같은 기술 발전에 따라 집적 회로를 구성하는 디지털 논리 요소 또한 진화를 하고 있다. 디코더는 부호화된 정보를 다시 부호화되기 전으로 되돌아가는 처리를 하는 디지털 논리 요소이며 컴퓨터 설계에서 많이 사용되는 핵심 요소이다. 본 논문에서는 양자점 셀룰라 오토마타(Quantum Cellular-Automata ,QCA)를 사용하여 인에이블 입력을 가진 2-to-4 디코더를 제안하였다. 4-입력 유니버설 게이트의 하나의 입력을 1로 고정시켜 3-입력 NOR 게이트로 사용하며, 입력 값 X와 입력 값 Y의 중복된 배선 수를 감소시키고 한 배선으로 두 게이트에 입력을 연결하여 디코더의 배선 수와 배선 교차부를 최소화한다. 제안안하는 4-to-2 인에이블 디코더는 기존 디코더보다 셀의 개수와 클럭수를 감소시켜 디코더의 성능을 더 효율적으로 향상시켰다. 이를 통해 고속 회로 설계에 활용 및 높은 성능을 기대 할 수 있으며 QCA 연구에 기여할 수 있을 것으로 전망 한다.

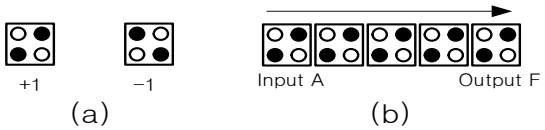
1. 서론

CMOS(Complementary metal - oxide - semiconductor) 집적 회로의 성능은 VLSI(Very large scale integration) 기술을 통한 트랜지스터의 소형화와 전력증가를 통해 꾸준히 발전되어왔다[1]. 그러나 CMOS 기술의 물리적인 한계로 인해 더 이상 발전을 기대하기 어렵다[2]. 이런 CMOS의 한계성을 극복할 수 있는 기술로 1993년 Lent 등에 의해 양자점 셀룰라 오토마타가 소개되었다[3]. QCA는 나노 크기의 셀을 이용하여 빠른 연산속도와 적은 전력 소모의 장점이 있어 차세대 나노 전자 컴퓨터를 위한 회로 기술로 주목받았고, 1990년대 후반에 QCA 셀의 기본 작동이 실험으로 입증되었다[4][5]. 그 이후 QCA를 사용한 기본 디지털 논리 게이트부터 대규모 회로 설계까지 다양한 연구와 실험이 진행되고 있다[6].

2 관련 연구

2.1 QCA 설계

QCA는 정사각형 모양의 QCA 셀을 기본 소자로 한다. 셀 내부에 4개의 양자점과 터널링 할 수 있는 두 개의 과도 전자로 구성되며, 두 개의 과도 전자는 쿨롱 반발력에 의해 항상 대각 반대 방향에 위치하게 된다[7].

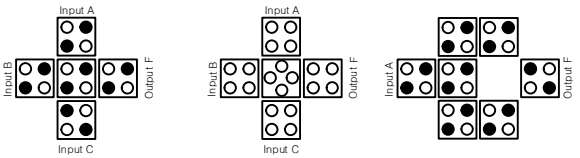


(그림 1) QCA 기본 구조 : (a) 90° 셀, (b) 45° 셀

(그림 1)(a)와 같이 과도 전자의 위치에 따라 +1, 또는 -1의 값을 가지게 되며 이는 이진수 1, 또는 0을 나타낸다[8]. (그림 1)(b)에서 나타낸 것처럼 QCA 셀을 일렬로 연결하여 배치해 배선할 수 있으며, 쿨롱 반발력에 의해 연결된 셀에 영향을 끼쳐 연결된 방향으로 신호가 전파된다[9].

2.2 QCA 게이트

QCA 셀을 배치하여 여러 논리게이트로 사용이 가능하다. (그림 2)(a)와 같이 구성된 다수결 게이트는 QCA 설계에서 가장 많이 사용하는 게이트 기법으로 3개의 입력 중 다수의 편극에 의해 출력의 편극이 정해진다[10]. 또한 (그림 2)(b)에서 나타낸 것처럼 QCA 다수결 게이트 중앙에 회전된 45° 셀을 배치하여 자기 자신만으로 모든 기본 논리게이트를 구성할 수 있는 유니버설 게이트로 사용이 가능하다[11]. QCA 셀의 과도 전자가 항상 대각 반대 방향에 위치하는 점을 이용하여 또한 (그림 2)(c)와 같이 셀을 대각 방향으로 위치시켜 인버터로 사용할 수 있다[12].

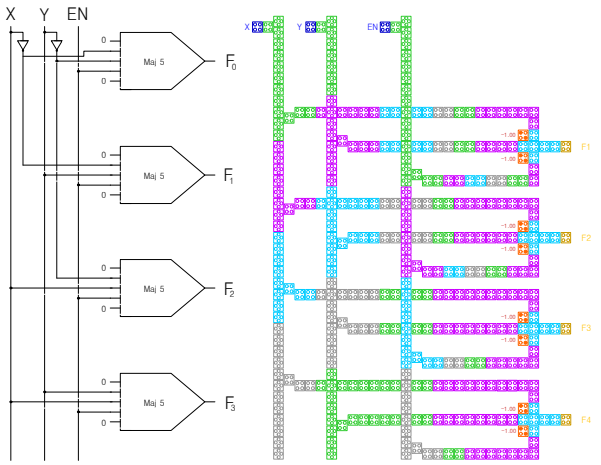


(a) (b) (c)

(그림 2) QCA 기본 게이트 :
(a) 다수결 게이트, (b) 유니버설게이트, (c) 인버터

2.3 기존 QCA 디코더

(그림 3)는 기존에 제안된 인에이블 입력을 가지는 QCA 2-to-4 디코더이다[13].



(a) (b)

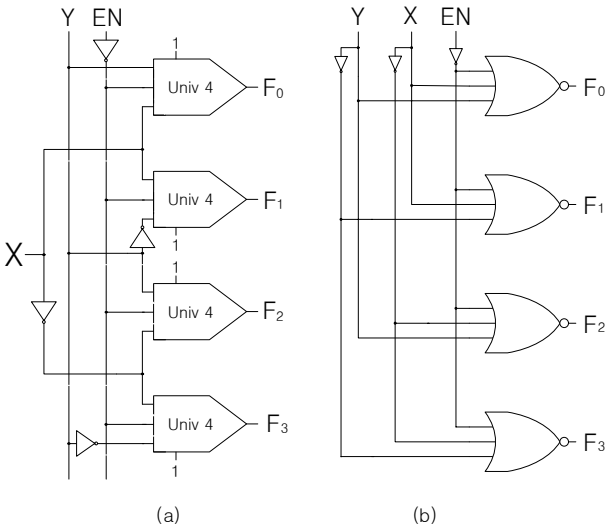
(그림 3) 기존의 2-to-4 디코더[13] :
(a) 다이어그램, (b) QCA 회로도

(그림 3)(b)를 보면 5-입력 다수결 게이트를 3-입력 AND 게이트로 사용하여 게이트의 사용을 최소화하였고, 입력 라인이 좌측 상단에서 하단으로 이어지며, 필요한 입력 값을 QCA 배선 교차 방법을 사용하여 우측 게이트로 유도하였다. 디지털 논리 회로와 가장 흡사한 회로이지만 많은 교차 선 때문에 셀의 사용은 361개, 클럭 소모는 7클럭으로 크기가 크고 느리다는 단점을 가지고 있다.

3 제안하는 QCA 2-to-4 인에이블 디코더

본 논문에서 제안하는 디코더는 (그림 4)(a)과 같이 4-입력 유니버설 게이트의 하나의 입력을 1로 고정시켜 3-입력 NOR 게이트로 사용하였다. 기존의 제안한 회로는 배선 교차부가 많아 교차 셀 간의 쿨롱 반발력이 생기는 문제를 해결하기위해 많은 클럭을 소모한다. 제안하는 회로는 이전의 회로와 비교하여 배선의 수가 감소하였으며 그결과 배선 교차부 또한 감소하였다.

(그림 4)(b)는 QCA 회로를 디지털 논리회로를 나타낸 다이어그램으로 2개의 선택 입력과 1개의 인에이블 입력을 가지며 4개의 출력을 나타낼 수 있는 4개의 출력 게이트를 사용한다.

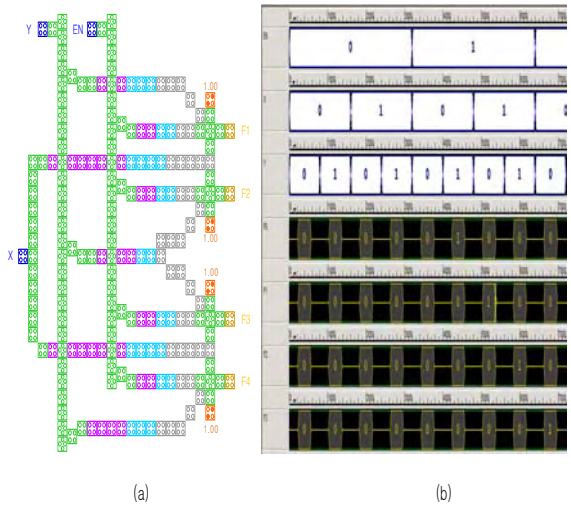


(a) (b)

(그림 4) 제안하는 디코더의 다이어그램 : (a) QCA 회로, (b) 디지털 논리 회로

(그림 5)(a)는 제안하는 디코더의 QCA 회로도로 출력 게이트 F0에는 X와 Y입력이, 출력 게이트 F1에는 X와 Y′입력, 출력 게이트 F2에는 X′과 Y입력, 출력 게이트 F3에는 X′과 Y′입력이 들어가야 한다. 이때 출력 게이트 F0, F1에 들어가는 X와 출력 게이트 F2, F3에 들어가는 X′를 각각 선 하나를 사용하여 게이트에 연결하였고, 출력 게이트 F1, F2에 들어가는 Y, Y′ 값을 선 하나를 사용하여 이동시켜 중복된 입력 선을 줄여 배선 교차부를 최소화시켰다.

(그림 5)(b)는 QCA 회로를 QCADesigner 툴로 시뮬레이션한 결과로 정상적으로 2-to-4 인에이블 디코더의 출력과 동일한 결과를 나타내는 것을 볼 수 있다.



(그림 5) 제안하는 2-to-4 인에이블 디코더 :
(a) QCA 회로, (b) 시뮬레이션 결과

4 비교 및 분석

기존에 제안된 디코더[13]는 5-입력 다수결 게이트를 이용해 2개의 입력을 0으로 고정시킨 3-입력 AND 게이트를 사용하여 게이트의 수를 4개로 최소화시켰지만 배선 문제로 인해 361개의 셀과 7클럭을 소모하여 느리고 크기가 큰 단점을 가지고 있다. 한편, 제안하는 디코더는 4-입력 유니버설 게이트의 하나의 셀을 1로 고정시킨 3-입력 NOR 게이트를 사용하여 기존 디코더와 같이 게이트의 수를 4개로 최소화하였다. 또한 중복된 입력선을 최소화하여 입력 값을 게이트의 입력 부분에 연결하였다. 그 결과 <표 1>과 같이 배선의 수와 배선 교차부를 줄여 셀의 사용량을 361개에서 202개로 감소시켰으며, 클럭 수를 7회에서 5회로 줄어 기존의 디코더보다 뛰어난 성능을 보인다.

<표 1> 디코더 비교

	사용 게이트	셀의 개수	클럭 수
Existing Decoder[13]	5 in-Major	361	7
Proposed Decoder	4 in-Univ	202	5

5 결론

본 논문에서 제안하는 디코더는 출력 게이트 F0, F1과 출력 게이트 F2, F3에 들어갈 X 입력을 각각 한 선으로 배선하였고, 출력 게이트 F1과 F2에 들어갈 Y‘, Y입력을 한 선으로 배선하여 배선 교차부를 지난 후 입력을 나눔으로써 입력 선의 수를 줄여 셀의 개수를 44.04% 감소시켰다. 교차 셀 간의 쿨롱 반발력이 생기는 문제의 원인인 배선 교차부 또한 줄어들어 클럭 수를 28.57% 감소시켜 기존의 제안된 디코더[12]보다 효율적이라는 것을 알 수 있다.

제안하는 4-to-2 인에이블 디코더는 기존의 디코더보다 셀의 개수가 줄어듦으로 인해 대규모 회로 설계 시 회로에 사용될 셀의 수가 줄어들어 비용적 측면에서 효율적이다. 제안하는 디코더를 통해 고속의 회로 설계에서 활용 및 높은 성능을 기대할 수 있다. 또한 일반적으로 디지털 회로설계 시 디코더가 많이 사용되는 회로라는 점을 고려하였을 때, 앞으로 QCA 연구에 많은 기여를 할 수 있을 것으로 전망한다.

Acknowledgments

"This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIP) (No 2016R1A2B4011069)."

참고문헌

[1] Y. W. You and J. C. Jeon “Journal of Advanced Navigation Technology”
[2] H. G. Yang, W. Kim and Y. H. Kim “ISOCC”
[3] C. S. Lent, P. D Tougaw, W. Porod and G. H. Bernstein “Nanotechnology”
[4] K. S. Kim, Y. O. Oh, R. Karri, A. Orailoglu “ISOCC”
[5] C. S. Lent and P. D Tougaw “Proceedings of the IEEE”
[6] K. Kim, K. Wu and R. Karri, "Electrical and Computer Engineering"
[7] T. W. Kim, Y. W. You, J. S. Lee and J. C. Jeon "Proceedings of KIIT Summer Conference"
[8] T. H. Kim and J. C. Jeon "Journal of the Korea Institute of Information Security & Cryptology"
[9]] J. H. Nam and J. C. Jeon "Asia-pacific Journal of Multimedia Services Convergent with Art"
[10] J. C. Jeon "nternational Journal of Control and Automation"
[11] T. W. Kim and J. C. Jeon "Convergence Research Letter"
[12] G. Toth, C. S. Lent, "Journal of Applied Physics"
[13] K. Moein and S. N, Reza "Nano technology"