

계면 포획 전하를 고려한 3차원 인버터의 특성 분석

안태준^{1,2} · 최범호² · 유운섭¹

¹한경대학교 전기전자제어공학과 · ²한국생산기술연구원

Characteristic Analysis of Monolithic 3D Inverter Considering Interface Charge

Tae-Jun Ahn^{1,2} · Bum Ho Choi² · Yun Seop Yu¹

¹Department of Electrical, Electronic and Control Engineering, Hankyong National University

²Group for Nano-Photonics Convergence Technology, Korea Institute of Industrial Technology

E-mail : jigo1235@hknu.ac.kr

요 약

이 논문은 모놀리식 3차원 공정 시 열에 의해 생성될 수 있는 계면 포획 전하가 3차원 인버터의 특성에 미치는 영향에 대하여 TCAD 시뮬레이션을 통해 확인하였다. 계면 포획 전하는 문턱 전압 및 ILD 두께에 따른 문턱 전압의 변화량에도 영향을 주었고 3차원 인버터의 입출력 특성에도 영향을 주는 것을 확인하였다.

ABSTRACT

We have investigated the effect of interface trap charge on the characteristics of a monolithic 3D inverter by TCAD simulation. The interface trap charge affects the variation of the threshold voltage and threshold voltage. also The interface trap charge affects the IN/OUT characteristics of the monolithic 3D inverter.

키워드

3차원 인버터, monolithic 3D inverter, MOSFET, interface charge

I. 서 론

반도체는 무어의 법칙 (Moore's Law)에 따라 최근 까지 급속도로 발전해 왔으며 소형화를 기반으로 소자의 집적도를 높이는 기술의 발전은 물리적인 소형화 기술력의 한계에 부딪히면서 이와 같은 물리적인 한계에서 탈피하기 위해 최근 다양한 연구들이 진행되고 있다. 이 중에는 기존에 수평(2차원)으로 제작 하던 소자를 수평, 수직(3차원)으로 쌓아 올리는 3차원 집적 기술(Three -Dimensional Integration)이 있다. 각 층을 이전에 제작 된 층위에 순차적으로 적층하는 모놀리식 3차원 집적 기술은 각각의 웨이퍼에 소자를 제작하고 Via를 통해 연결하는 기존의 parallel integration 방식보다 집적도, 지연시간, 비용적인 측면에서 더 유리한 조건을 가지고 있다. 하지만 모놀리식 3차원 집적 기술은 하나의 웨이퍼에 순차적으로 여러 층을 집적하는 기술이기 때문에 여러 가지 공정 기술 과제들이 존재한다.

공정 기술 과제들은 공통적으로 온도(열)에 매우 민감하다. 모놀리식 3차원 집적에 기존의 공정 기술을 적용하면 다음 층을 제작할 때 1000°C 이상의 고온은 이전 층을 심각하게 손상시키기 때문에 모놀리식 3차원 집적에 사용되는 공정 기술들은 저온 공정 기술들이 요구된다. 저온 공정 기술들에 대한 연구가 많이 이루어져 최근에는 Coolcube 기법과 같이 어느 정도 고품질의 소자 제작이 가능하지만 아직까지 최대 600°C 이하의 공정 온도가 요구된다[1]. 저온 공정을 적용하여도 500~600°C 온도는 이전 층의 소자와 산화막에 손상을 가할 수 있으며 열에 의해 계면 포획 전하가 생성될 수 있기 때문에 계면 포획 전하에 의한 영향을 확인할 필요가 있다.

본 연구에서는 이전 연구[2]에서 찾았던 계면 포획 전하의 분포를 이용하여 계면 포획 전하가 3차원 인버터의 특성에 미치는 영향에 대하여 TCAD 시뮬레이션을 통해 확인하고자 한다.

II. 본 론

2.1 계면 포획 전하

실리콘과 산화막이 만나는 계면에서는 고정 전하(Fixed Oxide Charge), 산화막 포획전하(Oxide Trapped Charge), 유동 전하(Mobile Oxide Charge)로 이루어진 계면 전하 시스템이 존재한다. 이 중에서 열에 의한 손상을 입게 되면 계면 포획 전하가 추가로 생성될 수 있다. 그림 1은 모놀리식 3차원 집적 기술에서 계면 포획 전하가 생성 되는 위치를 나타낸 그림이다.

시뮬레이션에는 실제 실험 데이터를 TCAD 데이터와 비교하여 찾은 계면 포획 전하 분포를 사용하였다.

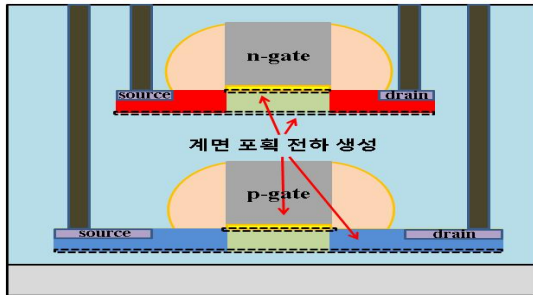


그림 1. 모놀리식 3차원 인버터에서 계면 포획 전하의 생성 위치

2.2 시뮬레이션 및 전기적 결과

시뮬레이션은 Silvaco사의 ATLAS를 이용하였고 이동도 모델은 CVT를 사용하였고 재결합 모델은 Auger와 srh 모델을 사용하였다. 캐리어 특성 모델은 Fermi 모델을 사용하였으며, 온도는 300k이다[3].

표 1은 3차원 인버터의 층과 층 사이의 유전체(Inter Layer Dielectric, ILD) 두께의 변화에 따른 문턱전압의 변화량을 나타냈다. 게이트 길이는 30nm이고 ILD의 두께가 10, 30, 50, 100nm 인 경우의 문턱전압의 변화량을 계면 포획 전하를 고려한 경우와 고려하지 않은 경우로 나누어 나타내었다. 계면 포획 전하를 고려한 경우에 문턱전압이 더 적게 변하는 것을 확인 할 수 있다.

표 1. 3차원 인버터의 ILD 두께 변화에 따른 문턱전압의 변화량 비교(단위 : mV).

ILD	10nm	30nm	50nm	100nm
$L_g=30nm$				
No Trap	178.5	62.3	36	19.2
Trap	148.4	56.4	32.8	15.8

그림 2와 그림 3은 계면 포획 전하를 고려하지 않은 경우와 고려한 경우의 3차원 인버터의 입출력 특성을 나타낸다. 계면 포획 전하에 의해 문턱

전압 변하기 때문에 그림 3의 인버터 특성이 변하는 것을 확인 할 수 있다.

III. 결 론

본 연구에서는 모놀리식 3차원 인버터에서의 계면 포획 전하가 특성에 미치는 영향을 알아보기 위해서 이전 연구에서 찾았던 계면 포획 전하의 분포를 이용하여 TCAD 시뮬레이션으로 비교하였다. ILD의 두께 변화에 따른 문턱전압의 변화량은 계면 포획 전하가 존재 할 때 더 적은 변화를 나타냈다. 또한 계면 포획 전하에 의해 문턱 전압이 변하기 때문에 3차원 인버터의 입출력 특성도 함께 변하는 것을 확인 할 수 있다.

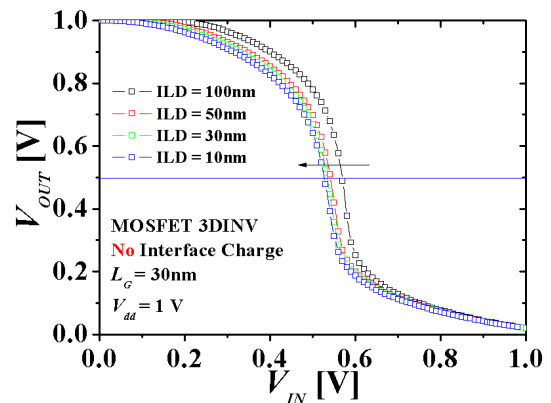


그림 2. 계면 포획 전하를 고려하지 않은 3차원 인버터의 입출력 특성.

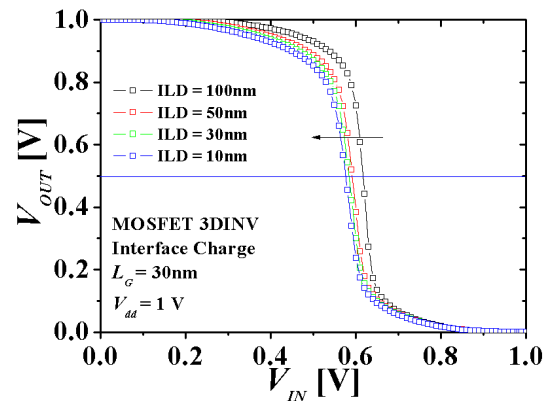


그림 3. 계면 포획 전하를 고려한 3차원 인버터의 입출력 특성.

Acknowledgement

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (NRF-2016R1D1A1B03932711).

References

- [1] C. Santos, *et. al.*, Thermal performance of CoolCube™ monolithic and TSV-based 3D integration processes, *3D Systems Integration Conference (3DIC)*, 2016.
- [2] 안태준, 유운섭, 3차원 순차적 집적회로에서 계면 포획 전하 밀도 분포와 그 영향, *한국 정보통신 학회 논문지*, Vol. 19, No. 12, pp. 2899-2904, 2015.
- [3] SILVACO, int. "ATLAS Users Manual," Santa Clara, CA, 2014.