

# 시스템 IC를 위한 하이스피드(300MHz) 테스트 시스템 개발

정동수<sup>1</sup> · 공경배<sup>2</sup> · 이종혁<sup>3</sup>

<sup>1</sup>라온솔루션 · <sup>2</sup>지디피 · <sup>3</sup>경성대학교

## Development of high-speed (300MHz) test system for system IC

Dong-soo Jung<sup>1</sup> · Kyung-bae kong<sup>2</sup> · Jong-Hyeok Lee<sup>3</sup>

<sup>1</sup>KResearch Institute, Raon Solution · <sup>2</sup>Research Institute GDP · <sup>3</sup>Kyungsung University

E-mail : dongsoo.jung@raonsolution.com / kbkong@gdpcorea.com / jhlee@ks.ac.kr

### 요 약

본 논문은 시스템 IC 반도체의 고속(300MHz) 테스트를 위한 시스템 개발에 대한 방법을 제안한다. 하이스피드 테스트 시스템은 고속 테스트 회로 인터페이스와 노이즈 저감을 위한 PCB 설계 방법을 제안한다. 본 논문은 개발된 시스템의 성능 검증을 위한 평가 항목과 절차를 제안한다. 시스템 IC 하이스피드 테스트 시스템 개발은 국내 시스템 IC 테스트 장비개발의 최적화에 도움이 될 것으로 생각한다.

### ABSTRACT

This paper proposes a method for system development for high speed (300MHz) test of system IC semiconductors. The high-speed test system proposes a high-speed test circuit interface and a PCB design method for noise reduction. This paper proposes evaluation items and procedures for verifying the performance of the developed system. System IC The development of high speed test systems will help optimize the development of domestic system IC test equipment.

### 키워드

비메모리 반도체, 고속동작, 반도체, 고속 신호 주파수, 신뢰성시험

## 1. 서 론

최근 반도체 IC의 Size Minimize, Light weight, High Speed등을 지속적으로 연구하고 개발하고 있으며 이에 맞는 Design Tool, Tester, Analysis H/W 등을 필요로 하고 있다. 반도체 IC 설계 및 개발, 생산에 있어 가장 중요한 항목은 동작의 신뢰성을 확보하는데 있다. 또한, 10년 제품의 사용을 보증해야하는 반도체 IC는 필수적으로 고온상태에서 동작 시험을 진행하고 있다.

멀티미디어 시대에는 폭증하는 복잡한 데이터를 고속으로 송수신하고 해석, 처리하는 기술이 바로 경쟁력으로서 음성이나 화상 등 방대한 정보를 취급하는 멀티미디어 기기에서는 디지털 신호처리기술이 필요불가결하며, 이에 따라 디지털 신호를 고속으로 처리하는 DSP (Digital Signal Processor)가 각광받게 될 것으로 예상할 수 있다.

이러한 고속 송수신 데이터의 계측 분석 장비가 해외 장비로 수입에 의존하고 있는 것이 현실로서 국산기술화를 위한 연구와 투자가 활발히 이루어지고 있으나, 개발제품의 Package 상태에서의 수명 시험을 통한 제품의 신뢰성을 확보하지 못할 뿐 아니라 이러한 Size Minimize 및 High Speed를 대응할 수 있는 Equipment 및 Board가 국내기술로는 전무한 상태이다.

기존의 시스템 IC는 가속수명시험 장비의 한계점(Max. 20Mhz)을 갖고 있어 High Speed 조건 대응이 불가하며, 시험 가능한 Up-grade 개발을 위해서는 고가의 비용이 발생하는 것은 불가피한 상황이다. 또한, 장비의 대부분이 해외 수입 장비로 국내 기술 발전이 필요한 시점이다.

이에 자체 개발 기술을 적용한 High speed board System의 기술 개발이 반드시 필요하며 이러한 기술과 시스템을 성공적으로 개발함으로써 국내기업

의 반도체 설계 개발기간 단축, 제품 신뢰성 향상이 이루어짐으로 인해 기술력 및 품질의 향상을 통해 Global Market에서의 경쟁력 상승이 가능해진다.

반도체 개발 및 양산을 위해서는 신뢰성확보가 필수이며 High Speed 테스트를 통한 고속 수명 시험평가가 필요하나 국내 인프라에서는 대응이 불가하여 Skip하고 있는 상태이며, 이에 따른 신뢰성 확보의 불투명성과 Field에서의 지속적인 불량 유발됨을 확인함으로써 초기 신뢰성 검증에 대한 Real High Speed Test가 필요한 방향으로 신뢰성 방향이 급속하게 변하고 있는 추세이다.

기존 시스템반도체 제품들은 20MHz 동작주파수 범위 내에서 적용하여 시험을 진행하였으나 현재는 200MHz 이상의 동작주파수를 필요로 하는 IC들이 지속적으로 개발되고 제품에 적용되고 있는 현실이다.

본 논문은 이러한 기술적 요구조건을 만족하며, 시장에 부흥하기 위해 FPGA와 여러 회로를 개발하여 고속 동작과 분석에 필요한 장치와 저렴한 시험장비 개발을 진행하여 반도체의 설계 오류 및 회로의 검증 시스템을 구현하여 고속 신호 IC 제품에 대한 실제 구동 환경 구축을 위한 300MHz급 고속 신호 Test 시스템 개발 것을 목적으로 하고, 이를 위하여 고속의 반도체 IC의 테스트 벡터를 신호로 구현하고 출력 값의 검증 역할을 하는 FPGA kit 보드가 필요하고 테스트 IC의 Test 모드 진입 및 전압을 공급하는 Main board의 개발이 필요하다, Main board와 Kit board의 인터페이스를 담당할 프로그램 보드의 개발또한 필요하며 3가지 보드의 조합으로 하이스피드 테스트 시스템이 완성된다.

## II. 관련 기술 현황

메모리 테스터 장비는 8Gbps까지 테스트가 가능한 장비의 개발이 완료되었으며 여러 소기업체의 양산에 적용되고 있다. 최근에는 DDR4 제품과 LPDDR3 제품을 동시에 지원할 수 있는 4.0 ~ 4.5Gbps급의 Full I/O 장비 및 테스트 원가 절감을 원하는 소자 업체의 요구에 맞춰 동일 Platform에서 원하는 성능으로 업그레이드 할 수 있는 장비 개발하고 있다.

시스템 반도체 테스터 장비는 고정밀도를 갖춘 하나의 장비로 폭넓은 대역폭을 제공하는 ATE(Automatic Test Equipment)의 수요가 커지고 있으며 DPS board의 수가 많으며 높은 주파수에서 안정적인 성능을 보이는 Tester와 LCD panel의 대형화 추세에 따라 보다 많은 전압 및 전류를 공급이 가능한 안정적인 Tester의 개발이 요구되고 있다.

현재 국내 시스템반도체 시장의 위상은 낮은 수준에 머물고 있으나, 최근 정부와 기업 모두에서 차세대 성장동력 산업으로 지정하여 전략적으로

육성하고 있어 향후 2015년까지 연평균 8.4%의 고성장세를 유지하며 152억 달러의 규모로 확대될 것으로 전망된다. 휴대폰, 디지털 TV, 자동차 등 시스템반도체 수요산업에서 국내 업체들이 세계 시장을 주도하고 있다. 삼성전자, 하이닉스 등 메모리반도체에 주력하던 업체들이 시스템반도체를 성장 동력으로 인식하며 시스템 반도체에 대한 투자를 크게 확대하고 있는 실정이다.

시스템 반도체는 지속적인 발전을 거듭하였으나, 초고속 고신뢰성 검사장비는 발전이 미흡한 수준이다.

아래 그림과 같이 Clock speed 는 점차적으로 가속화 되고 있는 추세이다.

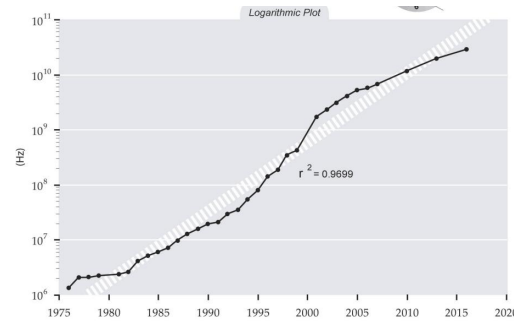


그림. 1 Microprocessor Clock Speed

국내 시스템 반도체의 고 신뢰성 장비의 경쟁업체는 MCC(Micro Commercial Components), PSK 등의 회사와 메모리 반도체 신뢰성 장비 업체인 DI 등이 있다.

## III. 고속 테스트 회로 및 인터페이스

관련 시스템을 개발하기 위하여 아래의 기술의 개발이 필요하다.

- 300MHz Clock signal Generation system
- Test vector writer Interface H/W개발
- Test signal vector programming GUI S/W
- Frequency control system S/W
- Test socket & Kit code 인식 H/W
- Signal input 32Ch 개별 출력 회로
- LVDS 및 VIH & VIL power level control
- 선간 길이 최소화를 통한 Noise level 임피던스 회로 설계
- Test 장비의 소형화와 일체화 개발
- Power Level controller를 위한 H/W시스템
- Power Control Program S/W 개발
- Test System Interface를 통한 Operation Leveling 회로 설계
- Test Check data 관리 프로그램 S/W 개발

- Test 시스템과 Wifi 등 통신 시스템 HW 개발
- WiFi 서버 연계 시스템 SW 구축
- 서버 Data 확인용 Smartphone App. SW 개발

상기 기술의 핵심 기술인 고속 테스트 키트를 FPGA를 사용한 VHDL로 테스트 벡터를 구현하였고 LVDS to TTL 고속 변환기를 사용하여 LVDS 레벨과 TTL 레벨의 300MHz 다기능 고속 테스트 키트 보드를 제작하였으며 이의 블록 다이어그램을 그림 2에 나타내었다.

관련 블록도는 테스트 IC를 구성하는 Main board(위 부분), 테스트를 담당하는 test kit board(아래 부분), Main board와 test Kit board를 연결하는 interface board(중간 부분)로 나누어 설계가 필요하다.

기존의 반도체 수명 시험 장비의 구조는 외부 회로를 이용하여 단일 Driver board에 다수의 IC를 동시에 진행하는 구조였으나 이는 신호의 동선이 길어지게 되어 여러 가지 간섭환경을 가지게 하여 고속신호 동작 시 신호의 결성을 방해하는 한계를

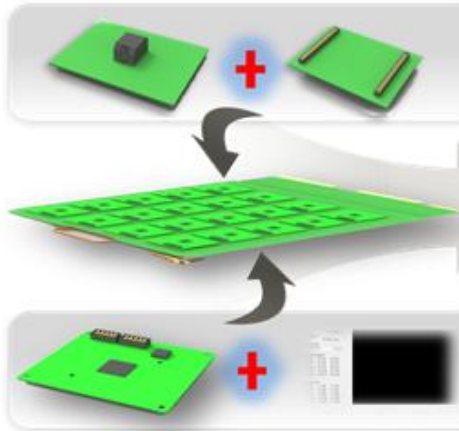


그림. 2 Block Diagram of High Speed Board

가지고 있으며 이로 인하여 고속 신호의 구현이 불가능하게 만들어져 있으므로 Driver board + Main Test board의 선간 길이로 인하여 발생하는 Noise를 제거하기 위해 Direct connector 방식을 적용하여 선간 noise 및 임피던스를 개선하기 위해 그림 3과 같은 Kit 보드에 대한 블록 다이어그램을 설계하였으며,

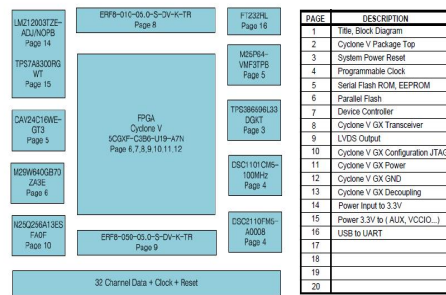


그림. 3 High Speed Kit Block Diagram

그 중 파워와 클럭 부분에 대한 회로도를 그림 4와 5에 나타내었다.

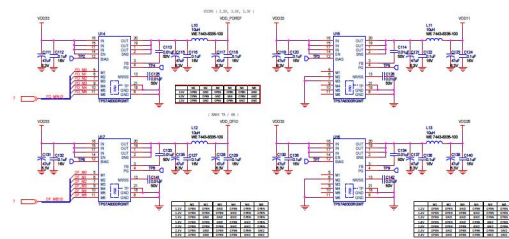


그림. 4 FPGA / Aux / IO Power

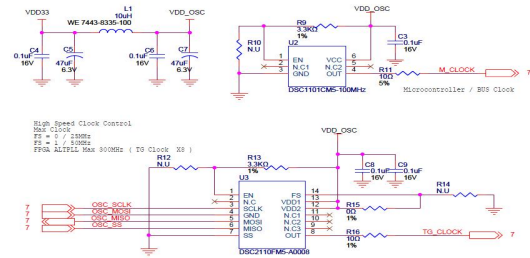


그림. 5 Programmable Clock

하드웨어 개발과 동시에 아이폰과 안드로이드용 APP 소프트웨어를 개발하였으며, WiFi 출력 신호의 프로토콜 설계하였다. 안드로이드/IOS Remote GUI 개발 및 디자인설계를 통해 시중에 시판되고 있는 스마트 폰을 이용한 제어를 가능하도록 하였으며, Remote control Code database 송신 알고리즘 개발하였다.

Signal Program data 입력은 기존 제품의 Full Test data를 일부 가공하여 Program 하는 방식에서 탈피하여 Conversion 없이 제품의 Test vector를 동일하게 사용하고, 이를 도형화 하여 바로 확인할 수 있게 만드는 방식으로 Program GUI를 구성하여, 그림 6과 같이 고속주파수 GUI Program을 제작하였다.

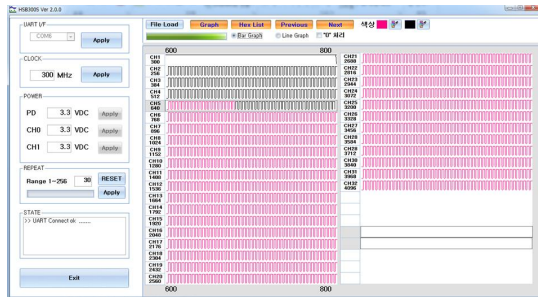


그림. 6 High Frequency Graphic User Interface

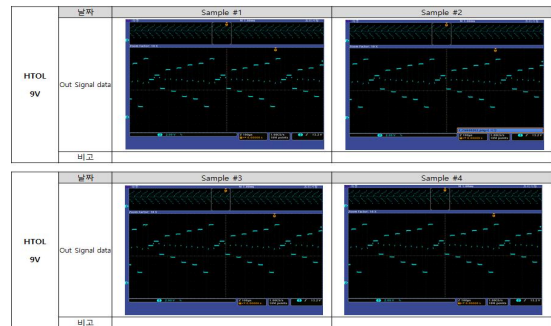


그림. 7 Test 벡터 출력 신호

#### IV. 시스템 성능 및 검증

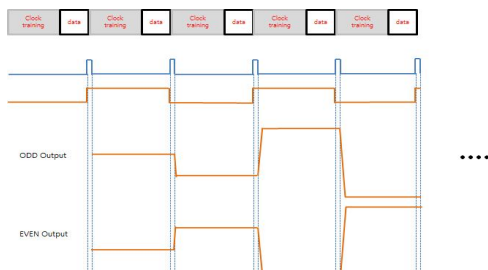
반도체 장비로서의 신뢰성 확보를 위하여 공인 검증 기관의 신뢰성 테스트는 반드시 확보되어야 하는 사항이고 일반적인 반도체 신뢰성 테스트 항목은 기본적으로 검증되어야 한다.

표 1의 시험평가 항목은 일반적인 반도체 장비 평가를 위한 항목을 적용하여 본 논문에서 개발된 장비의 성능을 검증하기 위한 평가 항목 및 절차이다.

표 1의 항목으로 신뢰성 테스트 진행 및 300MHz 결과 출력을 아래의 출력 자료에서 반도체 테스트를 위한 벡터의 신호가 300MHz로 정상 출력 됨을 그림 7에서 확인 할 수 있다.

표. 1 Evaluation Test Goal

	Item	Goal	Memo
1	frequency	300M	frequency 300Mhz
2	voltage level	0.5V	VIL≈0
3	rise/fall time	30%	< 30% of 3.3ns
4	LVDS	0.5V	VIH ~ VIL
5	operation Temp	125℃	125℃
6	coincidence	100%	input and output vector



#### V. 결 론

시스템 IC 반도체를 테스트 하는 고속 신호 시험기를 개발함으로써, 반도체 수명 시험 기술 부분의 우위 차이가 가능하고, 기술 개발의 세부적인 기술은 새로이 적용되는 고성능, 고효율을 요구하는 디스플레이 반도체 제품에 시험 개발 시 적용하여 반도체 제품에 초기 개발 품질의 향상이 가능하다.

국내 최초의 고속 시스템반도체용 신뢰성 시험 장비로 기존 수입 장비의 30배 High Speed로 구현이 가능하며, 여러 가지 응용 기술 및 개발용 Tool로 사용이 가능하다.

고가 장비의 대체로 비용 절감의 효과가 있으며, 고속 신호 장비의 국산화로 해외 수입 대체 효과가 뛰어나며, 또한, 시스템 유지나 보수비용이 절감되며, 최고 수준의 고속 신호 장비를 통한 제품 개발 기간 단축, 품질향상의 간접적인 효과도 발생 예상된다.

#### References

- [1] E. H. Choi, H. S. Hwang, and C. S. Kim, "Electron spectroscopy studies on magneto-optical media and plastic substrate interfaces," *International Journal of Information and Communication Engineering*, Vol. 9, No. 4, pp. 358-362, Aug. 2011.
- [2] J. G. Proakis, *Digital Communications*, 4th ed. New York, NY: McGraw-Hill, 1993.
- [3] J. L. Hennessy and D. A. Patterson, "Instruction-level parallelism and its exploitation," in *Computer Architecture: A Quantitative Approach*, 4th ed. San Francisco, CA: Morgan Kaufmann Pub., ch. 2, pp. 66-153, 2007.
- [4] A. Hashmi, H. Berry, O. Temam, and M. Lipasti, "Automatic abstraction and fault tolerance in cortical microarchitectures," in *Proceeding of the 38th Annual International Symposium on Computer Architecture*, New York: NY, pp. 1-10, 2011.
- [5] B. Alavi, "Distance measurement error modeling for

- time-of-arrival based indoor geolocation,” Ph. D. dissertation, Worcester Polytechnic Institute, Worcester, MA, 2006.
- [6] Y. Z. Ben, D. K. John, and Anthony, “Tapestry: An infrastructure for fault-tolerant wide-area location and routing,” University of California, Berkeley: CA, Technical Report CSD-01-1141, 2001.
- [7] singularity.com, Data from 1976-1999: E. R. Berndt, E. R. Dulberger, and N. J. Rappaport, “Price and Quality of Desktop and Mobile Personal Computers: A Quarter Century of History,” July 17, 2000, <http://www.nber.org/~confer/2000/si2000/berndt.pdf>. Data from 2001 - 2016: ITRS, 2002 Update, On-Chip Local Clock in Table 4c: Performance and Package Chips: Frequency On-Chip Wiring Levels –Near-Term Years, p. 167.
- [8] Malardalen Real-Time Research Center. The worst-case execution time (WCET) analysis project [Internet]. Available: <http://www.mrtc.mdh.se/projects/wcet/>.
- [9] H. Nowakowska, M. Jasinski, P. S. Debicki and J. Mizeraczyk. (2011, October). Numerical analysis and optimization of power coupling efficiency in waveguide-based microwave plasma source. IEEE Transactions on Plasma Science [Online]. 39(10), pp. 1935-1942. Available: [http://ieeexplore.ieee.org/xpl/freeabs\\_all.jsp?arnumber=6012536](http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?arnumber=6012536).
- [10] J.-L. Lee et al, GaAs Power Semiconductor Device Operating at a Low Voltage and Method for Fabricating the Same, US Patent 5,760,418, to ETRI, Patent and Trademark Office, Washington D.C., 1998.
- [11] IEEE Std. 1394, IEEE Standard for a High Performance Serial Bus, IEEE, Piscataway, N.J., 1995.