

가상 DQ 기반 PLL을 이용한 단상 UPS용 이상전원검출 알고리즘에 대한 연구

이상희, 이수형, 문태양, 김준석
인천대학교

A study on the Abnormal Voltage Detection Algorithm For Single-Phase UPS using the PLL Based on Virtual DQ Synchronous Reference Frame

Sang Hee Lee, Su Hyoung Lee, Tae Yang Mun, Jun Seok Kim
Incheon National University

ABSTRACT

본 연구는 속응형 단상 UPS(Uninterruptible Power Supply)를 위한 이상전원 검출 알고리즘에 관한 연구이다. 한국전력공사 등의 특수한 UPS 응용분야에서는 전원의 1/4주기 이내에 전원의 이상을 검출하고 UPS가 정상 기동할 필요가 있다. 본 연구에서는 가상DQ기반의 고성능 PLL(Phase Locked Loop)을 응용하여 별도의 전원검출 알고리즘 없이도 임의의 위상각에서 1/4주기 이내에 전원의 크기 및 위상에 관한 오류를 검출할 수 있음을 보인다. 제시된 방법은 시뮬레이션 및 실험을 통해 검증하였다.

1. 서론

최근 상용전원의 정전이나 전압변동에 민감한 의료 기관 및 금융 기관, 엘리베이터 등 높은 전원 품질에 대한 수요가 증가하면서 무정전전원장치(UPS)의 필요성이 증가하고 있다. 이때, 상용 전원에 정전이 발생하거나 전원의 크기 및 주파수에 문제가 발생하였을 경우 이를 검출하는 것이 필수적이다.^[1]

특히, 한국전력공사와 같이 특수한 UPS 응용분야에서는 1/4주기(4ms) 이내에 전원의 이상을 검출하고 UPS가 정상적으로 기동할 필요가 있다. 일반적으로 UPS의 경우 전원의 각을 알기위해서 PLL(Phase Locked Loop)을 사용한다. 따라서, 본 논문에서는 이 PLL 알고리즘을 가상 DQ 기반의 고성능 PLL 알고리즘을 사용하여 전원 각 뿐만 아니라 부가적으로 동기좌표계 상의 전압 값 및 PLL의 제어기 출력 값을 이용하여 전원의 크기 및 주파수에 관한 오류를 1/4주기(4ms) 이내에 검출할 수 있는 방법에 대해 소개한다. 시뮬레이션 프로그램인 PSIM 및 실험을 통해 알고리즘의 타당성을 확인하였다.

2. 본론

2.1 단상 부스트 PFC 컨버터 시스템의 구조

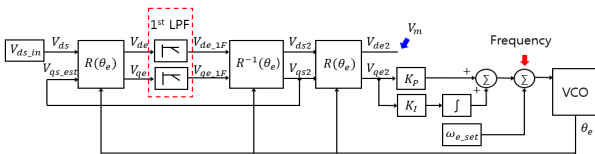


그림 1 가상 DQ 기반 PLL의 구성^[2]

그림 1은 가상 DQ 기반 PLL(Phase Locked Loop)의 구성을 나타낸다. 단상으로 구성된 전원을 가상 DQ 변환을 하기 위하여 DQ좌표계변환 $R(\theta)$ 변환과 1차 저역통과필터(Low band pass Filter), $R(\theta)^{-1}$ 역변환 및 $R(\theta)$ 재변환의 구조로 구성된다.^[2]

다음과 같은 정지좌표계(stationary frame)전압이 입력된다고 가정한다.

$$\begin{bmatrix} V_d^s \\ V_q^s \end{bmatrix} = \begin{bmatrix} V_m \cos(\theta_e) \\ V_m \sin(\theta_e) \end{bmatrix} \quad (1)$$

이때, 식(1)의 정지좌표계상의 AC 전압을 $R(\theta)$ 변환을 통하여 동기좌표계 상의 DC 값으로 변환된다.

$$\begin{bmatrix} V_{d1}^c \\ V_{q1}^c \end{bmatrix} = R(\theta) \begin{bmatrix} V_d^s \\ V_q^s \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} V_m \cos(\theta) \\ V_m \sin(\theta) \end{bmatrix} = \begin{bmatrix} V_m \\ 0 \end{bmatrix} \quad (2)$$

식(2)의 DC 상태의 동기좌표계 값에 대하여 1차 저역통과필터를 인가하여 입력 신호에 포함된 노이즈를 제거하고 난 뒤의 값을 사용하여 입력전원에 대한 크기 값을 검출할 수 있다.^[3]

또한, 위상 추정이 올바르게 되었다면 $R(\theta)^{-1}$ 재변환된 동기좌표계의 q축 전압 V_{q2}^c 는 정상상태에서 항상 0을 유지해야 한다.

$$\begin{bmatrix} V_{d2}^s \\ V_{q2}^s \end{bmatrix} = R(\theta)^{-1} \begin{bmatrix} V_{d1}^c \\ V_{q1}^c \end{bmatrix} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) \\ \sin(\theta) & \cos(\theta) \end{bmatrix} V_m \begin{bmatrix} 1 \\ 0 \end{bmatrix} = V_m \begin{bmatrix} \cos(\theta) \\ \sin(\theta) \end{bmatrix} \quad (3)$$

식 (3)을 이용하여 V_{q2}^c 를 입력으로 한 PI제어기를 구성하여 위상 추정기로 동작시킨다.

$$\hat{\omega}_e = \left(K_p + \frac{K_i}{s} \right) (V_{q2}^c - 0) \quad (4)$$

이때, 식(4)의 값을 이용하여 전원의 주파수 성분의 크기를 검출할 수 있다.

3. 시뮬레이션을 통한 알고리즘 검증

제안하는 가상 DQ 기반의 PLL을 이용하여 이상 전원 검출 알고리즘의 성능을 확인하였다. 본 논문에서는 가상 DQ 좌표계 기반의 PLL 알고리즘의 1차 저역통과필터의 차단주파수는 100Hz 로 설정하였으며, PI제어기의 차단주파수의 경우 약 17Hz(110 rad/s) 로 설정하여 입력 전압의 크기는 $\pm 15\%$ 및 주파수의 크기는 $\pm 5\%$ ($\pm 3\text{Hz}$)를 벗어났을 경우 이상전원으로 검출하는 시뮬레이션을 진행하였다.

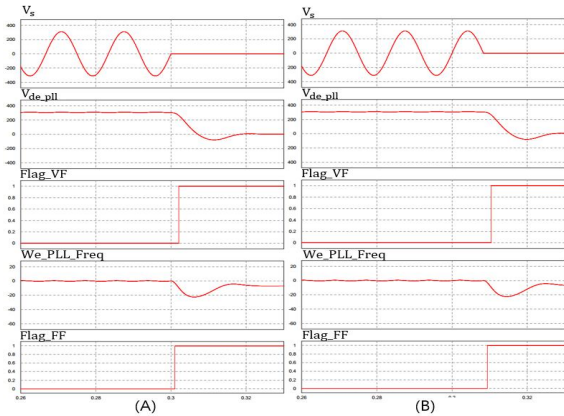


그림 2 이상전원 검출 시뮬레이션 파형
(A): 입력전원 0° 정전 파형 (B): 입력전원 180° 정전파형

그림 2는 가상 DQ 기반 PLL을 활용하여 이상전원 검출 시뮬레이션을 진행한 결과 파형을 나타낸다. 파형 (A)의 첫 번째 파형은 입력 전원 V_g 을 나타낸다. 이때, 입력전원의 0°에서 정전이 발생한 것을 알 수 있다. 두 번째 파형은 1차 저역통과필터를 지난 동기좌표계 상의 D축 전압 V_{df} 을 나타낸다. 이는 입력 전원의 크기 값(V_m)을 나타낸다. 세 번째 파형은 0°에서 정전이 발생 할 경우 정상 전압의 범위인 $\pm 15\%$ 을 벗어나게 되면 정전 신호가 나타나게 된다. 이상전압 신호는 약 1.4ms로 나타나며, 1/4주기(4ms) 이내에 검출되는 것을 알 수 있다. 네 번째 파형은 PI 제어기 출력 값을 나타낸다. 이는 입력전원의 주파수 크기 값을 나타낸다. 다섯 번째 파형은 전원의 주파수 값이 $\pm 3\text{Hz}$ 를 벗어나게 되면 이상 주파수로 인식하고 검출하게 된다. 입력 전원의 0°에서 정전이 일어났을 때, 약 1.3ms로 1/4주기(4ms) 이내에 검출 되는 것을 알 수 있다.

파형 (B)의 순서는 파형 (A)의 순서와 같고, 이상 전압 검출의 경우 약 1.6ms, 이상 주파수 검출의 경우 약 1.2ms로 입력전원의 위상각에 따른 정전 시에도 1/4주기(4ms) 이내에 검출됨을 알 수 있다.

4. 실험을 통한 알고리즘 검증

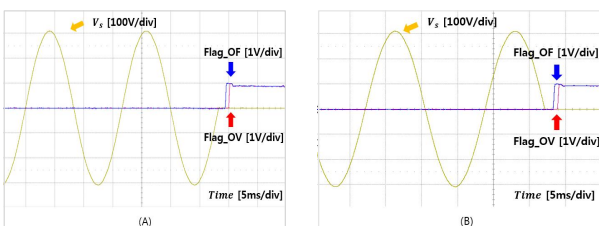


그림 3 이상전원 검출 실험 파형
(A): 입력전원 0° 정전 파형 (B): 입력전원 180° 정전 파형

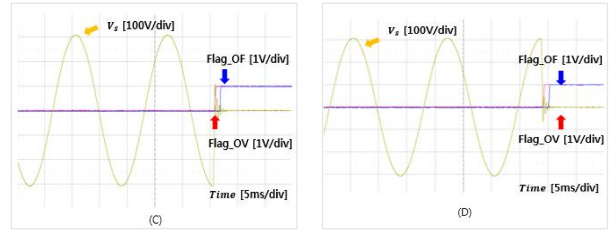


그림 4 이상전원 검출 실험 파형
(C): 입력전원 90° 정전 파형 (D): 입력전원 270° 정전 파형

제안하는 알고리즘을 검증하기 위하여 시뮬레이션과 동일한 조건으로 실험을 진행하였다. 실험에 사용된 라인 전원은 ELGAR사의 SW 5250A, 오실로스코프는 Teledyne Lecroy사의 44Xs A를 사용하였다.

그림 3 (A)의 황색 파형은 입력전원(V_g)를 나타내고, 적색 파형은 이상전압 검출(Flag_OV), 청색 파형은 이상주파수 검출(Flag_OF)을 나타낸다. 입력전원의 0°에서 정전이 발생하였을 때, 이상전압 검출은 정전 이후 약 1.6ms 이후에 검출되었고, 이상주파수 검출은 약 1.4ms 이후에 검출되었다.

그림 3 (B)은 입력전원의 180°에서 정전이 발생하였을 때의 결과를 나타낸다. 이상전압 검출은 정전 이후 약 1.8ms 이후에 검출되었고, 이상주파수 검출은 약 1.3ms 이후에 검출되었다.

그림 4 (C)는 입력전원의 90°에서 정전이 발생하였을 때의 결과를 나타낸다. 이상전압 검출은 정전 이후 약 600us 이후에 검출되었고, 이상주파수 검출은 약 1.5ms 이후 검출되었다.

그림 4 (D)는 입력전원의 270°에서 정전이 발생하였을 때의 결과를 나타낸다. 이상전압 검출은 정전 이후 약 660us 이후 검출되었고, 이상주파수 검출은 약 1.5ms 이후 검출되었다.

실험에서 나타난 이상전압 검출 및 이상주파수 검출 시간은 시뮬레이션에서 나타난 결과와 유사함을 알 수 있다.

5. 결론

본 논문은 가상 DQ 기반 PLL(Phase Locked Loop) 알고리즘을 활용해 이상전원을 검출하기 위한 알고리즘을 제안하였다. 제안하는 알고리즘은 DQ 좌표계상의 D축 전압의 크기를 이용하여 입력 전압의 크기가 $\pm 15\%$ 를 벗어나거나 PLL의 제어기 출력값을 이용하여 입력 주파수 크기가 $\pm 5\%$ (3Hz)를 벗어날 때, 입력전원의 위상과 관계없이 어느 부분에서 정전이 발생하여도 1/4주기(4ms) 이내에 검출 할 수 있는 것을 시뮬레이션 및 실험을 통해 알고리즘의 타당성을 확인 하였다.

참고 문헌

- [1] 홍창표, “무정전전원장치용 단상인버터의 전향보상을 이용한 전압 제어기”, 전력전자학회 하계학술 대회 논문집, 2014,7,253 254
- [2] Mihai Ciobotaru, et al. “Improved PLL structures for single phase grid inverters”, Conference: Proc. Power Electronics and Intelligent Control for Energy Conservation Conference (PELINCEC),
- [3] Yongheng Yang, et al. “Benchmarking of Phase Locked Loop based Synchronization Techniques for Grid Connected Inverter Systems”, 9th International Conference on Power Electronics ECCE Asia, 2015.