

# 계통연계형 단상 인버터의 ZVRT(Zero Voltage Ride Through)를 위한 PLL 제어 전략

이 태일, 이 경수  
한국산업기술대학교 에너지·전기공학과

## PLL Control Strategy for ZVRT(Zero Voltage Ride Through) of a Grid-connected Single-phase Inverter

Taeil Lee, KyungSoo Lee

Department of Energy and Electrical Engineering, Korea Polytechnic University

### ABSTRACT

계통 사고 시 계통연계형 인버터에 대한 각국의 계통 규정(Grid Code)이 더욱 엄격해 지고 있다. 계통 규정은 특히, 계통내 저전압 사고로 인한 인버터 운전계속성(Low Voltage Ride Through, LVRT)뿐만 아니라 0 전압 사고 시 운전계속성(Zero Voltage Ride Through, ZVRT)을 통해 인버터가 계통 안정화에 기여할 것을 요구하고 있다. 계통연계형 인버터는 계통전압과 인버터 출력 위상을 일치시키는 PLL제어가 적용되며 본 논문에서는 위상 추종이 어려운 0 전압 상황에서도 안정적인 위상 추종 및 인버터 출력이 가능한 PLL 방법을 제안한다. 단상 인버터에 Notch filter PLL, APF를 이용한 dq PLL, 및 SOGI PLL(Second order Generalized Intergrator)을 적용하고 독일, 미국, 및 일본의 0 전압 상황에 대해 시뮬레이션과 실험을 진행하여 제안한 PLL 기법의 ZVRT 유효성을 확인하였다.

### 1. 서론

분산발전 시스템의 중요성이 커지고 세계적으로 각 국가별 상황에 맞게 전력망의 안정성과 신뢰성을 보장하기 위하여 계통연계규정이 제정되었다. 계통연계규정은 계통 사고시에도 인버터의 LVRT 제어를 통해 일정시간 동안 계통연계를 유지할 뿐만 아니라 전압 감소율에 따라 무효전류를 계통에 공급하여 계통 안정화에 기여할 것을 요구하고 있다. 인버터는 계통전압과 인버터 출력 위상을 일치시키는 PLL제어가 적용되며 이를 위해 계통전압을 정확하게 센싱받을 수가 없는 문제가 있다. 본 논문에서는 국가별 LVRT 규정에서 일반적으로 사용하는 기존의 PLL(Notch filter+PLL, APF를 이용한 dq PLL, 및 SOGI PLL)의 거동을 확인하고 0 전압 상황에서 기존 PLL 대비 빠른 정착 시간 및 안정적인 제어가 가능한 PLL 방법을 제안한다.

### 2. 국가별 LVRT 규정

그림 1은 계통사고 시 독일(BDEW), 미국(NREL) 및 일본(JEAC)의 계통 연계 규정이며 0s 에서 계통사고가 일어났을 때, 시간에 따른 인버터의 복귀 동작을 나타낸다. 미국과 독일의 경우, 0 전압 사고에도 인버터는 150ms 동안 계통연계를 유지해야 한다. 반면에 일본은 0 전압 사고 시에 계통과의 연계를 끊어야 하며, 계통전압이 30% 이상 잔존할 때는 계통과의 연계를 유지할 것을 요구한다.

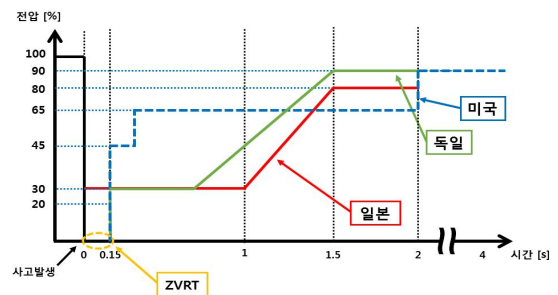


그림 1 독일, 미국 및 일본의 LVRT 규정  
Fig. 1 LVRT regulation in Germany, USA and Japan

### 3. PLL 제어 기법

#### 3.1 Notch filter + PLL

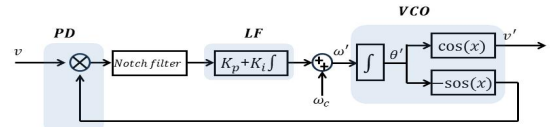


그림 2 Notch filter + PLL 제어 블록도  
Fig. 2 Notch filter + PLL Block diagram

그림 2는 Notch filter+PLL의 제어 블록도이다. 기본 곱형 PLL에서 발생하는 문제점인 기본주파수의 2배 성분을 Notch filter를 이용하여 감소시키는 특징이 있다.

#### 3.2 APF를 이용한 dq-PLL

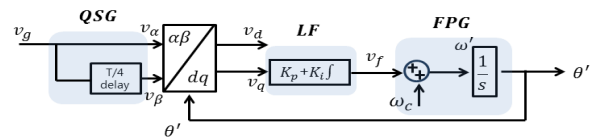


그림 3 APF를 이용한 dq-PLL 제어 블록도  
Fig. 3 dq-PLL Block diagram using APF

그림 3은 APF를 이용한 dq PLL의 제어 블록도이다. QSG(Quadrature Signal Generator)를 통해 T/4만큼 지연된 신호를 만들어 준 후에 dq변환 블록을 사용하여 직류 형태로 제어를 한다. 본 논문에서는 QSG의 방법으로 All Pass Filter(APF)를 적용하였다. APF는 입력전압 크기는 동일하며 위상만 90° 지연된 출력 파형을 생성한다.

기준 주파수(60Hz)에서 기본 PLL과는 달리 주파수 변동 없이 정확하게 추종하지만, 입력 전압의 주파수가 기준 주파수를 벗어 나면 약간의 진동이 발생하는 단점이 있다.

### 3.3 SOGI-PLL

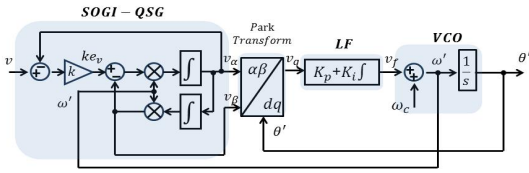


그림 4 SOGI-PLL 제어 블록도  
Fig. 4 SOGI-PLL Block diagram

그림 4는 SOGI PLL의 제어 블록도이다. SOGI PLL에서 SOGI QSG는  $v_\alpha$ ,  $v_\beta$ 를 출력해 내고 이를 dq변환블록으로  $v_d$ ,  $v_q$ 로 출력한다. 그 이후 dq PLL과 동일하게 제어기와 VCO를 거치게 된다. SOGI QSG는 Adaptive Notch Filter를 기반으로 구성되어 있으며, 센싱되는 계통 주파수가 기준 주파수가 아닌 상황에서도 정확하게  $v_\alpha$ 의 90°만큼 지연된  $v_\beta$ 를 출력하여 계통 위상을 추종한다.

### 3.4 제안하는 PLL

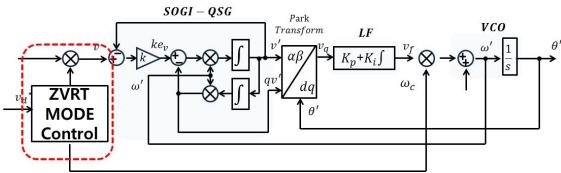


그림 5 SOGI-QSG 기반의 제안하는 PLL 제어 블록도  
Fig. 5 Proposed PLL block diagram based on SOGI-QSG

제안하는 PLL은 그림 5와 같이 ZVRT Mode Control 블록 내에 계통전압이 정격 대비 3% 미만으로 떨어질 때를 검출 기준으로 설정하였다. 사고 후 계통전압이 정격 대비 3% 미만으로 떨어지면 ZVRT Mode로 동작하며, 기준에 추종하고 있는 계통 주파수가 동일하게 유지된다. 계통전압이 복구하면 ZVRT Mode가 해제되며 PLL을 정상적으로 동작시킨다.

$$D(s) = \frac{v_\alpha}{v}(s) = \frac{k\omega's}{s^2 + k\omega's + \omega'^2} \quad (1)$$

$$Q(s) = \frac{v_\beta}{v}(s) = \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2} \quad (2)$$

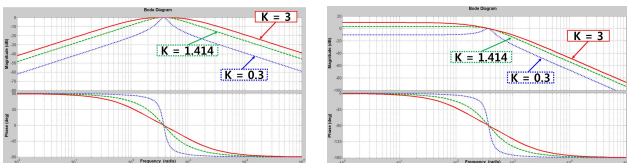


그림 6 SOGI-QSG 게인값에 따른 D(s), Q(s) 보드선도  
Fig. 6 Board plot of D(s), Q(s) of the SOGI-QSG with different control gain

SOGI QSG의 출력 전달함수는 수식(1), (2)로 표현된다. 수식(1)에 해당하는 D(s)와 수식(2)에 해당하는 Q(s)의 보드선도는 그림 6과 같이 나타난다. 게인값을 증가시킬수록 정착시간이 줄어들며 게인값에 따라 허용하는 범위 및 주파수의 영역을 조절할 수 있다. 본 논문에서는  $k=1.414$ 로 적용하여 시뮬레이션을 진행하였다.

## 4. 시뮬레이션

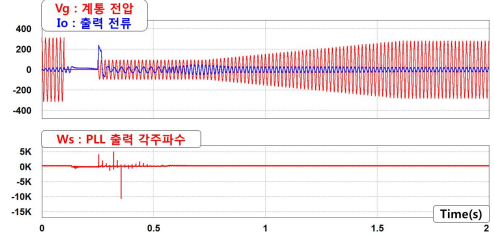
계통사고 시 계통전압 위상이 45° 변동되는 시나리오를 적용하여 PSIM 프로그램에서 시뮬레이션을 진행하였다. 0 전압 구간이 있는 독일의 LVRT 상황에서는 3가지 PLL과 제안하는 PLL을 적용했으며 일본의 LVRT 상황에서는 3가지 PLL을 적용하였다.

표 1 시뮬레이션 파라미터

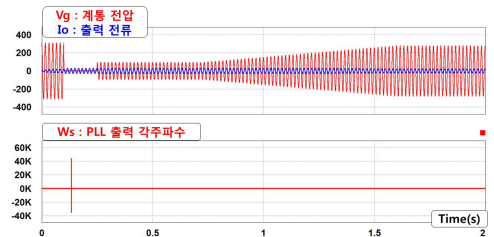
Table 1 simulation parameters

|        |            |          |    |         |
|--------|------------|----------|----|---------|
| 정격 전력  | 3 [kW]     | PLL 제어값  | kp | 30.66   |
| 계통 전압  | 220 [Vrms] | 사고 시작 시간 | ki | 0.0651  |
| 계통 주파수 | 60 [Hz]    |          |    | 0.2 [s] |

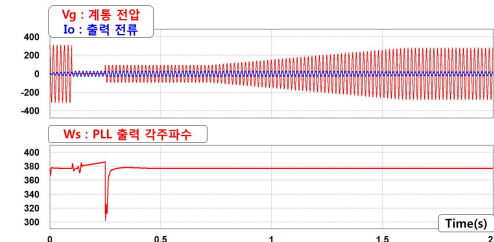
### 4.1 독일 LVRT 규정



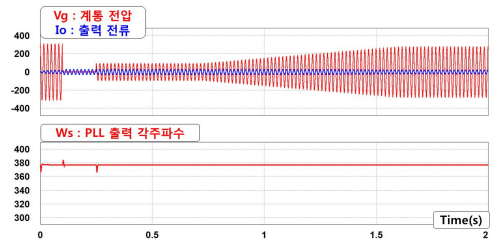
(a) Notch filter + PLL



(b) APF를 이용한 dq-PLL



(c) SOGI-PLL



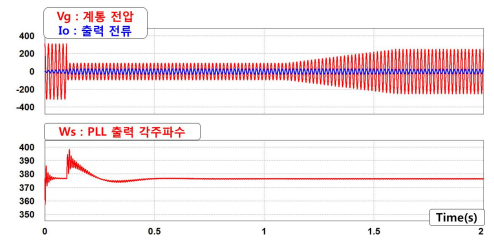
(d) SOGI-QSG 기반 제안하는 PLL

그림 7 독일 LVRT 규정을 적용한 시뮬레이션 결과

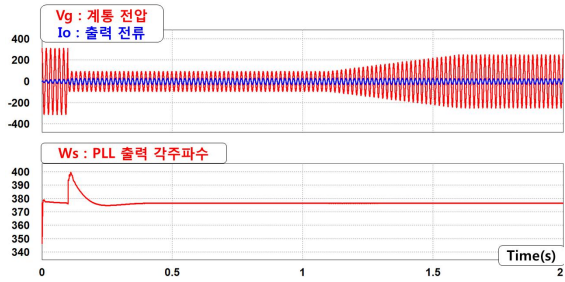
Fig. 7 Simulation results for LVRT regulation in Germany

그림 7(a), (b), (c)는 기존의 PLL, (d)는 제안하는 PLL을 적용한 인버터의 LVRT 동작을 나타낸다. (a), (b), (c), (d) 순으로 갈수록 0 전압 구간에서 안정적인 과도특성과 낮은 피크값을 보이며 제안하는 PLL에서는 피크값이 가장 낮음을 알 수 있다.

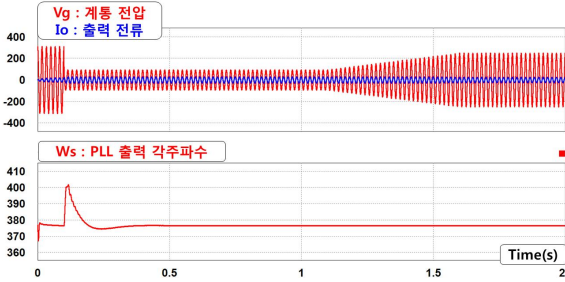
### 4.2 일본 LVRT 규정



(a) Notch filter + PLL



(b) APF를 이용한 dq-PLL



(c) SOGI-PLL

그림 8 일본 LVRT 규정을 적용한 시뮬레이션 결과  
Fig. 8 Simulation results for LVRT regulation in Japan

그림 8(a), (b), (c)는 기존 PLL을 적용한 인버터의 LVRT 동작을 나타낸다. 그림 8(a)에서는 기본주파수의 2배 성분이 존재함을 확인할 수 있고 그림 8(b), 그림 8(c)에서는 정상상태 오차가 없으며 그림 8(a)대비 정착시간이 40% 줄어듦을 확인할 수 있다.

### 5. 실험

일본 LVRT 규정에서 계통사고 시 45° 위상 변동이 생겼을 때 SOGI PLL이 적용된 인버터의 출력전압과 전류를 실험하였다.

표 2 실험 파라미터  
Table 2 Experimental parameters

| 인버터 출력 전력 | 계통 전압      | 계통 주파수  |
|-----------|------------|---------|
| 60 [W]    | 110 [Vrms] | 60 [Hz] |

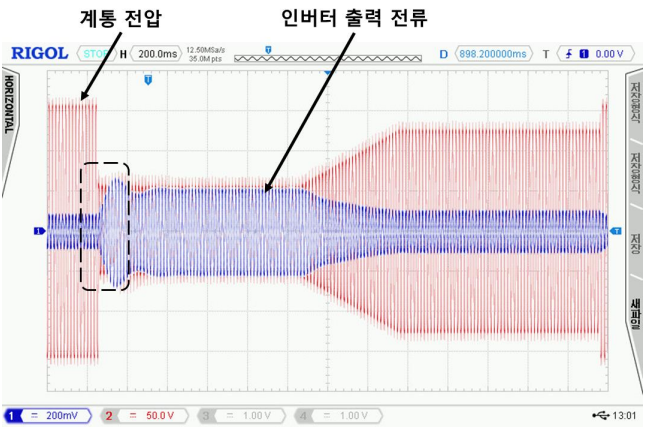


그림 9 계통전압, 인버터 출력전류  
Fig. 9 Grid voltage, Inverter Output current

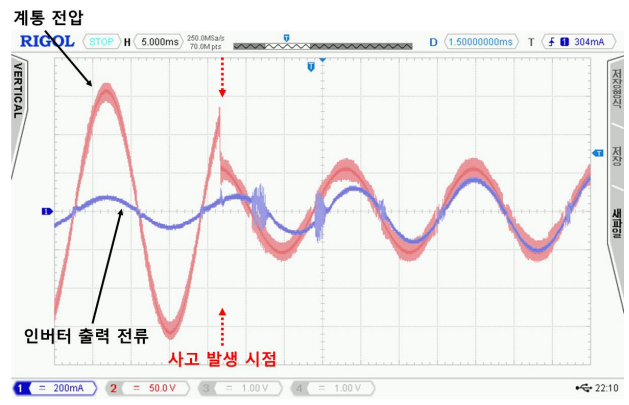


그림 10 확대해서 본 계통전압, 인버터 출력전류  
Fig. 10 Close-up of Grid voltage and Inverter output current

그림 9에서는 동일한 전력을 내기 위해 전압과 전류가 반비례관계로 변함을 알 수 있고 계통 사고 직후 출력전류의 오버슈트를 확인할 수 있다. 그림 10에서는 계통 사고 직후 인버터 출력전류 위상이 과도상태이며 30ms 이후에 계통의 위상과 일치하게 됨을 알 수 있다.

### 6. 결론

0 전압 구간이 있는 독일 LVRT에서 다른 PLL 대비 제안하는 PLL이 안정적인 과도특성을 시뮬레이션을 통해 확인하였다. 0 전압 구간이 없는 일본 LVRT에서는 사고 시 전압강하와 위상변동 일어날 때, 기존 PLL들의 거동을 각주파수 파형을 중심으로 비교하였다.

기존 PLL중 가장 좋은 과도특성의 SOGI PLL을 이용하여 일본 LVRT 규정을 실험을 통해 확인하였고, 향후에는 0 전압 상황에서 제안하는 PLL을 적용하여 검증할 예정이다.

이 논문은 2017년도 한국전력공사의 연구비 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다. (No. R17XA05 40)

### 참고 문헌

- [1] Remus Teodorescu, Marco Liserre, Pedro Rodriguez "Grid Converters For Photovoltaic and Wind Power System" John Wiley & Sons, Ltd. 2011
- [2] Zhen Zhang, Yongheng Yang, Frede Blaabjerg "Challenges to Grid Synchronization of Single Phase Grid Connected Inverters in Zero Voltage Ride Through Operation" Power Electronics Conference, IEEE Annual Southern Dec. 2016
- [3] Yongheng Yang, Frede Blaabjerg, Huai Wang "Low Voltage Ride Through of Single Phase Transformerless Photovoltaic Inverters", Energy Conversion Congress, IEEE, 15 19 Sept. 2013