

# 효율적인 스위칭함수 구성에 관한 연구

박춘명

한국교통대학교 컴퓨터공학전공

## A Construction of the Efficiency Switching Function

Chun-Myoung Park

Major of Computer Eng., Korea National of Transportation University

E-mail : cmpark@ut.ac.kr

### 요 약

본 논문에서는 최근에 디지털논리시스템의 회로 구현시에 적용되기 시작한 분할설계기법의 한가지 방법을 제안하였다. 기존의 디지털논리회로설계기법은 적용되는 개별소자를 어떻게 효과적이며 효율적으로 이용하느냐 하는 것이 큰 목적이었으나, 최근의 전자공학의 발달과 회로의 집적도가 높아짐에 따라서 디지털논리설계기법은 각각의 모듈을 구성하고 있는 소자들의 개별소자를 사용하는 것보다는 복잡하더라도 좀 더 경제적이고 다기능의 분할설계기법이 요구되고 있다. 이러한 내용을 근간으로 본 논문에서는 효과적인 분할기법을 이용한 스위칭함수구성의 한가지 방법을 제안하였다.

### ABSTRACT

This paper presents a design method for combinational digital logic systems using time domain based multiplexing and common multi-terminal extension decision diagrams. The proposed method can reduce the 1)hardware, 2)logic levels and 3)pins. In the logic system design, we use two types of decision diagrams(DDs), that is the common binary decision diagrams and CMTEDDs. Also, we propose an algorithms to derive common multiple-terminal binary decision diagrams from CBDDs, and CMTEDDs from CMTBDDs. The CMTEDDs over CBDDs is more compactness in terms of number of non-terminal nodes, where the nodes for output selection variables are not included in the non-terminal nodes. In the logic design, each non-terminal nodes of an CBDDs and an CMTEDDs is realized by a multiplexer(MUX). In addition, we compare the proposed TDBM realization with the conventional one.

### 키워드

Logic Design, Digital Switching Function, Decision Diagram etc.

## I. 서 론

최근에 각종 디지털논리시스템을 해석 및 종합하는 기법으로서 그래프 이론<sup>[1-6]</sup>에 기반을 둔 결정도를 이용한 방법을 사용하고 있으며, 이 방법은 기존의 다른 방법에 비해 매우 효과적이며 이 방법에 기반을 둔 디지털논리시스템구성방법에 대한 여러 연구가 발표되었다.

한편, VLSI 관련 분야에 있어서, 가장 중요한 문제점 중에 하나는 핀(pin)에 관련된 것이다. 비록 좀 더 많은 게이트를 집적한다 할지라도 핀의 수를 줄이는 것은 쉽지 않다.

따라서, 이러한 핀에 대한 문제를 극복하기 위해 시간영역기반의 멀티플렉싱(TDBM : Time Domain Based Multiplexing) 시스템을 채택하여 효율을 높이고 있다.

본 논문에서는 TDBM과 공통다중터미널결정도(CMTDD : Common Multiple-Tterminal Decision Diagram)을 사용하여 다중출력의 조합논리디지털 시스템 회로에 대한 설계방법의 한가지를 제안하였다.

## II. TDBM에 의한 회로실현

일반적으로 TDBM의 실현시에 입력과 출력 핀의 수를 줄이기 위해 클럭펄스(CK : Clock Pulse)를 사용한다. 그러한 반면, 비 TDBM은 기존의 클럭펄스가 없는 조합논리시스템을 의미한다. 본 장에서는 기존의 클럭펄스가 없는 조합논리시스템과 제안한 다중출력조합논리시스템의 특징에 대해 서술한다.

## 2-1. 제안한 TDBM에 의한 회로실현

본 논문에서 제안한 방법의 TDBM에 의한 조합디지털논리시스템의 회로실현은 다음 Fig. 2-2와 같다. 또한, TDBM을 사용하여 2진출력함수의 쌍을 표현하여 좀 더 효과적으로 처리할 수 있다. 2진 다중출력함수를 갖는 조합디지털논리시스템의 예를 들어 그 과정을 설명하면 다음과 같다.

STEP 1 : 입력변수를 쌍으로 분할한다.

예를 들면, Table 2-1의 입력 변수  $\{x_1, x_2, x_3, x_4\}$ 는  $X_1=(x_1, x_2)$ 와  $X_2=(x_3, x_4)$ 의 쌍으로 분할 할 수 있다.

STEP 2 : 출력함수를 쌍으로 분할한다.

예를 들면, Table 2-1의 출력함수  $\{f_0, f_1, f_2, f_3\}$ 은  $G_0=(f_0, f_1)$ 과  $G_1=(f_2, f_3)$ 의 쌍으로 분할 할 수 있다.

STEP 3 : 예를 들어 다음 Table 2-2에서 처럼 4치논리함수 :  $\psi^2 \rightarrow \psi$ 로 사상(mapping)할 수 있다. 여기서  $\psi=\{0, 1, 2, 3\}$ 이다.

일반적으로, 확장한 진법에서의 n-입력 m-출력 함수에 대해,  $\psi^n \rightarrow \psi^m$ 은 CMTEDD에 의해 표현된다.

## III. 기존의 TDBM과 제안한 TDBM에 의한 회로실현의 비교

본 절에서는 기존의 TDBM에 의한 회로구성과 제안한 TDBM에 의한 회로구성을 비교하면 다음과 같다. 디지털논리시스템 실현에 있어서, CBDD의 비중단노드는 2개의 MOS 트랜지스터로 구현되는 반면, CMTEDD의 비중단노드는 4개의 MOS 트랜지스터로 구성된다. 따라서, 만일 리터럴 생성기의 코스트(cost)를 무시하면 CMTEDD의 비중단노드의 코스트는 CBDD의 비중단노드의 코스트에 비해 2배가 된다.

[정의 1]  $size_n(DD : F)$ 를 함수 F에 대한 DD에서의 비중단노드라고 정의하자.

만일,  $(2size_n(CMTEDD : F) < size_n(CBDD : F))$ 라고 하면 제안한 TDBM 구현은 기존의 TDBM에 비해 좀 더 경제적이다.

단, 출력선택변수에 대한 노드는 비중단노드에 포함하지 않았다.

n변수 함수의 경우에 있어서, CBDD에 기반을 둔 기존의 TDBM 실현은 n레벨을 필요로 하는 반면, CMTEDD에 기반을 둔 제안한 TDBM 실현은 단지 n/2 레벨을 필요로 한다.

FPGA의 경우에 있어서, 모듈사이의 내부결선에서의 지연(delay)은 논리모듈의 지연보다 가깝

은 크다. 따라서, 논리레벨의 축약은 중요하므로, 제안한 TDBM 실현은 기존의 방법에 비해 빠르고 사용 하드웨어 총량도 적다.

## IV. 결 론

본 논문에서는 TDBM과 CMTEDD를 사용하여 다중출력조합논리시스템의 설계방법의 한가지를 제안하였다. 또한, 간략화된 디지털논리시스템을 위해 CBDD와 CMTEDD를 사용하였으며 CMTEDD를 간략화하기 위해 발견적인(heuristic) 알고리즘을 제안하였다.

그리고, CBDD와 CMTEDD를 기반으로 하여 최종 조합디지털논리시스템의 구성을 멀티플렉서를 사용하여 구현하였다. n변수의 함수에 대해 CBDD에 기반을 둔 기존의 TDBM 구현은 n레벨을 필요로 하는 반면에 CMTEDD에 기반을 둔 제안한 TDBM 방법은 n/2 레벨을 필요로 한다.

또한, 제안한 방법은 입력변수의 쌍과 출력함수의 쌍에 의해 게이트의 수를 줄일 수 있다. TDBM 방법은 조합디지털논리시스템에서의 지연을 제공하는 클럭펄스를 요구한다. 제안한 TDBM 실현에서의 핀의 갯수는 비TDBM에 의해 절반 정도로 실현 할 수 있다.

## 참고문헌

- [1] D.B.West, Introduction to Graph Theory, Prentice-hall, 2015.
- [2] R.J.Wilson and J.J.Watkihs, GRAPHS An Introductory Approach, John Wiley & Sons, Inc., 2016.
- [3] S.B.Aker,"Binary Decision Diagrams," IEEE Trans. Comput., vol.C-27, no.6, pp.509-516, Jun. 2014.
- [4] R.E.Bryant,"Graph-Based Algorithms for Boolean Function manipulations," IEEE Trans. Comput., vol.C-35, no.8, pp.677-691, Aug. 2016.
- [5] Yung-Te Lai, M.Pedram and S.B.K.Vrudhula, "Formal Verification Using Edge-Valued Binary Decision Diagrams," IEEE Trans. on Computers, Vol. 45, No.2, February 2013.
- [6] R.K.Brayton, G.D.Hachtel, C.T.McMullen and A.L.Sangionanni-Vincentelli, Logic Minimization Algorithms for VLSI Synthesis, Kluwer Academic Publishers, 2012.