

MOSFET와 JLFET의 3차원 인버터 전기적 상호작용의 비교

안태준*** · 최범호** · 유윤섭*

*한경대학교 전기전자제어공학과, **한국생산기술연구원

Comparison of Electrical Coupling of Monolithic 3D Inverter with MOSFET and JLFET

Tae-Jun Ahn*** · Bum Ho Choi** · Yun Seop Yu*

*Department of Electrical, Electronic and Control Engineering, Hankyong National University

**Group for Nano-Photonics Convergence Technology, Korea Institute of Industrial Technology

E-mail : jigo1235@kitech.re.kr

요 약

논문은 MOSFET와 JLFET로 구성된 3D 인버터의 inter-layer dielectric (ILD)의 두께에 따른 하층 게이트에 의한 전기적 상호작용을 비교하였다. MOSFET와 JLFET 모두 ILD의 두께가 100 nm에서 문턱전압의 변화량이 크지 않았지만 100 nm에서 문턱전압의 변화량이 크게 증가하였다. 특히 JLFET의 문턱전압의 변화량이 MOSFET보다 2배 정도 크게 변화하여 하층 게이트에 의한 전기적인 영향을 더 크게 받는다.

ABSTRACT

This paper compared the electrical coupling of the monolithic 3D inverter consisting of MOSFET and JLFET. In the case of both the MOSFET and the JLFET, MOSFET and JLFET have a small threshold voltage variation when the thickness of inter-layer dielectric (ILD) = 100 nm. However, when the thickness of ILD = 10 nm, the threshold voltage variation is larger and the JLFET is twice as much as the MOSFET.

키워드

3차원 인버터, monolithic 3D inverter, MOSFET, JLFET

1. 서 론

반도체는 1965년에 발표된 반도체 집적 회로의 성능이 18개월마다 2배로 증가한다는 무어의 법칙에 따라 최근까지 발전해 왔다. 하지만 물리적인 소형화를 기반으로 집적 효율을 높이는 방향으로 적용되었던 무어의 법칙은 기술력의 한계에 부딪혔다[1]. 이와 같은 물리적인 한계에서 탈피하기 위해 최근 다양하게 연구 되고 있는 것이 3차원 집적 기술이다. 3차원 집적 기술은 더 이상의 소형화 없이 반도체 칩에 집적되는 트랜지스터의 수를 증가시키기 위해 평면 관점의 소자 집적 기술이 아닌 3차원으로 층층이 소자를 쌓아올리는 것이다. 각 층이 이전에 제작 된 층위에 순차적으로 적층하는 모놀리식 3차원 집적 기술은 각각의 웨이퍼에 소자를 제작하고 Via를 통해 연결하는 기존의 parallel integration의 3D 방식보

다 집적도, 딜레이, 비용적인 측면에서 더 유리한 조건을 가지고 있다[2].

다만, 기존에 연구되고 있는 3차원 집적 구조의 소자들은 대부분 MOSFET를 이용한 것들이다. MOSFET는 제조 기술적인 부분에서 많은 한계를 보이고 있고 MOSFET를 대체 할 수 있는 소자들에 대한 연구도 필요하다. MOSFET와는 비슷한 전기적 특성을 보이지만 동작 방식이 정반대인 Junctionless Field-Effect Transistor(JLFET)는 접합이 없고 초소형화에 적합하며 무엇보다도 굉장히 간단한 공정을 필요로 해 비용과 기술적인 측면에서 MOSFET에 비해 이점을 가지고 있다[3].

본 논문에서는 3차원 인버터 구조에 MOSFET와 JLFET를 사용하여 나타나는 전기적 상호작용(문턱 전압 변화량)에 대하여 비교하고자 한다.

II. 본 론

2.1. 3차원 인버터

그림 1은 시뮬레이션에 이용한 3차원 인버터의 기본 구조를 나타낸 것이다. MOSFET와 JLFET는 모두 $L_C = 50\text{nm}$, $T_{ox} = 1.1\text{nm}$ (SiO_2)이다. MOSFET 도핑은 각각 N_d , N_{ch} , N_s 가 10^{21}cm^{-3} , 10^{15}cm^{-3} , 10^{21}cm^{-3} 이고, JLFET는 N_d , N_{ch} , N_s 가 10^{20}cm^{-3} , 10^{19}cm^{-3} , 10^{20}cm^{-3} 이다.

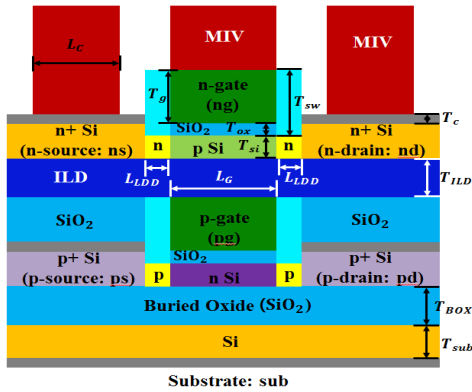


그림 1. 3차원 인버터의 구조.

2.2. 시뮬레이션 및 전기적 결과

시뮬레이션은 Silvaco사의 ATLAS를 이용하였고 이동도 모델은 CVT를 사용하였고 재결합 모델은 Auger와 SRH 모델을 사용하였다. 캐리어 특성 모델은 Fermi 모델을 사용하였으며, 온도는 300k이다[4].

그림 2와 그림 3은 MOSFET과 JLFET로 구성된 3D 인버터의 층과 층 사이의 유전체(Inter Layer Dielectric: ILD)의 두께가 100 nm와 10 nm인 경우 하층 게이트에 의한 전기적 상호작용을 나타내는 전류-전압 특성을 보여주고 있다. ILD의 두께가 100 nm인 경우 문턱전압의 변화가 거의 없고, 10 nm인 경우 문턱전압이 크게 변하였다.

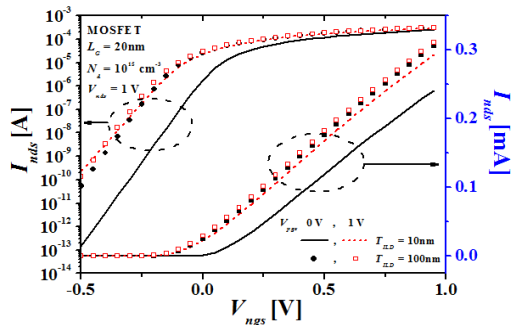


그림 2. MOSFET 3D 인버터의 전류-전압 특성.

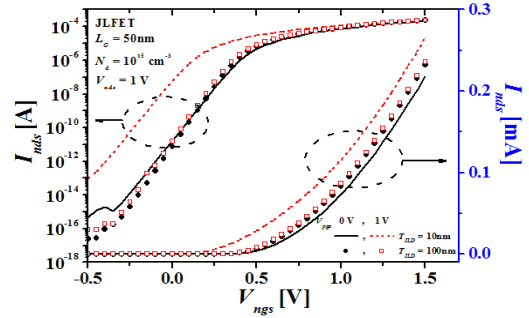


그림 3. JLFET 3D 인버터의 전류-전압 특성.

III. 결 론

본 연구에서는 MOSFET와 JLFET로 구성된 3D 인버터의 전기적 상호작용에 대한 시뮬레이션을 진행하였다. 각각의 3D 인버터의 ILD의 두께에 따른 하층 게이트에 의한 전기적 상호작용을 확인하였다. MOSFET와 JLFET 모두 ILD의 두께가 100 nm에서 문턱전압의 변화량이 크지 않았지만 10 nm에서 문턱전압의 변화량이 크게 증가하였다. 특히 JLFET의 문턱전압의 변화량이 MOSFET 보다 2배 정도 크게 변화하여 하층 게이트에 의한 전기적인 영향을 더 크게 받는 것을 확인하였다.

참고문헌

- [1] M. M. Waldrop, "More than Moore," *Nature*, vol. 530, no. 7589, pp. 144-147, 2016.
- [2] P. Batude, T. Ernst, J. Arcamone, G. Arndt, P. Coudrain, and P. E. Gaillardon, "3-D sequential integration: a key enabling technology for heterogeneous co-integration of new function with CMOS," *IEEE J. Emerg. Sel. Topic Circuits Syst.*, vol. 2, no. 4, pp. 714-722, 2012.
- [3] C.W. Lee, A. Afzalian, N.D. Akhavan, R. Yan, I. Ferain, and J. Colinge, "Junctionless multi-gate field-effect transistor," *Applied Phys. Lett.* vol. 94, pp. 053511, 2009.
- [4] SILVACO, int. "ATLAS Users Manual," Santa Clara, CA, 2014.