

ITER AD/DC Converter의 보호제어기 F-LIC에 대한 FMEDA 분석

신현국, 오종석, 서재학, 정인승*, 이락상*,
국가핵융합연구소, 다원시스*

FMEDA Analysis for the Protection Controller F-LIC of ITER AC/DC Converters

Hyun Kook Shin, Jong Seok Oh, Jae Hak Suh, In Seung Chung*, Lack Sang Lee*
National Fusion Research Institute, Dawonsys*

ABSTRACT

ITER AC/DC 컨버터(Converter)는 핵융합 발생을 위해 토카막의 초전도코일에 제어된 전류를 공급하여 플라즈마 발생, 형상 유지, 소멸하는 기능을 한다. 만일 컨버터 또는 초전도코일에 이상이 발생하면 즉시 보호동작이 실행되어야 한다. 이를 위해 설계된 F LIC(Fast Local Interlock Controller)은 즉시 작동하여 Bypass 및 Make Switch 트리거, 차단기 작동 등을 순차적으로 수행한다. ITER Interlock System의 기기는 중요성이 고려되어 높은 신뢰도가 요구된다. 본 논문에서는 F LIC 회로분석과 Telcordia SR 332 Standard에 의한 부품고장률 산출방법을 사용하여 FMEDA를 분석하고, 이를 통하여 회로구성 부품의 고장이 미치는 영향과 F LIC 제어모듈의 SIL 2 등급의 적합성을 분석하였다.

1. 서론

국제핵융합실험로(ITER)는 한국, 유럽연합, 미국, 중국, 일본 등 7개국이 참여하는 핵융합발전 실용화 Project로서 토카막을 비롯한 모든 핵융합장치가 매우 고가이며, 특히 AC/DC 컨버터들은 핵융합 기능면에서 중요한 설비이다. 전원장치는 전자기력으로 플라즈마를 고온과 고밀도로 토카막 내에 가두어 핵융합을 발생시키는 초전도코일과 컨버터 및 변압기로 구성되어 있다. 이들 장치는 고장이거나 어떤 이상 시에도 보호되도록 설계된다.

F LIC 설계의 개념은 시스템의 신뢰성을 높이기 위해 하드웨어 전용 아키텍처를 기반으로 되어 있으며, F LIC의 회로는 그림 1과 같이 연산 증폭기, 논리 게이트 및 수동 전자 부품으로 구성된다.

F LIC은 Event 발생 시 즉시 작동하여 Bypass 및 Make Switch 트리거, 차단기 작동 등을 순차적으로 수행한다. 또한 Alpha 컨트롤러와 F LIC은 광 송수신기를 통해 상호 연결되어 연동정보를 교환하여 직렬 연결된 컨버터의 보호가 수행된다. F LIC 모듈은 보호기능의 중요성이 고려되어 높은 신뢰도가 요구된다.^[1]

본 논문에서는 신호흐름 분석과 Telcordia SR 332 Standard에 의한 부품고장률 산출방법을 사용하여 FMEDA(Failure Mode, Effects and Diagnostic Analysis)를 분석하고, 이를 통하여 회로구성 부품의 고장이 미치는 영향과 F LIC 제어모듈의 신뢰도를 분석한다. 또한 ITER가 요구하는 SIL(Safety Integrated Level) 요건을 만족하는지 평가한다.

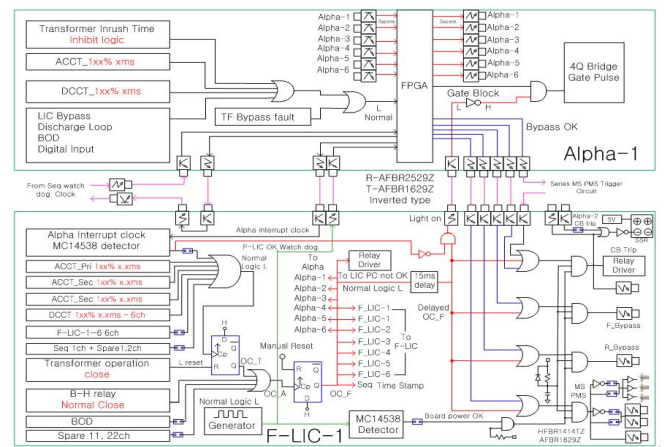


그림 1. F-LIC 및 Alpha 컨트롤 회로도
Fig.1 Circuit Diagram of F-LIC and Alpha Control

2. F-LIC 제어기의 신뢰도 분석

F LIC 구성 부품의 고장률 및 MTBF 데이터는 기본적으로 Telcordia SR 332 Issue 3 Method I에 따라 계산하였다. 고장률 계산을 위해 아래와 같은 가정을 하였다.

- 분석은 Telcordia Issue 3에 따라 수행하고
- 사용 환경은 40°C로 가정
- 구성요소의 품질수준은 Telcordia 따라 QA Level 1 또는 Level 2로 가정
- 전기스트레스는 인가전압(또는 전력)과 정격전압(또는 전력)의 비율을 백분율로 표시함

신뢰도계산 방법은 Telcordia SR 332 표준의 블랙박스 방식을 기반으로 하였다. 이 방법에서 블랙박스의 정상상태 고장률 λ_{BBI} 는 다음과 같이 계산된다.

$$\lambda_{BBI} = \lambda_{Gi} \pi_{Qi} \pi_{Si} \pi_{Ti} \quad (1)$$

여기서, λ_{Gi} 는 부품 i에 대한 일반적인 정상 상태 고장률
 π_{Qi} 는 부품 i의 품질 인자
 π_{Si} 는 부품 i의 전기스트레스 계수
 π_{Ti} 는 부품 i의 온도 계수

F LIC은 기능적으로 입력 회로, 제어 회로, 출력 회로로 나눌 수 있다. 각 회로 모듈의 고장률은 보드상의 부품 고장률을 합산하여 계산할 수 있다. 그리고 MTBF(Mean Time Between

Failure)는 고장률의 역수를 취하여 계산할 수 있다. 모듈의 각 부품은 공급한 부품회사 및 PCT Windchill 데이터 Library의 고장률을 참고하여 표 1과 같이 작성되었다.

표 1 공급자 및 Windchill Lib.에 의한 부품 고장률 리스트 예
Table 1 Sample List of Component Failure Rate by Supplier & Windchill Lib.

| Item | Quantity | Reference | Part | Rated Voltage | Operating Voltage | Quality Level | Unit Failure Rate (10 ⁻⁶ /h) | Cumulative Failure Rate (10 ⁻⁶ /h) | Model | Vendor |
|------|----------|-------------------------|----------------------|---------------|-------------------|---------------|---|---|------------------|------------------|
| 1 | 23 | C1,C2,C3,C10,C7,C16,C18 | 10uF 50V X7R 3225 | | | | 0.0013 | 0.0031 | CL10B104K8CH1R1C | samsung |
| 2 | 4 | D17,D19,D24,D26 | 1N4002 | 50 | 15 | 2 | 0.0020 | 0.0080 | 1N4002 | TDK |
| 3 | 12 | RT1, RT2,RT3 | 100/RA, RA/TO220(HT) | | | 1 | 0.00017 | 0.0021 | | ANY |
| 4 | 14 | R4,R5,R6,R7,R8,R9,R19 | 62K3216 | | | 1 | 0.001 | 0.014 | | ANY |
| 5 | 33 | OPR1,OPR2,OPR3 | AFBR259Z | | | 2 | 0.11 | 0.363 | | Broadcom / avago |

F LIC의 전반적인 신뢰도는 RBD(Reliability Block Diagram) 모델을 분석하여 계산할 수 있다. 신뢰도 및 FMEDA는 분석 소프트웨어 PTC Windchill Quality 솔루션 10.2가 사용되었다.

ITER F LIC의 신뢰도 요건은 MTBF가 10년 이상이다. 계산 결과인 표 2를 보면 Total MTBF가 34년 이상으로 요건을 충분히 만족하고 있다.

표 2 F-LIC 시스템의 신뢰도 및 가용도 계산결과

Table 2 The Result of Reliability and Availability of F-LIC

| Time | Reliability | Unreliability | Failure rate (x 10 ⁻⁶)/h | Availability | Unavailability |
|----------------------|-------------|---------------|--------------------------------------|--------------|----------------|
| 0 | 1.0000 | 0.0000 | 3.307 | 1 | 0 |
| 1314 | 0.9957 | 0.0043 | 3.307 | 1 | 0 |
| 2628 | 0.9913 | 0.0087 | 3.307 | 1 | 0 |
| 3942 | 0.9870 | 0.0130 | 3.307 | 1 | 0 |
| 5256 | 0.9828 | 0.0172 | 3.307 | 1 | 0 |
| 6570 | 0.9785 | 0.0215 | 3.307 | 1 | 0 |
| 7884 | 0.9743 | 0.0257 | 3.307 | 1 | 0 |
| 9198 | 0.9700 | 0.0300 | 3.307 | 0.999 | 0.001 |
| 10512 | 0.9658 | 0.0342 | 3.307 | 1 | 0 |
| 11826 | 0.9616 | 0.0384 | 3.307 | 1 | 0 |
| 13140 | 0.9575 | 0.0425 | 3.307 | 1 | 0 |
| Total failure rate = | | | 3.30706E-06 | | /hour |
| Total MTBF = | | | 3.024E+05 | | hours |
| | | | 34.519 | | years |

3. F-LIC 시스템 FMEDA 분석

FMEDA는 시스템 안정성을 평가하는 분석 기술이다. 이는 시스템 구성 요소의 모든 가능한 실패 원인을 체계적으로 분석하고 시스템의 작동 및 안전성에 대한 이러한 고장의 영향을 판별하여 시스템 설계를 분석한다. FMEDA는 진단 테스트에 의해 검출되는 위험모드의 고장률(λ_{DD})과 진단 테스트로 검출되지 않는 위험모드의 고장률(λ_{DU})을 산출한다.

실제 시스템을 모사한 모델은 그림 2와 같이 F LIC 입력 모듈의 전자회로 기능과 신호흐름을 반영한 시스템으로 구성되었다.

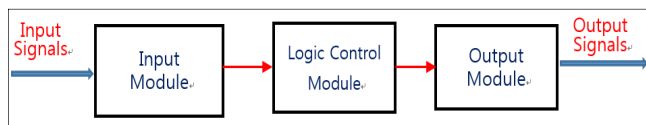


그림 2 F-LIC 시스템 구성 및 신호흐름

Fig. 2 F-LIC System Structure and Signal Flow

FMEDA 분석은 각 모듈별 고장모드 및 고장영향을 분석하며, 각 부품의 고장률을 검출되는/검출되지 않는 안전한 고장과 위

험한 고장으로 분류한 후, PTC Windchill 소프트웨어 툴을 사용하여 표 3과 같이 구하였다. 여기서 Lamda 값을 사용하여 식 (2) 및 (3)에 의해 SFF(Safe Failure Fraction) 비율과 DC(Diagnostic Coverage) 비율을 구하고 PFD(Probability of Failure on Demand) 및 PFH(Probability Failure per Hour)를 계산한다.

$$SFF = (\lambda_S + \lambda_{DD}) / (\lambda_S + \lambda_{DD} + \lambda_{DU}) \quad (2)$$

$$DC = (\sum \lambda_{DD}) / (\sum \lambda_D) \quad (3)$$

여기서, λ_S = 모든 안전 고장률, λ_{DD} = 검출되는 위험 고장률, λ_{DU} = 검출되지 않는 위험 고장률, λ_D = 모든 위험 고장률

표 3 Input Module의 FMEDA 분석 예

Table 3 Sample of FMEDA Analysis for Input Module

| Components | | | | | Error type | | | Lambda | | | | |
|-------------------|---------|--------------|-----------------------------|-----------------|-----------------------|----------|---------------|--------|----------------|----------------|----------------|----------------|
| | Module | Failure Mode | Failure Occurrence Rate (%) | λ [FIT] | Failure impact | Safe (%) | Dangerous (%) | DC (%) | λ_{SD} | λ_{SU} | λ_{DD} | λ_{DU} |
| D1, D4 HSMR-C 265 | Input | OC | 40 | 3.0 | No effect, Safe state | 100 | 0 | 0 | 0.00E+00 | 2.40E-09 | 0.00E+00 | 0.00E+00 |
| | Circuit | SC | 40 | 3.0 | No effect, Safe state | 100 | 0 | 0 | 0.00E+00 | 2.40E-09 | 0.00E+00 | 0.00E+00 |
| | Module | Drift | 20 | 3.0 | No effect, Safe state | 100 | 0 | 0 | 0.00E+00 | 1.20E-09 | 0.00E+00 | 0.00E+00 |
| R4, R7 | Input | OC | 80 | 2.0 | No effect, Safe state | 100 | 0 | 0 | 0.00E+00 | 1.60E-09 | 0.00E+00 | 0.00E+00 |
| 6.2K | Circuit | SC | 10 | 2.0 | No signal | 0 | 100 | 99 | 0.00E+00 | 0.00E-10 | 1.98E-10 | 2.00E-10 |
| | Module | Drift | 10 | 2.0 | Unstable signal | 0 | 100 | 90 | 0.00E+00 | 0.00E-10 | 1.80E-10 | 2.00E-11 |

F LIC 시스템은 단일구조(1oo1)이며, ITER가 요구하는 SIL 2 등급의 SFF 범위는 60 90%이다. 또한 PFD의 범위는 $\geq 10^{-3}$ to $< 10^{-2}$ 이다. 최종적인 계산결과는 표 4와 같으며, 각 모듈의 SFF 값과 Total PFD는 ITER의 SIL 2의 요건을 만족하고 있다.

표 4 F-LIC의 FMEDA 분석결과

Table 4 The Result of FMEDA for F-LIC

| Element | Voting | Type | Results | λ_{SD} | λ_{SU} | λ_{DD} | λ_{DU} |
|--------------------------------------|--------|------|----------------|----------------|----------------|----------------|----------------|
| INPUT CIRCUIT MODULE | 1oo1 | A | SFF (%): 90.63 | 6.23E-07 | 2.35E-07 | 5.27E-07 | 1.43E-07 |
| | | | DC (%): 78.61 | PPF | 9.45E-04 | PPH | 1.43E-07 |
| LOGIC CONTROL CIRCUIT MODULE | 1oo1 | A | SFF (%): 85.14 | 1.05E-08 | 3.76E-08 | 2.58E-07 | 5.46E-08 |
| | | | DC (%): 82.57 | PPF | 3.40E-04 | PPH | 5.46E-08 |
| OUTPUT CIRCUIT MODULE | 1oo1 | A | SFF (%): 83.30 | 6.66E-08 | 7.87E-08 | 3.84E-07 | 1.06E-07 |
| | | | DC (%): 78.38 | PPF | 6.98E-04 | PPH | 1.06E-07 |
| PFDtotal = PFDin + PFDlogic + PFDout | | | | | | 2.00E-03 | |

4. 결론

본 논문은 ITER 전원장치의 Local Interlock System의 중요 제어기인 F LIC의 MTBF와 SIL 2 등급을 만족하는지에 대해 FMEDA 방법으로 분석하였다. 분석결과 F LIC이 ITER의 Local Fast Interlock의 MTBF 요건을 충분히 만족하며, 또한 IEC 61508의 SIL 2 요건도 만족하고 있음을 확인할 수 있었다.

이 논문은 2017년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 국책연구사업임 (No. 2007 2006995, 초전도자석 전원공급장치 개발·제작).

참고 문헌

[1] 신현국, 오종석 외 6인, "ITER 전원장치 Plant Interlock System의 신뢰도 분석", 전력전자학회 추계학술대회 논문집, 2016.11.25.