

스위치의 과도 전압 및 전력 손실 감소를 위한 2차측 캐패시터를 가진 플라이백 컨버터

박샘, 박화평*, 정지훈*

한국기술교육대 (코리아텍), 울산과학기술원 (유니스트)*

Flyback converter employing secondary-side capacitor for reducing turn off voltage and power loss

Sam Park, Hwa Pyeong Park*, and Jee Hoon Jung*

Korea University of Technology and Education (KOREATECH),

Ulsan National Institute of Science and Technology (UNIST)*

ABSTRACT

기존 플라이백 컨버터를 사용하면 턴 오프 시 스위치의 드레인 소스 간 높은 과도 전압이 걸리고 이를 저감하기 위한 스너버 회로에서 높은 손실이 생긴다. 이를 해결하기 위해 변압기의 2차측 권선에 병렬로 연결된 캐패시터를 가지는 플라이백 컨버터를 제안한다. 본 논문은 2차측 캐패시터의 효과적인 설계 방법을 제시하고 기존 플라이백 컨버터 대비 저감되는 드레인 소스간 과도 전압 및 스너버 회로 전력 손실을 분석하여 제안하는 컨버터의 전력 변환 효율 증가 및 스위칭 소자의 스트레스가 저감됨을 보이고자 한다.

1. 서론

플라이백 컨버터는 변압기에 의해 입력 전압의 승압 및 강압이 가능하고, 1차 및 2차측 간 절연이 된다. 뿐만 아니라 구조가 간단하기 때문에 저전력 분야에 널리 사용되고 있다. 하지만 플라이백 컨버터는 누설 인덕턴스에 의해 스위치 턴 오프 시 과도 전압이 걸린다. 기존에는 이 전압을 낮추기 위해 스너버 회로를 구성하여 해결하고 있지만, 이는 전력손실을 발생시켜 전력 변환 효율을 감소시킨다. 그리고 누설 인덕턴스의 영향으로 1차측에서 2차측으로 에너지 전달하는데 있어서 지연시간을 야기하는 문제점이 있다. 지연시간이란 스위치 턴 오프 시 1차측 누설인덕턴스 전류가 0이 되기까지 걸리는 시간을 의미한다. 그림 1는 플라이백 컨버터의 지연시간을 나타낸다. 자화 인덕턴스의 에너지가 2차측으로 전달될 때 전류의 크기는 누설 인덕턴스의 전류 크기에 반비례 하여 누설 인덕턴스의 전류가 0일 때 자화 인덕턴스는 최대 전류를 2차측에 보낸다. 지연 시간이 길게 되면 자화인덕턴스에서 2차측으로 전류가 0부터 피크 까지 증가하는 시간이 길어져 이상적인 전류보다 작은 전류가 변압기 2차측에 흐르게 된다.

제안하는 플라이백 컨버터는 변압기 2차측에 병렬 캐패시터를 추가하여 턴 온 시간 동안 에너지를 저장하고, 턴 오프 시 캐패시터에 저장된 에너지를 자화 인덕턴스에 공급하여 1차측 누설 인덕턴스의 에너지를 기존 지연시간보다 더 짧게 만들어 준다. 지연시간이 짧아지면 플라이백 컨버터는 1차측 전류의 피크를 낮게 동작시킬 수 있고, 전류 피크와 지연시간에 비례한 스너버 회로의 손실을 감소시킬 수 있다. 그리고 짧은 지연 시간 동안에 작은 피크 전류가 스너버 회로에 공급되기 때문에 스너버 전압 또한 낮아져 드레인 소스간 전압이 낮아진다. 제

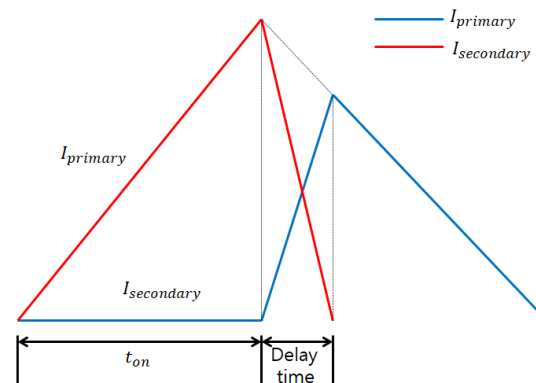
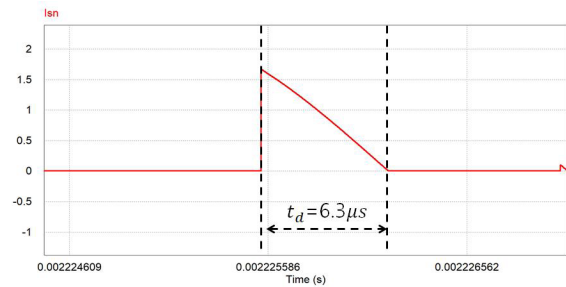
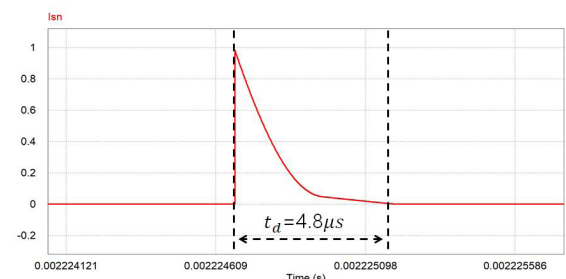


그림 1 턴 비가 1:1인 플라이백 컨버터의 1차측, 2차측 전류.

Fig. 1 primary and secondary side current of flyback converter, turn ratio 1:1



(a)



(b)

그림 2 캐패시터 유무에 따른 스너버 전류: (a) 기존 회로의 스너버 전류, (b) 제안된 회로의 스너버 전류.

Fig. 2 Snubber current according to capacitor: (a) Normal snubber current, (b) snubber current containing secondary-side capacitor

안하는 컨버터의 디자인 방법 및 전력 변환 효율을 45 W 플라이백 컨버터를 통해 검증하고자 한다.

2. 2차측 캐패시터를 이용한 성능 향상

2.1 드레인-소스간의 전압 감소

본 논문에서 사용한 2차측 병렬 캐패시터는 기존 플라이백 컨버터보다 작은 지연시간을 가지고 있다. 기존 및 개선된 지연시간은 (1)과 (2)로 나타낼 수 있다.

$$t_{s,c} = \frac{n(L_{lk1} \times I_{peak})}{nV_{sn} - V_o} \quad (1)$$

$$t_{s,p} = \frac{n(L_{lk1} \times I_{peak})}{nV_{sn} + V_{tr2}} \quad (2)$$

t_s 는 지연시간, L_{lk1} 는 1차측 누설 인덕턴스, I_{peak} 는 1차측 피크 전류, V_{sn} 는 스너버 전압, V_{tr2} 는 2차측 변압기 전압, n 은 변압기 턴 비이다. 수식 (1)과 (2)를 비교하면 지연시간이 작아진다는 것을 알 수 있다. 그림 2은 기존 회로와 제안된 회로의 스너버 전류로서 지연시간을 나타낸다. 기존 및 개선된 스너버 전압은 수식 (3)와 (4)과 같이 나타낼 수 있다.

$$V_{sn,c} = \frac{L_{lk1} \times I_{peak}}{t_{s,c}} + \frac{V_o}{n} \quad (3)$$

$$V_{sn,p} = \frac{L_{lk1} \times I_{peak}}{t_{s,p}} - \frac{V_{tr2}}{n} \quad (4)$$

수식 (4)는 (3)에 비해 작은 스너버 전압을 가짐을 보이고 이는 드레인 소스간의 낮은 과도 전압을 의미한다. 또 수식 (2)와 (4)는 지연시간과 스너버 전압이 변압기의 2차측 전압이 커짐에 따라 작아지는 것을 나타낸다.

2.2 스너버 전력손실 감소

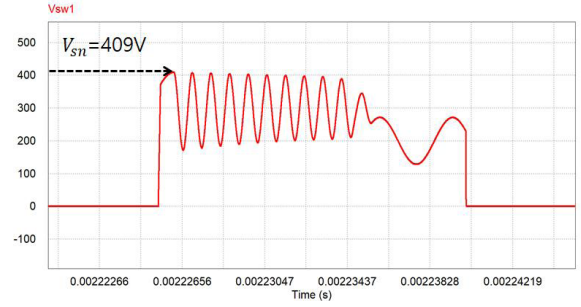
기존 플라이백 컨버터는 출력 전압과 1차측 피크 전류를 사용하여 스너버 전압을 설계할 수 있다. 설계된 값을 통해 1차측 누설 인덕턴스에 의한 지연시간이 결정되고, 지연시간 크기는 스너버 전력 손실에 비례한다. 스너버 전력손실을 줄이기 위해 지연시간을 감소시킨다면 그만큼 드레인 소스간 전압 상승으로 이어지기 때문에 지연시간을 변화시키기 어렵다. 하지만 제안된 2차측 캐패시터를 가진 플라이백 컨버터를 사용하면, 스너버 전압을 감소시킴과 동시에 지연시간을 감소시킬 수 있다. 따라서 스너버 전력을 감소시킬 수 있다. 스너버 손실 전력은 다음과 같이 나타낼 수 있다.

$$P_{sn} = \frac{1}{2} V_{sn} I_{peak} t_s f_s \quad (5)$$

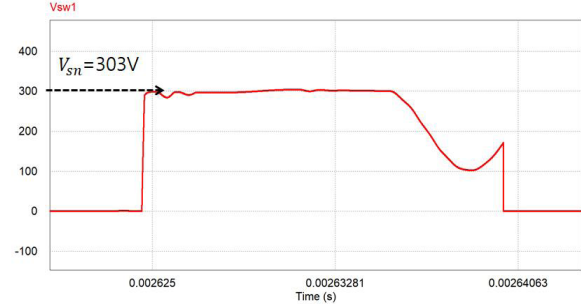
수식 (2), (4) 과 (5)을 통해 스너버 전압 감소, 지연시간 감소, 피크 전류가 감소함을 보이기 때문에 스너버 회로에 의한 전력 손실이 감소하는 것을 알 수 있다.

3. 실험 결과

본 논문은 PSIM 시뮬레이션을 사용하여 스너버 전류, 드레인 소스간에 걸리는 전압을 측정하고 나타내었다. 그림 2는 캐패시터를 부착한 회로에서 지연시간이 감소하는 것을 나타낸다. 그림 3은 드레인 소스간에 걸리는 전압의 크기를 비교하였



(a)



(b)

그림 3 캐패시터 유무에 따른 드레인-소스 전압 비교: (a) 기존의 플라이백 컨버터의 드레인-소스 간의 전압 (b) 제안된 플라이백 컨버터의 드레인-소스 간의 전압.

Fig. 3 Comparison of drain-source voltage according to capacitor: (a) Normal flyback converter D-S voltage, (b) Flyback converter D-S voltage, containing secondary-side capacitor.

다. 위의 시뮬레이션 결과는 제안하는 플라이백 컨버터가 시간 지연을 줄여 스너버에서 발생하는 손실을 기존 플라이백 컨버터 대비 줄이는 동시에 드레인 소스간의 전압을 기존 대비 줄일 수 있음을 보인다.

4. 결론

본 논문은 기존 플라이백 컨버터 변압기의 2차측 권선에 캐패시터를 병렬로 연결하여 턴 오프 시 스위치 과도 전압을 감소시키는 동시에 스너버 회로의 손실을 감소시켜 전력 변환 장치의 안정성 및 전력 변환 효율을 증가시켰다. 본 논문은 45 W의 플라이백 컨버터를 시뮬레이션을 통해 성능 증가를 검증하였다. 발표 시에는 실험 결과 및 수학적 분석을 통해 제안하는 컨버터의 디자인 방법을 설명하고 이를 검증하고자 한다.

이 논문은 2016년 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 중견연구사업임 (NRF2016R1A2B4011934)

참고 문헌

- [1] Hironobu Shiroyama, Hirofumi Matsuo and Yoichi Ishizuka, "Quasi resonant converter with divided primary and secondary side," Telecommunications Energy Conference, 2009. INTELEC 2009. 31st International