

전력용 MOSFET의 PSpice 열적모델 구현 및 검증

이경훈, 박수완, 정세교
경상대학교

Implementation and Verification of PSpice Thermal Model for Power MOSFET

Gyeong Hoon Lee, Soo Whan Park, and Se Kyo Chung
Gyeongsang National University

ABSTRACT

The operating characteristics of power MOSFETs greatly vary depending on the junction temperature. A PSpice thermal model is implemented to simulate the temperature characteristics of the power MOSFETs in this paper. A thermal model is derived that can be applied online in PSpice simulations and PSpice parameters are reconstructed using a curve fitting from commercial data sheets. The implemented PSpice model is applied to the buck converter and the validity of the model is verified through experiments.

$$RT(t) = R_1(t) * \left(1 - e^{-\frac{t}{\tau_1}}\right) + R_2(t) * \left(1 - e^{-\frac{t}{\tau_2}}\right) + R_3(t) * \left(1 - e^{-\frac{t}{\tau_3}}\right) + R_4(t) * \left(1 - e^{-\frac{t}{\tau_4}}\right) \quad (1)$$

여기서, $\tau_x = R_x C_x$ 이며 $x = 1, 2, 3, 4$ 이다.

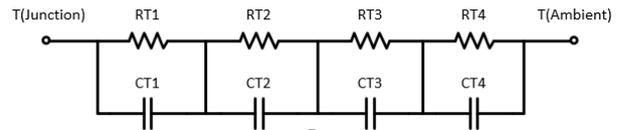


그림 1 열적 모델 (탱크 회로)

Fig. 1 Thermal model (tank circuit)

1. 서론

전력 MOSFET은 접합 온도에 따라 동작 특성이 크게 달라지므로 전력 변환기의 특성에 큰 영향을 미칠 수 있다. 따라서 전력 MOSFET의 온도 특성을 시뮬레이션 하기 위해 PSpice 플랫폼을 기반으로 열 모델 회로를 구성했다. 열 모델 회로는 저항과 커패시터로 구성되며 해당 MOSFET 데이터시트의 과도 동작 조건을 기반으로 만들어진다. 열 모델 회로의 타당성은 MOSFET 데이터시트에 명시된 과도 열 임피던스 곡선과 커브 피팅 (Curve fitting)으로 구현된 곡선, 그리고 PSpice 시뮬레이션을 통해 구현된 곡선을 비교하여 검증한다. 검증된 열 모델 회로를 벡 컨버터에 적용하여 전력소모에 따른 MOSFET 접합 온도를 시뮬레이션하고 실제 실험을 통해 비교하였다.

2. 열 모델 구현

본 논문에서는 전력용 MOSFET의 열적모델을 구하고 상용 데이터 시트에서 주어지는 특성곡선을 이용하여 파라미터를 추출하였다. 열 모델 생성에는 접합 케이스 열 저항의 정상 상태 값과 과도 열 임피던스 특성의 단일 펄스 곡선을 기반으로 하는 커브피팅 기법을 사용한다.^[1]

전력용 MOSFET의 열적모델은 다중 RC 회로로 구현할 수 있다. 그림 1은 4쌍의 RC 소자로 구현된 탱크 (Tank) 형식의 열 모델을 나타낸다. RC 회로의 차수가 높아지면 보다 정확한 모델을 구현할 수 있으나 고려된 소자의 경우 4차로 충분한 정확도를 얻을 수 있다. 이 모델을 열적 방정식으로 나타내면 다음과 같이 나타낼 수 있다.^[2]

식 (1)의 파라미터는 그림 2에 주어진 전력용 MOSFET FDP18N20F의 데이터 시트에 주어진 열 임피던스 곡선이며 이 곡선으로부터 RC값을 커브피팅으로 추출해 낸다. 그림 3은 데이터 시트에서 주어진 열적 정격을 나타낸다.

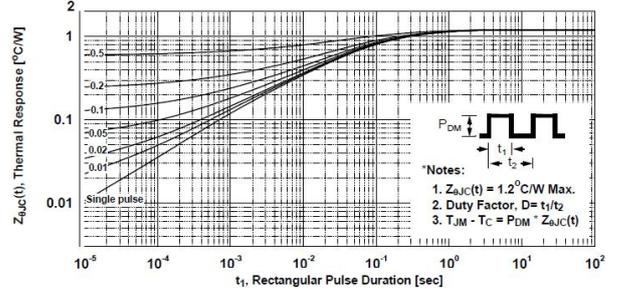


그림 2 데이터시트의 과도 열 임피던스 곡선

Fig. 2 Transient thermal impedance from the datasheet

Thermal Characteristics

Symbol	Parameter	FDP18N20F	FDP18N20FT	Unit
$R_{\theta JC}$	Thermal Resistance, Junction to Case, Max.	1.2	3.0	°C/W
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient, Max.	62.5	62.5	

그림 3 데이터시트의 열적 정격

Fig. 3 Thermal ratings from the datasheet

그림 4는 그림 2의 단일 펄스 과도 열 임피던스 곡선에서 16개의 데이터 포인트를 선정하고 Excel에 입력한 것을 나타낸다. FDP18N20F의 정상상태 접합 케이스 열 저항 $\{R_{th(j-c)}\}$ 은 1.2°C/W이며 이 값을 Excel에 입력되어 정규화 된 열 임피던스 값을 절대 값으로 변경하는데 사용된다. 이 과정을 통

해 FDP18N20F의 정상상태 접합 케이스 열 저항이 적용된 단일 펄스 과도 열 임피던스 곡선을 Excel에 재구성하였다. 재구성한 커브와 유사한 커브를 생성하는 커브피팅 과정을 통해 RC 값을 도출하였다.

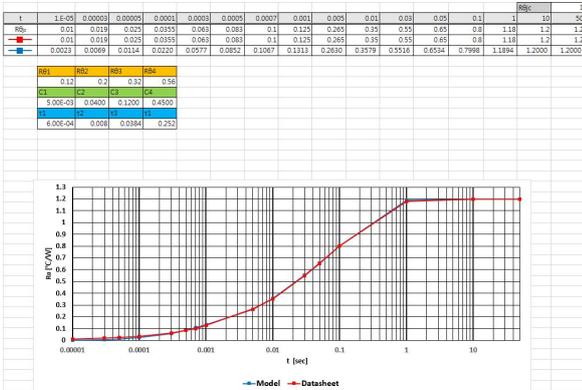


그림 4 열적 모델 파라미터를 이용한 커브 피팅
Fig. 4 Curve-fitting with thermal model parameters

표 1 열 모델의 R-C 값

Table 1 R-C value of thermal model

Thermal Resistance	
Junction to	Case
RT1	0.12
RT2	0.2
RT3	0.32
RT4	0.56
Thermal Capacitance	
Junction to	Case
CT1	0.005
CT2	0.04
CT3	0.12
CT4	0.45

표 1은 커브피팅을 통해 도출된 열 모델의 RC값을 나타낸다. 그림 5는 FDP18N20F의 열 모델과 벅 컨버터를 연동한 회로이다. 전압원 V2는 외부 온도에 해당하며 전류원 ABM2는 디바이스에서 소비되는 전력이다. MOSFET의 케이스 온도는 C5에 대한 전압 값 V로 표현된다.

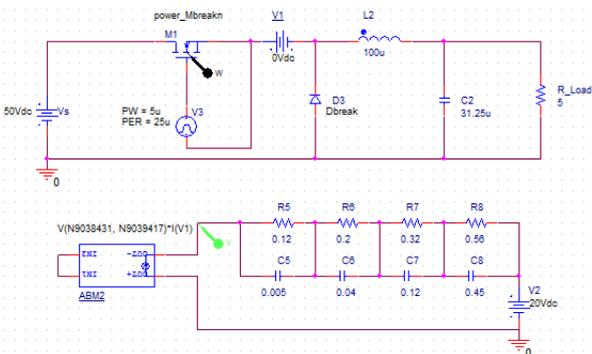


그림 5 벅 컨버터와 연동된 R-C 열적 모델
Fig. 5 R-C thermal model coupled with buck converter

3. 시뮬레이션 및 실험

RC 변수 쌍이 MOSFET의 열 모델을 구현하는지에 대한 유효성 확인을 위해 그림 5의 회로 시뮬레이션 결과를 그림 6에 나타내었다. 시뮬레이션 시간은 2초이며 실제 실험실의 온도가 20도 이므로 RC 열적 모델의 DC 전압원은 20V로 설정된다. 상단의 검은색 그래프는 시간에 따른 MOSFET의 전력 소모를 나타낸다. 하단의 그래프는 전력소모에 따른 MOSFET 케이스의 온도를 나타내며 벅 컨버터가 동작한지 2초가 경과했을 때 케이스의 온도는 약 23.5도 까지 상승한다.

그림 7은 실제 벅 컨버터의 MOSFET 케이스 온도 측정을 나타낸다. 측정 시간은 컨버터 구동 직후부터 3초간 측정하였으며 시뮬레이션 결과와 유사함을 알 수 있다.

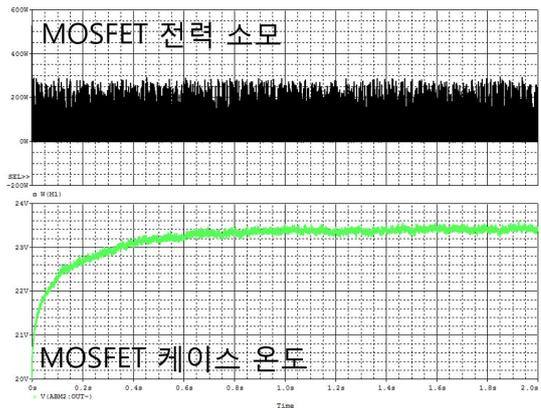


그림 6 PSpice 시뮬레이션 파형
Fig. 6 PSpice simulation waveforms



그림 7 MOSFET 케이스 온도 측정
Fig. 7 MOSFET case temperature measurement

4. 결론

본 논문에서는 전력용 MOSFET의 R C 열적 모델을 구현하고 유효성을 검증하였다. R C 모델은 Excel 스프레드 시트를 이용한 커브 피팅 기법으로 구현하였다. 유효성 검증은 PSpice 플랫폼을 사용한 시뮬레이션과 실제 벅 컨버터를 구성한 실험 데이터의 비교 분석을 통해 검증하였다.

참고 문헌

- [1] Kandarp I. Pandaya, Wharton McDaniel, "A Simplified Method of Generating Thermal Models for Power MOSFETs" Vishay siliconix
- [2] Kandarp I. Pandaya, "Thermal Simulation of Power MOSFETs on the P Spice platform" Vishay siliconix