

수소자동차용 HDC의 소프트 스위칭 셀 최적 설계 방안

김소영, 노태원, 안정훈, 이병국[†]
 성균관대학교 전자전기컴퓨터공학과

Optimal Design of Soft-Switching Cell in HDC for FCEV

So Young Kim, Tae Won Noh, Jung Hoon Ahn, and Byoung Kuk Lee[†]
 Department of Electrical and Computer Engineering, Sungkyunkwan University

ABSTRACT

본 논문에서는 수소자동차(Fuel Cell Electric Vehicles: FCEVs)용 고전압 직류 변환장치 (High Voltage DC DC Converter: HDC)의 소프트 스위칭 셀 최적 설계 방안을 제시한다. 선정된 소프트 스위칭 셀에서 손실 분석을 통해 최적의 공진 네트워크 설계를 제안한다. 제안하는 설계 방안의 타당성은 실험 분석을 통해 검증한다.

서론

심각한 환경 문제로 인한 ZEV (Zero Emission Vehicles) 규제 강화로 연료 충전시간이 짧고, 배기가스 배출이 없는 FCEV (Fuel Cell Electric Vehicles)에 대한 관심이 증대되고 있다^[1].

FCEV는 배터리를 이용하여 연료 전지의 최적 효율 운전을 가능하게 한다. 이 때, 배터리의 충/방전 제어를 위하여 모터 구동용 인버터와 배터리 사이의 HDC (High Voltage DC DC Converter)가 반드시 필요하다. HDC는 배터리의 최대 출력 사양을 기준으로 설계되며 이는 주 운전 영역 대비 약 4배의 출력량을 가진다. 이로 인하여 HDC에 사용된 스위치는 높은 전류 정격을 가지므로 스위칭 손실을 크게 발생시켜 주 운전영역에서 HDC의 효율을 저감시키는 요인이 된다.

이런 문제를 해결하기 위하여 스위치의 스위칭 시점에서 공진을 이용함으로써 스위칭 손실을 최소화 하는 부분 공진형 컨버터를 HDC에 적용하는 연구가 진행 중이다. 그러나 부분 공진을 통해 저감된 스위칭 손실 대비 추가된 소자에서 발생하는 도통 손실 및 스위칭 손실로 인하여 발생하는 추가적인 손실이 커지거나 회로 내 기생 성분과의 반응으로 인하여 효율 감소 및 소자 소손이 발생할 수 있는 문제를 가지고 있다. 이를 방지하기 위하여 부분 공진을 위해 사용되는 인덕터 (L_r)와 커패시터 (C_r)의 최적 설계가 반드시 필요하다.

본 논문은 그림 1의 ZVT PRC (Zero Voltage Transition Partial Resonant Converter)를 기준으로 스위칭 손실과 추가적인 손실 요소사이의 trade off를 고려하여 L_r 과 C_r 의 최적 설계 방안을 제안한다. 본 논문의 타당성은 이론 및 실험을 통해 검증한다.

2. 공진 네트워크 최적 설계 방안

2.1 공진 커패시터 손실 분석 및 설계

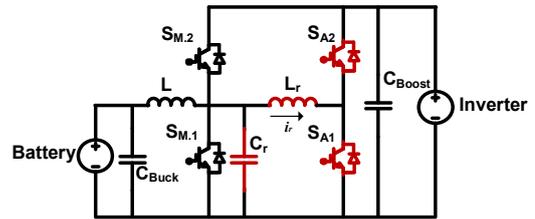


그림 1 FCEV의 HDC를 위한 양방향 ZVT-PRC
 Fig. 1 Bi-directional ZVT-PRC for HDC of FCEV.

표 1 HDC의 시스템 설계 파라미터
 Table 1 System design parameters of HDC.

| Parameter | Value | |
|---------------------|------------|-------------------------|
| Low voltage | V_L | 240 [V] |
| High voltage | V_H | 360 [V] |
| Rated power | P_O | 3 [kW] |
| Switching frequency | f_{sw} | 20 [kHz] |
| Ripple voltage | ΔV | 0.2 [%] |
| Main inductance | L | 550 [uH] _{@0A} |

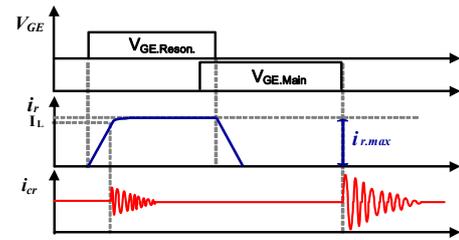


그림 2 ZVT-PRC의 i_r 및 C_r 전류 파형
 Fig. 2 Waveforms of i_r and current of C_r of ZVT-PRC.

부분 공진을 위한 L_r 과 C_r 의 최적 설계 방안은 표 1의 동작 조건을 기준으로 손실 및 동작 분석을 통해 이루어진다. 그림 2는 ZVT PRC 회로 동작 시 L_r 로 흐르는 공진 전류 (i_r)와 C_r 에 흐르는 전류를 나타낸다.

C_r 을 감소시킬수록 S_{M1} off 시 C_r 내 충전된 전류가 방전되면서 회로 내 기생 저항 및 인덕턴스와 공진으로 발생하는 피크성 전류를 감소시켜 회로 내 소자의 전류 스트레스 및 손실을 저감시킬 수 있다. 그러나 C_r 이 지나치게 작아지는 경우 S_{M1} 의 off 시 전압 상승 기울기가 증가하여 스위칭 손실이 증가하는 단점을 가진다.

그림 3 (a)는 C_r 에 따른 메인 스위치 (S_{M1}) turn off 손실과 공진현상 발생 시 전류의 피크값을 나타낸 그래프이다. 식 (1)

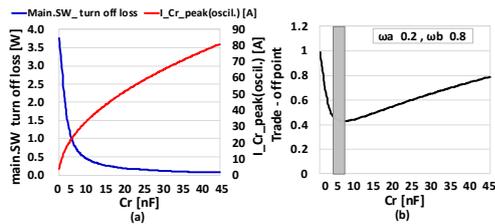


그림 3 (a) C_r에 따른 turn off 손실과 C_r 전류 피크값
 (b) f_{cost}를 통한 C_r 최적 설계점 도출
 Fig. 3 (a) Turn off loss and I_{Cr,peak} by C_r.
 (b) Optimization of C_r by f_{cost}.

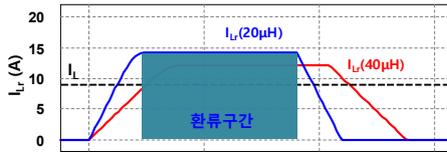


그림 4 L_r 증가에 따른 i_r 변화 양상
 Fig. 4 Aspect of i_r waveform change with increasing L_r.

을 이용해 손실과 피크값 사이의 가중치를 두고 trade off 관계를 도사하면 그림 3(b)와 같다.

$$f_{cost}(C_r) = \frac{\text{Turn off loss}}{\text{Turn off loss}_{@C_r=0.1nF}} \times \omega_\alpha + \frac{I_{Cr,peak(oscil.)}}{\text{Current rating}} \times \omega_\beta \quad (1)$$

C_r 증가에 따른 손실 저감 정도와 오실레이션을 고려하여 그림 3 (b)와 같이 커패시턴스의 최적점은 5nF로 도출된다.

2.2 공진 인덕터 손실 분석 및 설계

그림 4는 L_r이 증가함 (20μH→40μH)에 따른 공진 전류(i_r)의 변화를 나타낸다. L_r이 증가하는 경우 식 (2)과 같이 공진 임피던스(Z_r)의 증가로 인해 i_r의 최대값 (I_{r,max})이 감소하여 L_r의 철손 및 도통 손실, 스위칭 손실이 감소하며 공진 전류의 상승 및 하강 기울기를 감소시켜 스위칭 손실을 저감할 수 있다. 그러나 코어 크기 증가 및 권선수의 증가로 인한 추가 손실이 발생한다. 표 2는 L_r 증가에 따른 손실 요소의 변화를 나타내며 최적 설계를 위해 손실은 아래 식 (3)~(5)를 통해 계산한다.

$$I_{r,max} = I_L + \frac{V_O}{Z_r} \quad (Z_r = \sqrt{\frac{L_r}{C_r}}) \quad (2)$$

$$P_{MOSFET} = P_{MOSFET,cond} + P_{MOSFET,sw} = [R_{DS(on)} i_{d,avg}] + (\frac{1}{2} C_{oes} V_{on}^2 + \frac{1}{2} I_{off} V_{off} T_{off} + V_{gate} Q_g) \times f_{sw} \quad [W] \quad (3)$$

$$P_{diode} = P_{diode,cond} + P_{diode,reverse} = V_{TH} I_{F,avg} + R_d I_{F,rms}^2 + (V_R I_{RRM} t_B) / 6 \times f_{sw} \quad (4)$$

$$P_L = P_{L,cmd} + P_{L,core} = I_{L,rms}^2 R_{dc} + k_1 B_{max}^{k_2} f_{sw}^{k_3} V_L \quad (5)$$

그림 5와 같이 손실 분석 결과를 기반으로 L_r을 최적점인 15μH로 결정한다.

2.2 최적 설계 및 실험

그림 6은 최적 설계 방안 검증을 위한 HDC 실험 환경을 나타내며, 그림 7은 C_r은 4.7nF (MLCC), L_r은 15μH (high flux, changsung)로 최적 설계한 뒤 표 1을 기준으로 진행된 실험 파형을 나타낸다. HDC 효율은 소프트 스위칭 시 약 98.2%로, 하드 스위칭 대비 약 1.2%의 효율이 개선되었다.

표 2 L_r 증가에 따른 추가적인 손실 분석

Table 2 Analysis of additional losses with increasing L_r.

| 손실 요소 | L _r 증가에 따른 변화 |
|-----------------------------|----------------------------------|
| L _r 철손 | L _r 코어 부피 증가 |
| L _r 도통 | 공진전류 도통 구간 증가 |
| S _{M1} Diode 도통 손실 | 환류 구간 일정 |
| S _{M2} Diode 스위칭손실 | 공진 전류(i _r) 하강 기울기 감소 |
| S _{A1} 도통손실 | 공진 전류(i _r) 도통 구간 증가 |
| S _{A1} 스위칭 손실 | 공진 전류(i _r) 하강 기울기 감소 |



그림 5 L_r 증가에 따른 총 손실 경향
 Fig. 5 Tendency of the total loss with increasing L_r.



그림 6 HDC 효율 측정을 위한 실험 환경
 Fig. 6 Experiment apparatus for measuring HDC efficiency

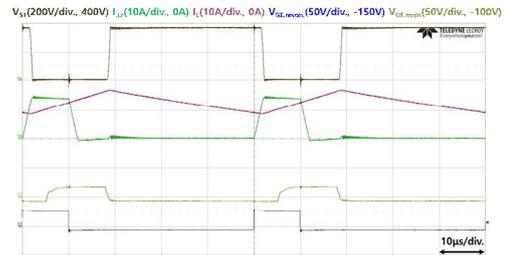


그림 7 ZVT-PRC HDC 실험 결과 (@3kW)
 Fig. 7 Experimental results of ZVT-PRC HDC (@3kW).

3. 결론

본 논문은 소프트 스위칭을 이용한 FCEV용 HDC의 공진 네트워크 소자 설계의 가이드라인을 제시하였다. 이론적으로 상세히 손실을 분석하였고, 토폴로지의 특성을 분석해 공진 네트워크를 최적화 하였다. 소프트 스위칭 회로 적용 시, 하드 스위칭 경우 보다 약 1.2%의 효율을 개선됨을 확인하였다.

본 연구는 2016년도 산업통상자원부의 재원으로 한국에너지기술연구원(KETEP)의 에너지인력양성사업으로 지원받아 수행한 인력양성 성과입니다. (No. 20164030200980)

참고 문헌

[1] C. T. Pan and C. M. Lai, "A high efficiency high step up converter with low switch voltage stress for fuel cell system applications," IEEE Trans. Ind. Electron., vol. 57, no. 6, pp. 1998–2006, Jun. 2010.