

HVDC 컨버터의 사이리스터밸브 시험용 STC의 전류원 특성개선

박권식¹, 서병준¹, 정재현², 노의철¹
 부경대학교¹, 효성파워텍²

Improvement of Current Source Characteristic of Synthetic Test Circuit for Thyristor Valve Test in HVDC Converter

Gwon Sik Park¹, Byeong Jun Seo¹, Jae Hun Jung², Eui Cheol Nho¹
 Pukyong National Univ¹, HYOSUNG POWER TECH²

ABSTRACT

본 논문은 HVDC컨버터의 사이리스터 밸브 시험용 STC(Synthetic Test Circuit)의 전류원 특성을 개선하기 위한 제어기법을 제안한다. 기존의 저전압 대전류 회로의 보조스위치를 이용하여 사이리스터 밸브의 턴 오프 시 전류 하강 시간을 턴 온 시 전류 상승 시간과 유사하게 제어한다. 제안하는 기법에 대해 설명하고, 시뮬레이션을 통해 제안하는 기법의 타당성을 검증하였다.

1. 서론

HVDC(High Voltage Direct Current Transmission) 컨버터는 밸브를 구성하는 전력 반도체의 종류에 따라 전압원, 전류원으로 구분된다. 그 중 전류원 HVDC 컨버터 밸브의 주요 전력반도체 소자는 사이리스터이다. 밸브의 구성은 다수의 사이리스터가 직렬 연결되는데 이러한 HVDC 시스템을 구성하기 전 밸브의 성능 검증이 필요하다. 성능 검증을 위해선 실제 밸브의 동작과 같도록 고전압과 대전류를 공급할 수 있는 전원장치가 필요하다^[1].

최근 국내에서 LS산전이 독자적으로 STC를 개발한 바 있다^[2]. LS산전이 개발한 방식은 기존 방식에 비해 회로 구성 및 제어가 간단하다. 하지만 밸브의 턴 오프 구간에서 R L 시정수와 반도체 전압 강하에 의해서 턴 오프 전류의 기울기가 정해지므로, 턴 온 시의 전류 상승 시간과 턴 오프 시 전류 하강 시간이 다르다. 따라서 실제 사이리스터 밸브의 commutation 특성을 충족시키지 못한다.

본 논문에서는 기존의 2상 초과 방식에서 사이리스터 밸브의 전류원 특성을 개선하여 턴 오프 구간에서의 신뢰성을 확보하였다. 제안한 기법에 대한 동작원리를 설명하였으며 시뮬레이션을 통해 제안한 기법의 유용성을 입증하였다.

2. 제안하는 STC 동작 원리

그림 1은 기존의 2상 초과 방식의 사이리스터 밸브용 합성 시험 회로이다^[3]. 사이리스터 밸브의 성능을 검증하기 위한 전원 공급장치는 전류원 회로와 전압원 회로로 나눌 수 있다. 전류원 회로는 저전압 대전류 공급 회로이고 전압원 회로는 고전압 저전류 공급 회로이다.

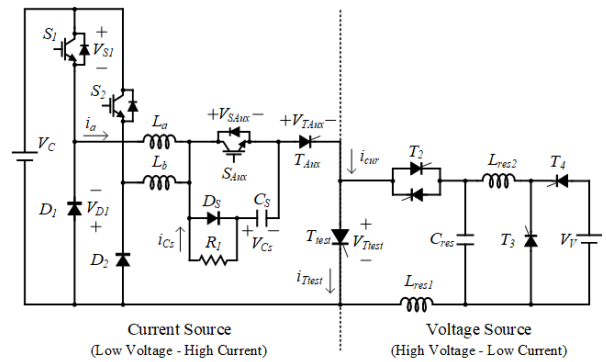


그림 1. 사이리스터밸브 시험용 STC
 fig. 1. Synthetic test circuit for thyristor valve test

그림 2는 제안하는 기법이 적용된 STC의 전류(i_{Test})파형과 전압(V_{Test}) 파형 및 스위치 신호를 나타낸 것이다.

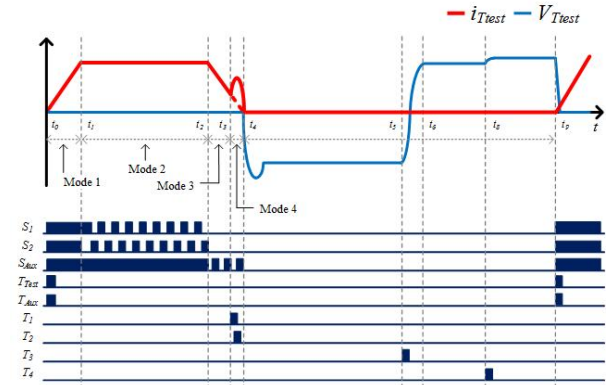


그림 2. 합성시험회로의 스위칭 상태 및 전류, 전압 파형.
 fig. 2. Switch signals, current, and voltage waveforms of the STC.

합성시험회로의 동작모드는 전압원 모드와 전류원 모드로 나눌 수 있다. 본 논문에서 제안하는 기법은 전류원 특성을 개선하는 것으로 전류원 모드의 동작 시 적용되기 때문에 전압원 모드의 동작은 기존에 제안된 논문과 동일하다. 전류원 모드의 동작은 그림 2의 Mode1 Mode4 에 나타내었으며, 각 구별 동작은 다음과 같다.

Mode 1 ($t_0 \sim t_1$)

사이리스터 밸브의 전류가 정격전류까지 증가하는 구간이다. $S_1, S_2, S_{Aux}, T_{Aux}$, 그리고 T_{test} 를 동시에 턴 온하면 i_{cur} 는 식 (1)에 의해 일정하게 증가하게 된다.

$$i_{cur} = \frac{2 \times \{V_C - (V_{S1} + V_{SAux} + V_{TAux} + V_{Ttest})\} \times t}{L_a} \quad (1)$$

Mode 2 ($t_1 \sim t_2$)

S_1 과 S_2 를 상보적으로 스위칭 하여 i_{cur} 의 전류를 정격전류로 유지시킨다. 이 구간에서 회로는 2상 교류로 동작한다.

Mode 3 ($t_2 \sim t_3$)

S_1, S_2 를 턴 오프하고 S_{Aux} 를 PWM 제어하여 전류원의 특성을 개선한다. 전류는 $D_1(D_2)$ $L_a(L_b)$ S_{Aux} (or D_S C_S) T_{Aux} T_{test} 경로를 통해 환류하게 된다. $L_a(L_b)$ 에 역전압이 걸리게 되면서 전류가 감소하고, 이를 제어하여 턴 온 시 전류 상승 시간과 같게 한다. 이때 C_S 의 전압은 충전된다.

PWM 시 시비율을 D 라 하면 이때 L_a 와 L_b 에 걸리는 전압의 크기에 대한 수식은 식 (2)로 표현되므로 D 에 따라 전류의 감쇠율을 제어할 수 있다.

$$V_{La} = V_{Lb} = (V_{R1} + V_{Cs} - V_{SAux})D - (V_{D1} + V_{R1} + V_{Cs} + V_{TAux} + V_{Ttest}) \quad (2)$$

Mode 4 ($t_3 \sim t_4$)

사이리스터 밸브에 공진 전류를 인가하기 위해 T_2 를 턴 온한다. T_{Aux} 의 전류가 0이 될 때, 충전된 V_{Cs} 에 의하여 T_{Aux} 에 역전압이 인가되어 턴 오프 된다. 이를 통해 다음 구간에서 밸브에 역전압이 인가될 때, 전류원 회로가 보호된다.

3. 시뮬레이션

제안하는 전류원 회로의 검증을 위해 축소모형으로 시뮬레이션을 실시하였다. 표 1은 제안하는 시스템의 파라미터를 나타낸다. 전류원은 30[A], 전압원은 200[V]로 회로를 설계하였다. 그림 3과 그림 4는 그림 2의 Mode1 Mode4 구간에서의 L_a, L_b 에 흐르는 전류와 i_{cur} 의 파형을 나타낸다.

표 1 시뮬레이션 파라미터
Table 1 Simulation Parameters

V_C	17 [V]	L_a, L_b	0.5 [mH]
V_V	200 [V]	L_{res1}	8 [mH]
C_S	15 [uF]	L_{res2}	2 [mH]
C_{res}	1000 [uF]		

기존의 제어기법을 사용함으로써 그림 3과 같이 전류 상승 시간과 하강 시간에 차이가 있음을 확인하였다. 따라서

commutation 특성을 만족시키지 못한다.

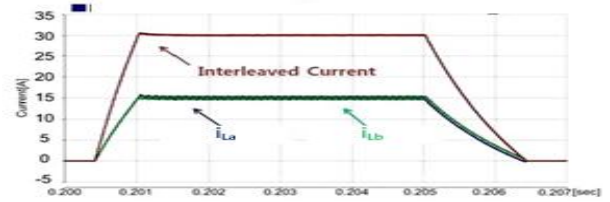


그림 3. 기존 방법의 전류 파형.

fig. 3. Current waveform of the conventional method

제안한 기법을 사용하여 그림 4와 같이 턴 오프 시 전류 하강 시간이 턴 온 시 전류 상승 시간과 유사함을 확인하였다.



그림 4. 제안한 방법의 전류 파형.

fig. 4. Current waveform of the proposed method

4. 결론

본 논문에서는 HVDC 컨버터의 사이리스터 밸브 시험을 위한 STC의 개선된 제어기법에 대해 제안하였다. 사이리스터 밸브의 성능을 평가하기 위해 대전류, 고전압을 공급할 수 있는 전원장치가 필요하다. 또한 사이리스터 밸브의 실제 동작 특성과 유사하게 제어할 수 있어야 한다. 기존의 전류원 회로에서 전류 하강 시간을 제어함으로써 더욱 정확한 HVDC 컨버터의 commutation 특성을 구현하였고, 시뮬레이션을 통해 타당성을 증명하였다.

제안한 제어기법을 기존의 회로에 적용함으로써 사이리스터 밸브 시험용 STC의 신뢰성을 향상시키는데 유용하게 사용될 것으로 기대된다.

참고 문헌

- [1] Power electronic for electrical transmission and distribution systems Testing of thyristor valves for static VAR compensators. (IEC 61954, 1999).
- [2] K. T. Kim, B. M. Han, J. H. Jung, E. C. Nho, Y. H. Chung, and S. T. Baek, "A new synthetic test circuit for testing thyristor valve in HVDC converter," *Transactions of the Korean Institute of Power Electronics*, Vol. 17, No. 3, pp. 191-197 Jun. 2012.
- [3] J. H. Jung, B. J. Goo, H. J. Jeo, E. C. Nho, B. M. Han, Y. H. Chung, S. T. Baek, "A Synthetic Test Circuit for HVDC Thyristor Valve Test with Simplified Turn Off Circuit of Auxiliary Thyristor", *Transactions of the Korean Institute of Power Electronics*, Vol. 19, No. 5, Oct. 2014.