

CPLD 구조를 고려한 게이트 레벨 글리치 제거 방법

김재진^o

^o강동대학교 신재생에너지과

e-mail:dkimijj@gangdong.ac.kr^o

Glitch Removal Method in Gate Level consider CPLD Structure

Jae-Jin Kim^o

^oDept. of New & Renewable Energy, Gangdong University

● 요약 ●

본 논문에서는 CPLD 구조를 고려한 게이트 레벨 글리치 제거 방법에 대해 제안하였다.

CPLD는 AND-OR 게이트의 2단 구조를 가진 LE를 기본 구조로 구성되어 있는 소자이다. CPLD로 구현할 회로에 대한 DAG를 CPLD 구조에 맞도록 그래프를 분할하여 매핑가능클러스터를 생성한다. 생성된 매핑가능클러스터는 내부의 글리치와 전체 회로에 대한 글리치 발생 가능성을 검사하여 글리치를 제거한다. AND게이트와 OR게이트를 사용하는 2단 구조는 게이트가 달라 글리치가 발생될 수 있는 가능성을 검사하기 어렵다는 단점이 있어 AND-OR 게이트의 2단 구조와 동일한 구조를 가지고 있으며 게이트가 동일한 NAND 게이트를 이용하여 전체 회로를 변환한 후 글리치 발생여부를 검사함으로써 정확한 글리치 발생 가능성을 제거한다.

실험 결과는 제안 된 알고리즘 [10]과 비교하였다. 소비 전력이 2 % 감소되어 본논문에서 제안한 방법의 효율성이 입증되었다.

키워드: 글리치(Glitch), CPLD, 매핑가능클러스터(Feasible Cluster), 소비 전력(Power consumption)

I. Introduction

CPLD(Complex Programmable Logic Device)는 디지털 회로를 구현하는데 FPGA(Field Programmable Gate Array)와 함께 가장 많이 사용되고 있는 프로그램 가능한 소자이다. CPLD는 PLA(Programmable Logic Array) 형태의 LE(Logic Element)로 구성되어 있다.[1][2]

디지털 회로를 CPLD로 구현하기 위한 방법으로 최근에 제안된 것을 주어진 디지털 회로를 DAG로 구성한 후 CPLD를 구성하고 있는 LE의 구조에 맞도록 그래프를 분할하여 매핑가능클러스터를 생성하는 방법이 제안되었다.[3]

[3]에서는 매핑가능클러스터 생성 방법과 매핑가능클러스터 내부 또는 생성된 매핑가능클러스터를 이용한 전체 회로에서 발생될 수 있는 글리치를 제거하는 방법으로 경로 균등화 방법을 제안하였다.

이러한 방법은 AND 게이트와 OR 게이트의 지연 특성이 다르다는 특성으로 인하여 전체 회로의 단수(level)이 증가될 수 록 글리치가 발생될 가능성이 높아지는 단점이 있다.

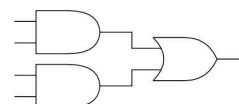
따라서 본 논문에서는 이러한 단점을 해결하기 위해 모든 게이트를 NAND 게이트로 통일하여 지연특성을 동일하게 설정하여 회로 전체에 글리치를 제거할 수 있는 방법을 제안하였다.

II. Preliminaries

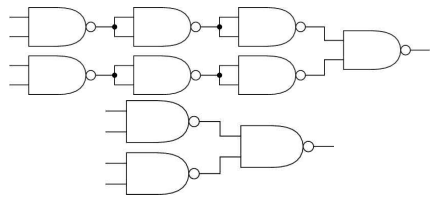
1. Related works

1.1 NAND 게이트

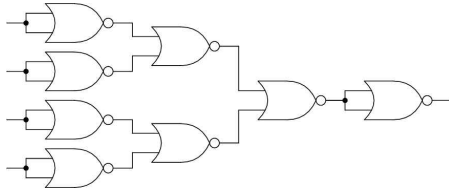
디지털 회로를 구성하고 있는 다양한 게이트들은 각각의 동작과 구조에 맞도록 지연시간과 특성이 정해져 있다. 이러한 게이트들의 특성을 모두 포함하여 한 종류의 게이트만으로 회로를 구현할 수 있는 게이트는 NAND 게이트와 NOR 게이트가 있다. CPLD를 구성하고 있는 LE는 AND-OR의 2단 구조로 되어 있으며, 이러한 구조에 맞도록 NAND 게이트와 NOR 게이트로 구성했을 때 그림 1과 같이 회로의 단수가 증가되지 않으면서 한 종류의 게이트만으로 구성할 수 있는 것은 NAND 게이트이다. 따라서 본 논문에서는 이러한 특성을 이용하여 모든 회로를 NAND 게이트로 변환한 후 글리치 발생여부를 검색한다.



(a) AND-OR 2단 구조



(b) NAND 게이트 변환



(c) NOR 게이트 변환

그림 1. 게이트 변환

캡처한 그림을 그림 2에 나타내었다. 실험결과는 <표 1>에 나타내었다.

```

: Parallel Compilation :
: Processors : Number :
: Number detected on machine : 4 :
: Maximum allowed : 4 :
: Average used : 1.00 :
: Maximum used : 4 :
: Usage by Processor : % Time Used :
: 1 processor : 100.0% :
: 2-4 processors : < 0.1% :

: PowerPlay Power Analyzer Summary :
: PowerPlay Power Analyzer Status : Successful - Mon Dec 09 14:32:16 2016 :
: Quartus II Version : 11.0 Build 157 04/27/2011 SJ Web Edition :
: Revision Name : altera :
: Top-level Entity Name : top_altera :
: Family : Cyclone IV E :
: Device : EP4CE10K23C8 :
: Power Models : Final :
: Total Thermal Power Dissipation : 26.9 mW :
: Core Dynamic Thermal Power Dissipation : 0.00 mW :
: Core Static Thermal Power Dissipation : 11.3 mW :
: I/O Thermal Power Dissipation : 15.72 mW :
: Power Estimation Confidence : Low: user provided insufficient toggle rate data :
    
```

그림 2. 실험 결과 레포트

1.2 글리치

글리치는 입력에서 출력까지의 신호 경로가 다르고 게이트의 종류에 따라 지연 시간 등이 다르기 때문에 발생된다. 따라서 글리치를 제거하기 위해서는 최장 경로를 검색하여 모든 경로의 지연시간과 게이트 단수 등을 동일하게 맞추는 방법이 가장 일반적인 글리치 제거 방법이다.[4]

III. Glitch Removal

본 논문에서 제안한 글리치 제거 방법은 다음과 같은 순서로 구성되어 있는 알고리즘이다.

Step 1) 주어진 디지털 회로를 2단 구조로 변경한 후 모든 게이트는 NAND 게이트만으로 재변환한다.

Step 2) 변환된 회로의 단수를 PO(Primary Output)에서 PI(Primary Input) 방향으로 계산한다.

Step 3) PI(Primary Input)에서 PO(Primary Output)방향 노드 값과 노드의 출력 수를 계산한다.

Step 4) 노드의 출력 수가 가장 많은 노드에서 적은 수로 정렬한다.

Step 5) 노드의 출력 수가 가장 많은 노드를 대상으로 매핑가능클러스터를 생성한다.

Step 5-1) 동일한 수의 출력을 가진 노드가 2개 이상 존재할 경우 단수가 높은 노드에 대해 우선 매핑가능 클러스터 생성한다.

Step 5-2) 노드의 출력 수와 단수가 동일할 경우에는 노드 값이 큰 노드를 대상으로 매핑가능클러스터를 생성한다.

Step 6) 생성된 매핑가능클러스터 내부의 단수를 계산하여 글리치 발생 가능성 여부를 판단하고, 가능성이 있을 경우 경로 균형을 실시한다.

Step 7) 글리치가 제거된 매핑가능클러스터들을 대상으로 전체 회로에 대한 글리치 발생여부를 판단하고 가능성이 있을 경우 경로 균형을 실시한다.

IV. Experiment

본 논문에서 제안한 방법의 효율성을 검증하기 위해 [3]에서 실험한 회로를 대상으로 소모 전력을 비교하였다. 회로구현을 위한 장비는 [3]과 동일하게 한백전자의 HBE-Combo II-DLD로, 프로그램 툴은 Quartus 2를 사용하였다. 실험결과 레포트(report) 파일의 일부를

<표 1> 실험결과

	[3]		제안한 방법	
	block	power	block	power
alu2	61	4,7	61	4,6
alu4	214	19,8	212	19,5
dalu	561	24,5	578	24,6
ex5p	141	10,2	140	9,9
duke2	73	6,8	73	6,7
t481	111	18,7	105	17,7
cps	162	23,4	157	22,1
apex4	148	22,8	147	22,7
misex3	148	24,8	149	24,8
psdes	172	27,1	170	26,9
sort	102	17,7	103	17,6
Total	1893	200,5	1,895	197,1

IV. Conclusions

본 논문에서 제안한 글리치 제거 방법은 CPLD로 구현할 회로의 소모 전력을 줄이는데 유용하게 사용될 수 있는 방법이다. 제안된 방법에 대한 실험 결과 [3]에 비해 1.3% 소모 전력이 감소된 결과를 나타내어 효율성이 입증되었다.

References

[1] The Altera Data Book, Altera Corporation, 1996
 [2] ACT 1 Series FPGAs Data Sheet, Actel Corporation, 1996
 [3] Jae-Jin Kim, "A low power algorithm using a feasible cluster generation method considered glitch", The Korea Society of Digital Industry & Information Management Vol. 12, No. 2, pp.7-14, 2016
 [4] Kwan-Houng Lee, Jin-Gu Kang, Nam-Seo Park, Choong-Mo Yun, Jae-Jin Kim, "A Low Power Communication Circuit Design using Selective Glitch Removal Method", FGNC2008, pp. 51-56, 2008