

전원 무결성을 이용한 전자식 엔진 마운트 시스템 개발

정명수*, 장재민*, 문창수*, 류현기*, 오상훈**

*재단법인경북차량용임베디드기술연구원

**평화산업 주식회사

e-mail: ms.jungn@givet.re.kr

Development of Electronic Engine Mount System using for Power Integrity

Myeong-Su Jeong, Jae-Min Jang*, Chang-Su Moon*, Hyun-Ki Ryu*, Sang-Heun Oh**

*Gyeongbuk Research Institute of Vehicle Embedded Technology

**Pyung-Hwa Industrials

요 약

전원 무결성은 PCB의 구조적 공진이 노이즈와 직접적으로 관련이 되어있고, 구조 해석을 위하여 전장 해석법을 이용하게 된다. 전원 무결성 과정은 PCB의 공진해석을 통해 공진 발생 위치 및 주요 선로의 임피던스 분석을 하고 Decoupling 캐패시터와 레이아웃 수정을 통해 목표한 임피던스 값보다 낮아지도록 수정과 해석을 반복하는 작업이다. 제안된 방법을 통하여 PCB 제작 이전에 전자파 성능을 예측하고 개선하여 설계비용을 절감하고 신뢰성을 향상 시킬 수 있을 것으로 판단된다.

1. 서론

디지털 제품들의 크기가 점점 작아지고, 속도는 점점 빨리지는 상황에서 기존 제품에서 발생하지 않았던 오작동들이 발생한다. 이러한 문제들의 원인 중 하나가 Chip들 간에 신호가 제대로 전달되지 않기 때문이다. 자동차 전장의 회로 및 시스템 또한 고속으로 발전하고 있고, 필연적으로 PCB(Printed Circuit Board)의 노이즈에 대한 해결이 어려워지고 있다. 기본적으로 노이즈 소스를 최소화하는 것이 필요하지만 복잡한 전자회로 PCB에서 노이즈 소스 자체를 제거하는 것은 현실적으로 어려운 일이다. 이런 문제들은 제품 설계 단계에서 적절하게 예측해서 대응하는 것이 필수적으로 요구된다[1]. 실제로 전자 시스템과 PCB엔지니어가 할 수 있는 일은 발생이 예측되는 노이즈를 최대한 억제하고 제어함으로써 노이즈의 확산과 전달을 최소화하는 PCB를 구성하는 일이고, 방법은 두 가지가 있다. 첫 번째로 전력을 전달하는 PDN(Power Delivery Network), 즉 VDD로부터 각 능동회로의 전원부까지 연결되는 전력 전송로가 깨끗해야 하고, 두 번째로는 그에 따라 주요한 데이터 선로간의 간섭을 최소화하고 불필요한 노이즈를 최소화해야 한다.

본 논문에서는 엔진 진동을 저감할 수 있는 전자식 엔진 마운트 시스템의 국내 전자파 요구사항을 만족하고 기존의 방법 보다 신뢰성 있는 시스템을 설계하고자 CAE(Computer Aided Engineering)중 전원 무결성 방법을 적용하였다[3]. 전자식 엔진 마운트 시스템 차량 주행 시 진동소음(NVH)저감을 위한 장치로써 차량 엔진으로부터

터 발생되어 차체로 전달된 진동을 감지하여 진동을 상쇄 시킴으로써 승차감을 향상시키게 할 수 있는 시스템이다. 입력전압은 +12V이고, 전류는 구동기의 부하에 따라 0.5~3A로 구동한다. 시뮬레이션은 ANSYS SIwave를 사용하였으며, 이를 통하여 전자파 성능을 예측하고 개선하여 설계 비용을 절감하고 신뢰성을 향상 시킬 수 있는 방법을 제시하고자 한다.

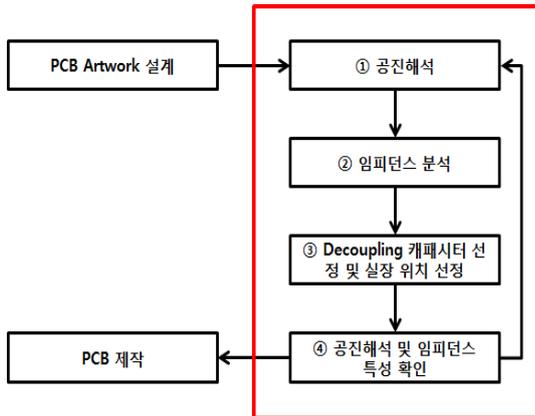
본 논문의 구성은 2장에서 제안하는 기술에 대해서 설명한다. 그리고 3장에서는 전원 무결성을 적용한 결과에 대해 설명하고, 4장에서는 결론 및 향후 연구과제에 대해서 기술한다.

2. 제안하는 기술

2.1 전원 무결성(Power Integrity)

PCB 설계의 조건이 까다로워지면서 PCB 제작 횟수 증가로 인한 시간과 비용 손실, 개발 지연에 따른 인건비 증가 및 Time to Market 기회를 상실하고 있다. 따라서 이러한 문제를 해결하기 위해서는 PCB가 제작되기 전 상호 Chip들 간 신호들이 어떻게 전달되고 있는지 미리 분석한 후 디버깅하여 최적의 PCB를 디자인할 수 있도록 하는 것이 전원 무결성이다. 전원 무결성은 PCB의 성능 및 동작 주파수가 높아짐에 따라 전원 공급의 중요성이 증가하고 이에 따른 분석의 필요성이 증대되고 있다[2]. 전원 무결성은 PCB의 구조적 공진이 곧 노이즈와 직접적으로 관련이 되어있고, PCB의 전원과 그라운드면의 구조적인 공진을 찾기 위한 공진해석부터 시작하게 되며, 구조

해석을 위하여 전자장 해석법을 이용하게 된다. 전원 무결성 과정은 그림 1과 같다.



(그림 1) 전원 무결성 과정

① 공진해석

PCB에서 고주파의 민감한 영향을 미치는 공진은 그라운드 면과 파워 면 또는 그라운드 면 사이에서 발생하는 모드 공진을 얘기하며, 특정 주파수의 공진은 노이즈 결합 및 EMC 문제를 유발하게 된다. 그러므로 PCB에서의 모드 공진과 노이즈 신호 주파수 사이의 관계를 분석할 필요가 있다. Q값은 공진 모드의 주파수 민감성 및 모드의 지속 가능성을 나타내는 지표로 보통 Quality-Factor와 같은 개념의 값이다. Q값은 Plane의 모드 공진에 의해 저장되는 에너지와 손실 에너지의 비율에 해당되는 값이며 주파수 선택도와 연관된 값이다. 그림 2에서와 같이 공진 모드에서는 R과 B가 모드 전압이 걸리는 위치이며 G 영역은 모드 전압이 걸리지 않는 영역이다. 모드 플롯은 +1V, -1V로 정규화 되어 있고 시간에 따라 변하는 위상을 나타내므로 빨간색과 파란색은 같은 결과의 영역이다.

② 임피던스 분석

공진해석을 통하여 PCB상에서 공진영역을 찾았다면 그 위치에 측정용 Port를 추가한 후 임피던스 분석을 통해 각 위치에서의 주파수 별 임피던스 변화를 확인해야 한다. 특정 주파수에서 임피던스가 급격히 높아지는 것은 공진이 크게 발생하는 지점을 의미하며, 이는 작은 전류 노이즈라도 큰 임피던스와 곱해져서 전압 노이즈로 발생할 수 있다. 임피던스 분석은 입력 임피던스 또는 전달 임피던스를 주파수 Sweep에 의해 주파수에 대한 결과 값으로 추출하고 데이터 시트에 주어지는 스펙으로부터 계산된 Target 임피던스와 비교한다. Target 임피던스를 구하는 계산식은 아래와 같다.

$$Z_{target} = \frac{(Power^{ply} Voltage) \times (Allowed Ripple)}{Current}$$

③ Decoupling 캐패시터 선정

전원의 흔들림을 억제하여 일정한 전압을 유지하도록 하기 위해 캐패시터를 사용한다. 이때 캐패시터는 노이즈 신호단과 그라운드 사이에 연결하게 되는 캐패시터가 노이즈 연결단과 그라운드 사이의 AC 경로가 되므로, 순간적으로 스위칭 된 전류를 그라운드로 흘려줌으로써 전압의 리플이 발생하는 것을 줄여주게 된다. 캐패시터를 선택할 때는 캐패시터의 용량(C), 등가 직렬 기생 저항(ESR), 그리고 등가의 직렬 기생 인덕턴스(ESL)를 고려하여 선택하여야 한다. 캐패시터의 직렬 기생 인덕턴스(ESL) 값은 용량(C)과 직렬로 연결되어 직렬 공진을 하는 주파수가 존재하며 그 주파수 이상의 주파수에서는 인덕터(L)에 의한 임피던스 증가치가 커지게 되어 바이패스용 캐패시터로써 동작하지 못하게 되기 때문이다.

④ 공진해석 및 임피던스 특성 확인

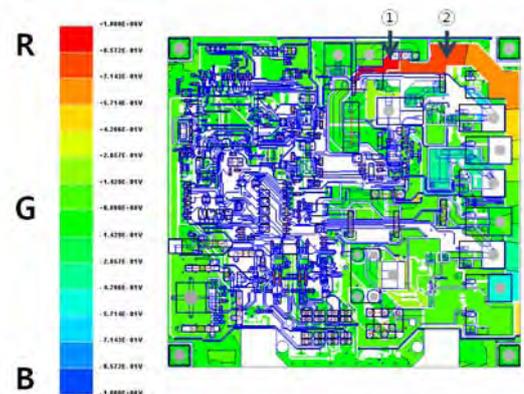
Decoupling 캐패시터와 레이아웃 수정을 통해 목표한 임피던스 값보다 낮아지도록 수정과 반복한다. 이러한 과정을 거치면서 노이즈에 취약한 전원부위를 보강함으로써 깨끗한 전원신호를 구성할 수 있고, 측정으로는 발견하기 힘든 문제점을 이론적으로 찾아내어 해결할 수 있다. 또한 PCB를 제작하기 전 미리 구조적인 문제를 해결함으로써 불필요한 재설계 비용을 최소화하고 개발시간을 단축할 수 있다.

3. 전원무결성(Power Integrity) 결과

표 1에서 공진 모드 1은 +12V Power Plane에서 발생할 수 있는 공진모드를 나타낸 것이다. 그림 2는 공진 모드 1의 345.5MHz의 공진 모드이며 ①, ② 부분이 공진하는 부분이 된다. 그러므로 ①, ② 주위에 345.5MHz 노이즈 신호가 발생할 경우 EMI 및 PCB 노이즈를 발생하게 된다.

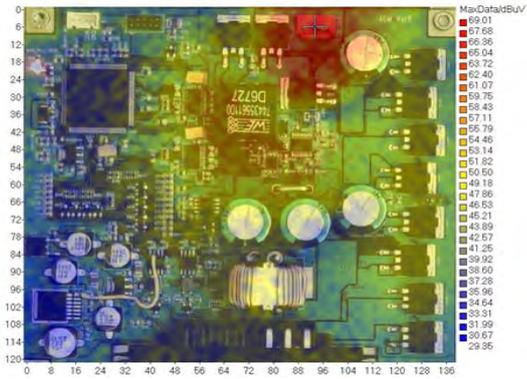
(표 1) 공진주파수 및 분포 영역

Mode	주파수(MHz)	Q
1	345.5	60



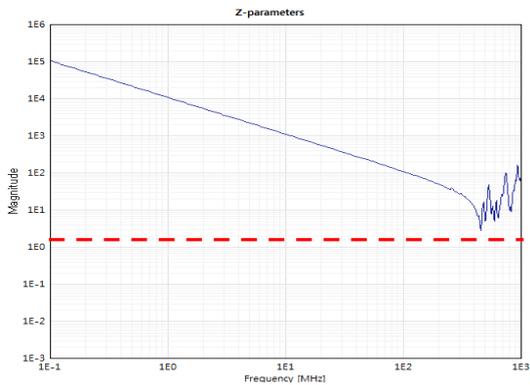
(그림 2) 345MHz 대역에서의 공진분포

그림 3은 전원 무결성을 적용하기 전 제작된 PCB를 활용하여 EMI 측정을 한 결과이다. EMI 측정은 PCB에서 발생하는 Emission의 발생 장소 및 분포를 정밀하게 측정할 수 있는 RCE-40를 사용하여 30~1000MHz 주파에서의 Near-Field 분석을 진행하였다. 측정방식은 기판의 Scan Area를 지정하여 제품의 가장 높은 지점에서부터 1mm 떨어진 높이에서 EMI 측정을 진행하였다. EMI 분포는 레귤레이터와 모터 드라이버 부분에서 높은 dBuV를 확인할 수 있으며, 표 1의 공진모드 345.5MHz 대역의 공진분포와 비슷한 결과를 확인할 수 있었다.



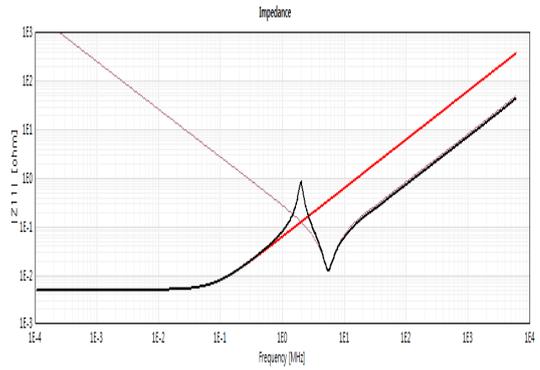
(그림 3) EMC Scanner 분석 결과

전자식 엔진 마운트 시스템의 +12V 전원면에 전류가 1A가 소비되고, 허용 리플은 10%로 관리 되므로 +12V 전원 면의 Target 임피던스는 1.2Ω이 된다. 그림 4의 결과에서 전 주파수 대역이 공진에 의한 임피던스가 1.2Ω을 초과하고 있음을 확인할 수 있다.



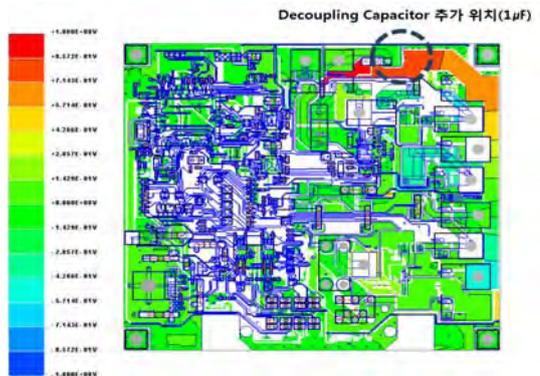
(그림 4) 전원부 임피던스 분석

전 주파수 대역에서의 임피던스 특성을 낮추기 위해서는 그림 5와 같은 임피던스 특성을 가지는 1μF (GRM185R61E105KA12) 캐패시터를 추가한다.



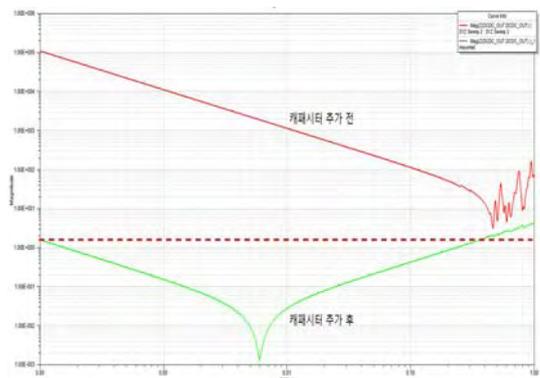
(그림 5) GRM185R61E105KA12 임피던스 특성

캐패시터의 추가 실장 위치는 공진 발생을 억제하고 임피던스를 안정시킬 수 있는 위치여야 하며, 본 논문의 시스템 보드에는 그림 6의 위치에 추가하였다[3].

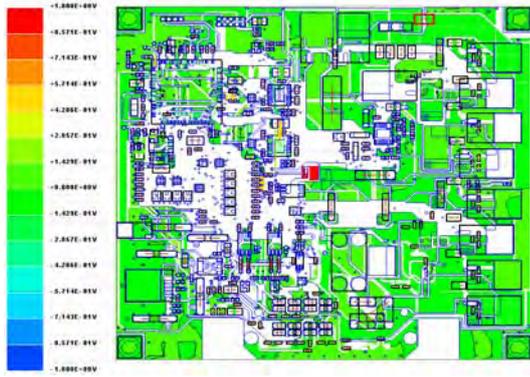


(그림 6) GRM185R61E105KA12 추가 위치

+12V 전원 면의 임피던스 특성은 전 주파수 대역에서 임피던스가 1.2Ω 이상이었던 것이 GRM185R61E105KA12 추가 후 그림 7과 같이 임피던스 특성이 낮아지는 것을 확인할 수 있다. 또한 공진해석을 한 결과 그림 8과 같이 345.5MHz 대역에서 공진주파수가 제거되었음을 알 수 있다.



(그림 7) GRM185R61E105KA12 적용 후 임피던스 특성



(그림 8) GRM185R61E105KA12 적용 후 공진 해석

3. 결과

본 논문에서는 전자식 엔진 마운트 시스템을 대상으로 특정 주파수의 공진해석 및 임피던스 특성과 해결방법을 설명하였다. 제안된 방법을 통하여 보드 제작 이전단계에서 전자파 성능을 예측하고 개선하여 설계비용을 절감하고 신뢰성을 향상 시킬 수 있을 것으로 판단된다.

향후 연구에서는 본 논문에서 다루지 못했던 다른 주파수 영역에서의 공진해석과 임피던스 특성에 대한 문제점을 해결할 예정이다. 또한 실제 캐패시터를 적용하여 개선된 PCB를 제작하여 전자파 시험을 진행하여 전원 무결성의 적용 전 후를 결과를 비교하고자 한다.

감사의 글

본 연구는 산업통장자원부와 한국산업기술진흥원이 지원하는 경제협력권산업육성사업으로 수행된 연구결과입니다.

참고문헌

- [1] 유종관·나완수, “PCB 및 IC회로에서의 EMC 기술 연구 동향”, 한국전자과학회지
- [2] 남윤찬·김진호·김문정, “다층 인쇄회로기판의 전원무결성 분석”, 대한전자공학회 추계학술대회
- [3] 김성규·정태환·정진환·이기상, “PI(Power Integrity)해석을 통한 HPCU(Hybrid Power Control Unit) 전자파 성능 향상”, 한국자동차공학대회