

소스 영역으로 오버랩된 TFET의 Channel 도핑 변화 특성

이주찬, 안태준, 유운섭*

한경대학교 전기전자제어공학과

Channel Doping Effect at Source-Overlapped Gate Tunnel Field-Effect Transistor

Ju-Chan Lee, Tae-Jun Ahn, Yun Seop Yu*

Dept. of Electrical, Electronic and Control Eng., Hankyong National University

E-mail : dlwncks2001@gmail.com

요 약

터널 전계 효과 트랜지스터(tunnel field effect transistor; TFET)의 게이트를 소스 영역으로 오버랩 시킨 구조에서 가우시안으로 P형 도핑한 경우의 전류특성을 조사했다. 제안된 구조는 채널을 P형 도핑하여 험프를 제거하고 가우시안 도핑하여 드레인 벌크영역에서 나타나는 역방향성(ambipolar) 전류를 최소화시켰다. 소스-채널-드레인을 P-P-N으로 구성된 TFET의 구동전류는 P-I-N TFET와 동일하나 문턱전압 이하 기울기(Subthreshold Swing; SS)에서 5배 높은 효율이 관찰되었으며 차단전류는 가우시안 도핑 결과가 일정한 도핑에 비해 약 10배 감소하였고, 역방향성 전류는 100배 감소하였다.

ABSTRACT

Current-voltage characteristics of source-overlapped gate tunnel field-effect transistor (SOG-TFET) with different channel doping concentration are proposed. Due to the gaussian doping in which the channel region near the source is highly doped and that far from the source is lightly doped, the ambipolar current is reduced, compared with the uniformly-doped SOG-TFET. On-current is almost similar in P-P-N and P-I-N structure but subthreshold swing (SS) of P-P-N TFET enhanced 5 times higher than those of P-I-N TFET. off-current and ambipolar current of the proposed SOG-TFET decrease 10 times and 100 times than those of the uniformly-doped SOG-TFET.

키워드

터널 트랜지스터, 라인 터널링, 포인트 터널링, 도핑 농도, 역방향성 전류

I. 서 론

TFET(Tunnel Field-Effect Transistor)에 대한 연구는 이미 문턱전압 이하 기울기와 차단전류에서 MOSFET보다 더 높은 성능이 관찰되었다[1]. 하지만 TFET는 MOSFET보다 구동전류가 낮다는 단점으로 실용화되는데 많은 어려움이 있기 때문에 라인터널링을 극대화 시킨 구조에 대한 연구가 활발히 이루어 지고 있다. 게이트를 소스 영역으로 오버랩 시킨 터널 전계효과 트랜지스터가 대표적인 예로 사용되는데 위 구조의 경우 포인트 터널링의 문턱전압이 라인터널링보다 낮기 때문에 나타나는 험프현상으로 낮은 효율이 관찰되었다[2]. 본 논문에서는 채널 영역의 도핑 농도 및 분포를 조절하여 험프를 제거시키는 방법을 제안한다. 제안된 방법의 문턱전압이하 기울기(subthreshold swing; SS), 구동전류, 차단전류, 역방향성 전류의 변화를 관찰하였으며 기존의 Planner TFET의 단점을 보완하는 연구에 새로운

가이드 라인을 제시한다.

II. TFET 구조 및 시뮬레이션 모델

그림1(a)는 소스 영역으로 오버랩된 TFET를, 그림1(b)는 가우시안 도핑에 따른 불순물 분포를 도식화 한 것이다. 산화막은 하프늄 옥사이드 물질을 2 nm 두께(T_{oxide})로 사용하였다. 소스(L_{source}), 드레인(L_{drain}) 영역의 길이는 각각 50 nm로 사용하였다. 실리콘의 두께(T_{body})는 10 nm로 설정하였으며, 채널의 길이($L_{channel}$)는 단채널 효과가 관찰되지 않도록 50 nm로 설정하였다[3]. 일반적인 Planner TFET의 경우 P-I-N 도핑이 일반적이지만, 제안된 구조에서는 그림1(b)와 같이 P-P-N 도핑을 사용하였다. 이때 채널의 P영역은 가우시안 도핑을 사용하였으며 소스와 인접한 영역의 도핑 농도는 높게, 드레인과 인접한 영역의 도핑 농도는 낮은 상태가 되도록 설계하였다. 본 구조는 Silvaco의 ATLAS[4]를 사용하여 시뮬레이션 되었

다. 터널링 관련 모델은 BBT.nonlocal, 이동도에서는 cvt 모델을 사용하였다. 재결합은 conshr, auger 모델을 사용하였고, 축퇴 현상을 고려하여 bgn 모델을 사용하였다.

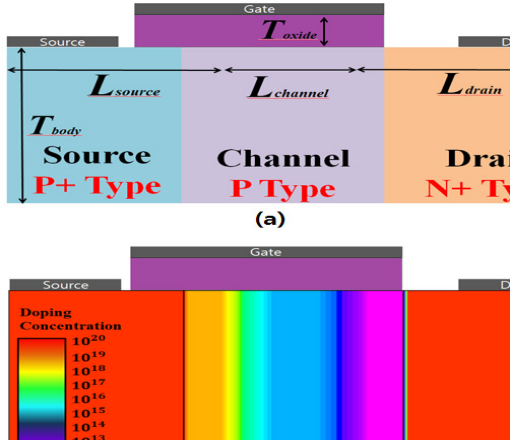


그림 1 (a) 소스 오버랩된 TFET 구조
(b) 제안된 구조의 가우시안 도핑 농도

III. 시뮬레이션 결과

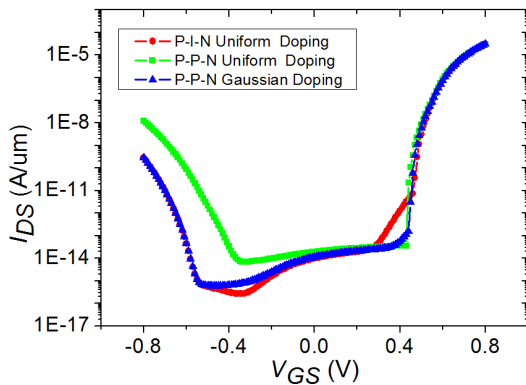


그림 2. 채널을 가우시안 도핑한 구조와 일정한 도핑을 한 구조의 전류 전압 특성곡선

그림2는 P-I-N 도핑구조와 P-P-N 구조의 일정 도핑 및 가우시안 도핑 상태에서의 전류 전압 특성곡선을 비교한 것이다. 가우시안 도핑은 채널 영역의 도핑은 소스 접합면 $5 \times 10^{18} \text{ cm}^{-3}$ 에서 드레인 접합면 $1 \times 10^{12} \text{ cm}^{-3}$ 까지 감소하도록 설계하였다. 구동전류는 $3.13 \times 10^{-5} \text{ A}/\mu\text{m}$, 차단전류는 약 $1.2 \times 10^{-14} \text{ A}/\mu\text{m}$ 로 모두 동일하게 관찰되었다. SS는 P-P-N 구조에서 4 mV/dec, P-I-N 구조에서 22 mV/dec로 나타났으며 역방향성 전류는 P-P-N 일정 도핑 구조에서 $1.2 \times 10^{-8} \text{ mA}/\mu\text{m}$, 제안

된 가우시안 도핑 구조에서 $2.9 \times 10^{-10} \text{ mA}/\mu\text{m}$ 로 관찰되었다.

IV. 결론

본 논문에서는 소스 오버랩 Planner TFET 구조의 채널 영역에 가우시안 분포를 갖는 P-Type의 높은 도핑을 하여 험프 현상을 제거하면서 역방향성 전류를 최소화 시킨 구조의 구동전류 및 차단전류와 문턱전압을 관찰하였다. 제안된 구조의 역방향성 전류는 $1.08 \times 10^{-10} \text{ A}/\mu\text{m}$ 까지 감소하였으며 구동전류는 $3 \times 10^{-5} \text{ A}/\mu\text{m}$, 차단전류는 $1.2 \times 10^{-14} \text{ A}/\mu\text{m}$ 로 나타났다. SS는 4 mV/dec로 높은 효율이 관찰되었다.

참고문헌

[1]C. Y. choi, B. G. Park, "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec," *IEEE Electron Device Letters*, Vol.28, pp.743-745, July 2007.
 [2]이주찬, 안태준, 심인성, 유윤섭, "소스영역으로 오버랩된 게이트 길이 변화에 따른 터널 트랜지스터의 터널링 전류에 대한 연구," 한국정보통신학회 2016년 춘계학술대회, pp.0611-0613, October 2016.
 [3]N. D. Chien, C. H. Shih, "Short-channel effect and device design of extremely scaled tunnel field-effect transistors," *Microelectronics Reliability*, Vol.55, pp.31-37, January 2015.
 [4]ATLAS Users Manual, Silvaco Int., Santa Clara, CA, 2014.