

배열 안테나 기반 협대역 간섭신호 제거를 위한

저면적 FFT 프로세서 설계 연구

양기정* · 원현희* · 박성열* · 안병선* · 강행익*

*LIG넥스원 핵심기술연구소

Design of Low-complexity FFT Processor

for Narrow-band Interference Signal Cancellation Based Array Antenna

Gi-jung Yang* · Hyun-Hee Won* · Sungyeol Park* · Byoung-Sun Ahn* · Haeng-Ik Kang*

*LIG Nex1 Co., Ltd., 207, Mabuk-ro, Giheung-gu, Yongin-si, Gyeonggi-do 446-798, Korea

E-mail : gjjung.yang@lignex1.com

요 약

본 논문에서 배열 안테나 기반 협대역 간섭신호 제거를 위한 저면적 FFT 프로세서 구조를 제안하고 5채널 64/128/512-point FFT 프로세서를 하드웨어로 구현 및 검증하였다. 제안된 flexible-Multipath Delay Commutator(MDC) 방식을 이용하여 5채널 입력 데이터를 하나의 FFT 프로세서로 처리했으며, 제안된 Mixed Radic-4/2/4/2/4/2 분해 방법을 통해 복잡도 측면에서 가장 큰 비중을 차지하는 비단순 승산의 수를 줄임으로써 복잡도를 크게 낮추었다. 제안된 FFT 프로세서는 Xilinx system generator로 설계한 후, Xilinx Virtex-7 FPGA에 기반하여 구현하였다. 구현 결과 slices 17508개, DSP48s(dedicated multiplier) 108개로 구현 가능성을 확인하였다.

ABSTRACT

In this paper, a low-complexity FFT processor is proposed for narrow-band interference signal cancellation based array antenna. The proposed FFT processor can support the variable length of 64, 128 and 512. By reducing number of non-trivial multipliers with mixed radix-4/2/4/2/4/2 algorithm and flexible multi-path delay commutator(MDC) architecture, the complexity of the proposed FFT processor is dramatically decreased. The proposed FFT processor was designed in Xilinx system generator and Implemented with Xilinx Virtex-7 FPGA. With the proposed architecture, the number of slices for the processor is 11454, and the number of DSP48s is 194.

키워드

GPS, Interference, FFT, Flexible, MDC

I. 서 론

현재 global positioning system(GPS)는 항법장치에서 가장 널리 쓰이고 있다. 하지만 이러한 GPS는 특정 세기 이상을 갖는 동일 주파수 대역의 간섭신호에 취약한 단점을 가지고 있기 때문에 간섭 신호가 있는 환경에서 안정적으로 GPS 신호를 수신할 수 있도록 하는 기술은 대단히 중요하다 할 수 있다.[1,2] 본 논문에서는 수신된

GPS 신호에서 협대역 간섭 신호가 존재할 경우, 배열 안테나 기반 협대역 간섭신호를 제거하기 위한 최적의 FFT 프로세서 구조를 제안하고 하드웨어 구현 및 검증 결과를 분석한다.

II. 본 론

N-point discrete Fourier transform (DFT)의 식을 정의하면 다음과 같다.

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk}, \quad (0 \leq n < N, 0 \leq k < N) \quad (1)$$

하나의 FFT 프로세서로 64/128/512-point 가변 지원 및 연산 과정에 발생하는 twiddle factor (TF) 비단순 승산을 최적화하기 위해 MR-4/2/4/2/4/2 알고리즘을 제안하였으며, 이 분해 방법을 이용하여 수식 (2)와 같이 정리할 수 있다. R₄는 radix-4, R₂는 radix-2를 의미하며, T_i는 각 radix 분해에 따른 TF이다. 수식 (2)를 통해 512-point FFT는 4-point FFT와 128-point FFT로, 128-point FFT는 2-point FFT와 64-point FFT로 연산됨을 확인할 수 있다. 즉, 제안된 분해 방법을 통해 하나의 FFT 프로세서를 이용하여 다양한 크기의 FFT 연산을 지원할 수 있음을 의미한다. TF는 각 FFT 크기에 따라 변수의 값이 달라져 다양한 FFT 연산에 맞는 TF 인덱스가 결정됨으로써 발생하는 TF 비단순 승산을 최적화시켰다.

$$\begin{aligned} n &= \frac{N}{4}n_1 + \frac{N}{8}n_2 + \frac{N}{32}n_3 + \frac{N}{64}n_4 + n_5 \\ k &= k_1 + 4k_2 + 8k_3 + 32k_4 + 64k_5 \\ &\sum_{n=0}^{511} x(n) W_{512}^{nk} \\ &= \sum_{n_5=0}^7 \left(\sum_{n_4=0}^1 \left(\sum_{n_3=0}^3 \left(\sum_{n_2=0}^1 \left(\sum_{n_1=0}^3 X R_4 \right) T_1 \right) R_2 \right) T_2 \right) R_4 T_3 R_2 T_4 R \\ X &= x [512n_1 + 128n_2 + 64n_3 + 16n_4 + n_5] \\ R_4 &= W_4^{n_1 k_1}, R_2 = W_2^{n_2 k_2}, R = W_8^{n_3 k_3} \\ T_1 &= W_8^{n_4 k_1}, T_2 = W_{64}^{(2n_3 + n_1)(k_1 + 4k_2)}, T_3 = W_8^{n_4 k_3} \\ T_4 &= W_{512}^{n_5(k_1 + 4k_2 + 8k_3 + 32k_4)} \end{aligned} \quad (2)$$

그림 1은 협대역 간섭신호 제거 프로세서의 하드웨어 구조를 도시한다. 크게 FFT, Tone jammer nulling, IFFT 구조로 되어 있으며, 제안된 FFT 프로세서 구조는 4배 up-sampling, data mapping unit(DMU), radix-4/2 butterfly unit 1(R42BU1), R42BU2, R42BU3, data reordering unit(DRU), 4배 down sampling으로 구성된다. 처음 FFT 입력에서 4배 up sampling을 함으로써 5채널 입력 신호 처리하는 타이밍 확보를 하였으며, 또한 하나의 R42BU으로 radix-4, radix-2 신호처리를 할 수 있다. 이는 하드웨어 복잡도를 크게 낮추는 효과를 볼 수 있다는 의미를 가진다. 3개의 R42BU은 4 stream 신호를 처리할 수 있는 MDC 방식으로 구현하였으며, radix-4 혹은 radix-2 동작 여부는 n_point_sel 신호의 의해 결정된다. Up-sampling 된 5채널 입력 데이터는 DMU을 통해 FFT 크기에

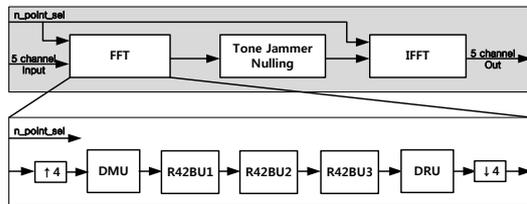


그림 1. 협대역 간섭신호 제거 프로세서

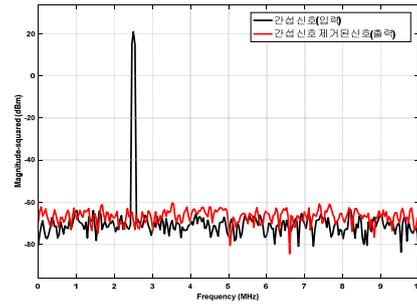


그림 2. 간섭신호 제거 전/후

맞는 정확한 길이의 4stream신호로 재구성되어 다음 단계에 입력된다. 만약 512-point FFT 일 경우, 재구성되어진 4개의 데이터가 R42BU1에 입력되며, 512-point FFT 연산이 이루어진다. 128-point FFT 일 경우 DMU 출력 신호가 R42BU1에 입력되며, 64-point FFT 일 경우 R42BU2에 입력되어 각 크기에 맞는 FFT 연산이 이루어진다. DRU은 연산되어진 데이터들을 재정렬(re-ordering) 해 준다. Tone jammer nulling 블록은 입력 신호 파워 평균값에서 5배 이상 큰 주파수 bins을 제거하도록 구현하였다.

그림 2는 협대역 간섭 신호 제거 프로세서를 구현한 시뮬레이션의 입/출력을 보여준다. 입력된 간섭 신호가 협대역 간섭신호 제거 프로세서를 통과한 후 제거되었음을 확인할 수 있다.

III. 결 론

본 논문에서 배열 안테나 기반 협대역 간섭신호 제거를 위한 저면적 FFT 프로세서 구조를 제안하고 하드웨어로 구현 및 검증하였다. Flexible-MDC 방식을 이용하여 5채널 입력 데이터를 하나의 FFT 프로세서로 처리하였으며, 제안된 MR-4/2/4/2/4/2 분해 방법을 통해 비단순 승산의 수를 줄임으로써 복잡도를 크게 낮추었다. 제안된 FFT 프로세서는 Xilinx system generator로 설계한 후, Xilinx Virtex-7 FPGA에 기반하여 구현하였고, 구현 결과 slices 17508개, DSP48s 108개로 구현 가능함을 확인하였다. 따라서, 제안된 FFT 프로세서 구조는 배열 안테나 기반 협대역 간섭신호 제거를 위한 최적의 FFT 프로세서 구조로 판단된다.

참고문헌

[1] E. D. Kaplan, Understanding GPS; Principles and Applications, Artech House, 2002.
 [2] D. W. Lim, "Case study of incidents by Interferences and trend for monitoring techniques," Current Ind. Technol Trends in Aero space, vol. 11, pp. 129-176, Jul. 2013.