

시간-디지털 변환기에서 디지털 변환 에러 분석

최진호 · 임인택

부산외국어대학교

Digital Conversion Error Analysis in a Time-to-Digital Converter

Jin-Ho Choi · In-Tack Lim

Busan University of Foreign Studies

E-mail : jhchoi@bufs.ac.kr

요 약

일반적인 카운터 타입의 시간-디지털 변환기에서 시간간격 신호와 클럭신호의 비동기로 인하여 디지털 변환에러가 발생한다. 클럭의 주기를 T_{CLOCK} 라고 하면, 시간간격 신호의 시작신호와 클럭의 비동기로 인하여 최대 T_{CLOCK} 의 변환에러가 발생한다. 그리고 시간간격 신호의 멈춤신호와 클럭의 비동기로 인하여 최대 $-T_{\text{CLOCK}}$ 의 변환에러가 발생한다. 그러나 시작신호와 클럭을 동기화하고 클럭을 시간간격 신호동안 발생시킬 경우 디지털 변환에러의 범위는 0에서 $(1/2)T_{\text{CLOCK}}$ 이다.

ABSTRACT

The converted error is occurred by the time difference between the time interval signal and the clock in a Time-to-Digital Converter of counter-type. If the clock period is T_{CLOCK} the converted error is a maximum T_{CLOCK} by the time difference between the start signal and the clock. And the converted error is a maximum $-T_{\text{CLOCK}}$ by the time difference between the stop signal and the clock. However, when the clock is synchronized with the start signal and the clock is generated during the time interval signal the range of converted digital error is from 0 to $(1/2)T_{\text{CLOCK}}$.

키워드

시간-디지털 변환기, 카운터 타입 변환기, 변환 에러, 동기화된 클럭

I. 서 론

시간 정보를 이용하는 여러 가지 측정시스템 및 통신시스템은 시간 정보를 디지털화하기 위해 시간-디지털 변환기를 사용한다. 카운터 타입의 시간-디지털 변환기는 회로 구성이 간단하고 변환시간이 짧은 장점이 있다. 그러나 외부에서 고속의 클럭을 인가해야 하는 단점이 있다.

본 논문에서는 외부에서 인가되는 클럭신호가 없이 동작하도록 시간-디지털 변환기를 설계하여, 디지털 변환에러를 살펴보았다. 즉, 시간-디지털 변환회로에 시작신호가 인가되면, 회로 내에서 클럭신호를 생성하여 카운터에 인가되도록 설계하여 시작신호와 클럭신호가 동기화되도록 구성하였다. 그리고 멈춤신호가 발생하면 클럭신호가 생

성되지 않도록 구성하여 멈춤신호가 발생하면 회로의 동작이 멈추도록 설계하였다. 설계된 회로에서는 디지털 값으로 변환할 시간 간격 신호가 high인 동안 클럭이 발생하여 회로가 동작하며, 또한 시작신호와 클럭이 동기화 되도록 구성하였다.

II. 본 론

본 논문에서 디지털 변환 에러를 분석하기 위해 사용한 카운터를 이용한 시간-디지털 변환기의 개략도는 그림 1과 같다. 일반적인 시간-디지털 변환기의 경우 외부에서 클럭을 카운터에 인가하지만, 그림 1의 회로도에는 시간정보에 해당하는 신호가 인가되면 회로 내에서 클럭을 생성한다. 즉, 시간정보 신호와 동기화된 클럭을 생성하

여 카운터에 인가한다.

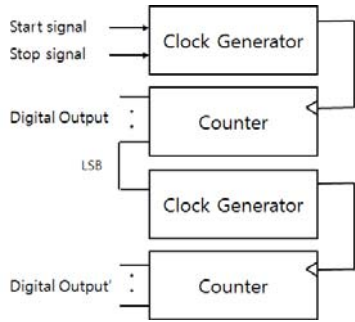


그림 1. 제안한 시간-디지털 변환기의 개략도

일반적인 시간-디지털 변환기의 경우 그림 2(a)와 그림 2(b)에서 보듯이 시작신호와 클럭, 멈춤신호와 클럭 사이의 비동기로 인하여 디지털 변환시 에러가 발생한다. 즉, 입력된 시간정보는 식 (1)과 같이 카운터 값 N 으로 변환되지만, ΔT_{START} 와 ΔT_{STOP} 만큼의 에러가 발생할 수 있다. 이 값은 최대 클럭의 주기 T_{CLOCK} 에 해당하며, 시작신호와 멈춤신호에 의한 최대 에러 범위는 $-T_{CLOCK}$ 에서 T_{CLOCK} 이다.

$$T_{INTERVAL} = NT_{CLOCK} - \Delta T_{START} + \Delta T_{STOP} \quad (1)$$

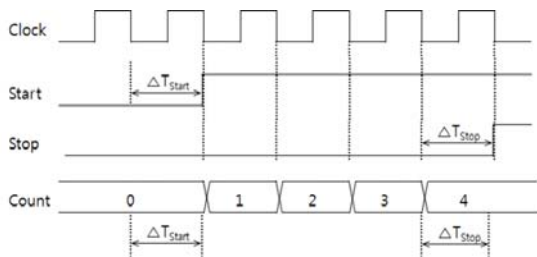


그림 2. 카운터 타입의 일반적인 시간-디지털에서의 입출력 신호에 따른 에러

그림 3은 본 논문에서 분석하고자하는 시간-디지털 변환기에서의 입출력신호에 따른 출력신호이다. 그림 3에서 보듯이 시간-디지털 변환기에서 시작신호 인가와 동시에 클럭을 생성한다면 그림 2처럼 시작신호와 클럭의 비동기로 인한 ΔT_{START} 에 해당하는 에러는 제거할 수 있다. 그리고 멈춤신호의 발생과 동시에 클럭신호의 생성이 멈춘다면, 멈춤신호와 클럭의 비동기로 인해 발생하는 ΔT_{STOP} 에 해당하는 에러는 $(1/2)T_{CLOCK}$ 으로 감소된다.

그리고 Digital Output의 LSB를 그림 1과 같이 다시 시간 간격 신호로 사용하여 카운터 타입의 시간-디지털 변환회로에 입력하여 발생하는 디지털 출력값을 처리하면 에러는 다시 식(2)와 같이

디지털 변환 에러를 감소시킬 수 있다.

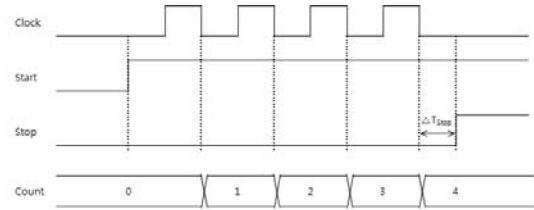


그림 3. 제안한 시간-디지털 변환기에서의 입출력신호에 따른 디지털 변환 에러

$$T_{INTERVAL} = NT_{CLOCK} \pm (1/2)T_{CLOCK} \quad (2)$$

$$\mp (1/4)T_{CLOCK}$$

그리고 동일한 회로 블록을 한개 또 연결하여 출력 값을 신호처리하면 에러는 $\pm(1/8)T_{CLOCK}$ 만큼 더 감소시킬 수 있다. 이처럼 그림 1의 회로 블록을 n 개 반복 연결하여 회로를 구성할 경우 디지털 변환 에러는 $(1/2^n)T_{CLOCK}$ 로 감소시킬 수 있다.

그리고 본 논문에서 사용된 회로의 경우 디지털 변환 시에만 클럭이 생성되어 동작하므로 회로의 전력소모를 감소시킬 수 있는 장점이 있다.

III. 결 론

본 논문에서는 카운터 타입의 시간-디지털 변환기에서 외부에서 인가되는 클럭과 시간간격 신호의 비동기로 인하여 발생하는 디지털 변환에러를 살펴하였다. 클럭과 시간간격 신호를 동기화할 경우 디지털 변환에러가 감소되었다. 즉, 시작신호와 클럭의 비동기로 인해 발생하는 에러는 0으로 감소하며, 멈춤신호와 클럭의 비동기에 의해 발생하는 에러의 크기는 1/2로 감소된다.

참고문헌

- [1] S. Henzler, *Time-to-Digital Converters*, Heidelberg, Springer Netherlands, 2010.
- [2] P. Chen, S. Liu and J. Wu, "Highly Accurate Cyclic CMOS Time-to-Digital Converter with Extremely Low Power Consumption," *Electronics Letter*, vol. 33, no.10, pp.858-860, 1997.
- [3] J. H. Choi, "Time-to-Digital Converter Using Synchronized Clock with Start and Stop Signals," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 21, no.5, pp.2805-2810, 2017.