
고성능 비교기를 이용한 에너지 하베스팅 전파정류회로 설계

이동준, 유종근

인천대학교

Design of an Energy Harvesting Full-Wave Rectifier Using High-Performance Comparator

Dong-Jun Lee, Chong-Gun Yu

Incheon National University

E-mail : ehdwnsl4414@gmail.com

요 약

본 논문에서는 고성능 비교기를 이용한 전파정류 에너지 하베스팅 회로를 설계하였다. 설계된 회로는 크게 Negative Voltage Converter, Active Diode 단으로 나뉜다. 그리고 Active Diode 단에 포함된 비교기는 3-stage 형태로 구현 하였으며 Pre-amplification, Decision circuit, Output buffer 단으로 나뉜다. 이 비교기는 Propagation delay를 줄이고 하베스팅 회로의 전압 및 전력 효율을 향상 시키는 것이 주된 목적이다. 제안된 회로는 Magna 0.35 μ m CMOS 공정으로 설계하였으며, 모의실험을 통해 동작을 검증하였다. 설계된 에너지 하베스팅 회로의 칩 면적은 612 μ m \times 444 μ m이다.

ABSTRACT

In this paper, a full - wave rectifying harvesting circuit with a high-performance comparator is designed. Designed circuits are divided into Negative Voltage Converter and Active Diode stages. The comparator included in the active diode stage is implemented as a 3-stage type and divided into pre-amplification, decision circuit, and output buffer stages. The main purpose of this comparator is to reduce the propagation delay and improve the voltage and power efficiency of the harvesting circuit. The proposed circuit is designed with magna 0.35 μ m CMOS process and its operation is verified by simulation. The chip area of the designed energy harvesting circuit is 900 μ m \times 712 μ m.

키워드

Energy harvesting, Vibration energy, High-performance comparator, Full-Wave Rectifiers

1. 서 론

자원 고갈 및 환경오염 문제에 따라 친환경 에너지에 대한 연구와 개발이 지속적으로 늘어나고 있으며, IoT 기술의 발전에 따라 전자기기의 효율적인 전력 사용에 대한 관심이 증대되고 있다. 위의 두 가지 이슈에 대한 제안으로 빛과 열, 진동등 주변에서 미사용 되는 에너지를 수집하여 전기에너지로 변환하는 에너지 하베스팅 기술이 각광 받고 있다. 진동에너지는 주로 piezoelectric (PZT) 소자를 거쳐 전기에너

지로 변환된다. 이때 PZT 소자를 거친 신호는 AC 형태이기 때문에 DC 신호로 변환하기 위해 AC-DC Converter가 필요하다. 수집된 진동에너지가 부하로 잘 전달 되기 위해서는 AC-DC Converter의 전력변환효율이 높아야한다.

최근에 사용되는 AC-DC Converter로는 NVC (Negative Voltage Converter)와 Active Diode로 구성된다.[2-5] 그러나 이 회로에서 사용한 Active Diode에 포함되는 Comparator의 동작속도가 느려서 propagation delay가 길다. 또한 주파수 동작범위도 협소하여 입력에 따른 적절한 스위칭이 이뤄지지 않고 결과적으로 높은 전압효율과 전력효율을 갖기 힘들다.

이 논문은 IDEC 지원에 의해서 일부 수행되었음.

본 논문에서는 이러한 문제점을 해결하기 위해서 3 stage 형식의 고성능 비교기를 이용하여 비교기의 propagation delay를 줄이고, 주파수 동작 범위를 늘려서 회로의 전압효율과 전력효율 향상시킨 새로운 AC-DC converter를 설계하였다.[1] 본 논문의 AC-DC converter는 0.35um CMOS 공정으로 설계하였다.

II. 회로 설계

2.1 AC-DC Converter

그림 1은 본 논문에서 제안하는 진동에너지 하베스팅을 위한 저전압 AC-DC converter의 블록도이다. 제안된 회로는 NVC, Active Diode로 구성된다. 첫 번째 단인 NVC에서는 입력된 교류전압의 음의 영역을 양의 영역으로 바꿔준다. 하지만 NVC만으로 전류 방향이 제어 되지 않기 때문에 역전류가 발생하여 Load Capacitor의 전하가 유지될 수 없다는 문제점이 있다. 따라서 두 번째 단인 Active Diode가 필요하다.

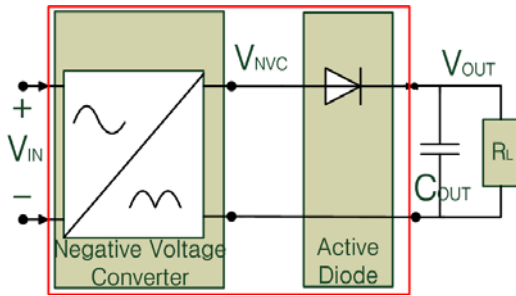


그림 1. AC-DC Converter의 블록 다이어그램

2.2 Negative Voltage Converter

그림 2는 설계된 4-MOSFET NVC의 회로도이다. PMOS의 body 단자에 전압을 인가하여 문턱 전압을 낮추는 body bias technique을 적용하여 낮은 전압에서도 전파정류 동작을 할 수 있도록 설계하였다.

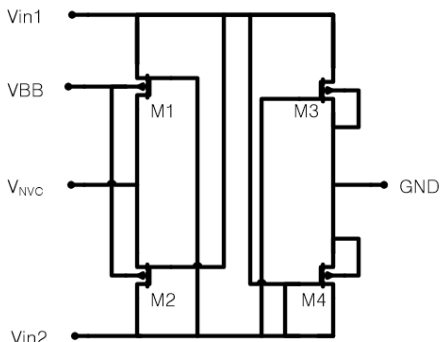


그림 2. 제안된 NVC 회로

그림 3은 body bias technique을 적용하기 위해

설계된 Beta multiplier 회로이다.

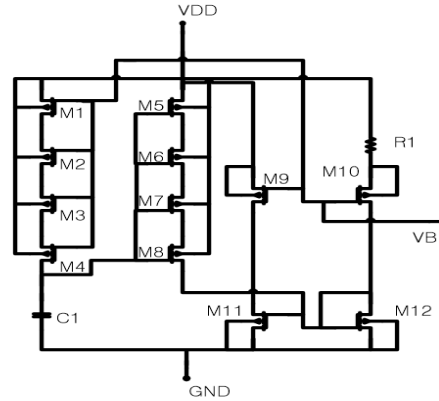


그림 3. Beta multiplier 회로

2.3 Active Diode

Active Diode는 Comparator와 PMOS 스위치인 MPS로 구성되어 있다. 이 때 Active diode의 안정적인 동작을 보장하기 위해 PMOS diode인 MPBD를 병렬로 연결하였다. 그리고 latch-up 현상과 누설전류 발생을 방지하기 위해 bulk regulation(BR)을 사용하였다. 본 논문에서 제안하는 Active Diode를 그림 4에 나타내었다.

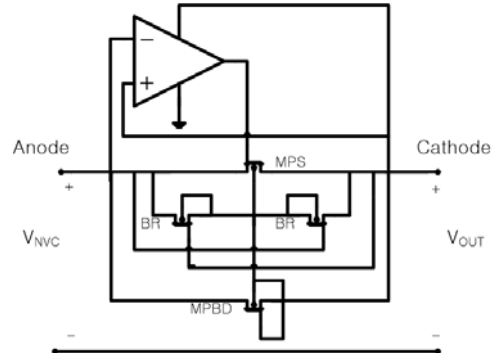


그림 4. Active Diode 회로

2.4 High-performance Comparator

본 논문은 그림 5와 같이 pre-amplification, decision circuit, output buffer로 구성되는 3 stage 형식의 고성능 comparator를 설계하였다. comparator의 기본 형태는 기존 논문[1]을 참고하였다. 그러나 기존 논문[1]에서는 외부 전원을 사용하여 회로를 동작시켰으나, 본 논문에서는 회로의 모든 동작을 output powered 형태로 가능하게 하였다.

첫 번째 단에서는 들어온 신호를 증폭시키고, 두 번째 단에서는 들어온 차동 신호 중에 더 큰 신호를 결정하고, 세 번째 단에서는 신호를 한 번 더 증폭시켜서 출력한다.

Gate-driven방식을 채택하여 bulk-driven에 비해 고속 동작이 가능하도록 했으며, 기존[1] 회로

보다 propagation delay가 대폭 줄어서 효율적인 동작이 가능하다. 또한 동작 가능 입력 전압 범위와 주파수 범위를 각각 0.7V~3V, 5~180Hz로 늘려서 다양한 입력 환경에서 동작이 가능하다. 이 comparator에 적절한 current bias를 위해 그림3와 형태가 같은 Beta multiplier를 설계하여 pre-amplification 단자와 output buffer 단자에 연결하였다.

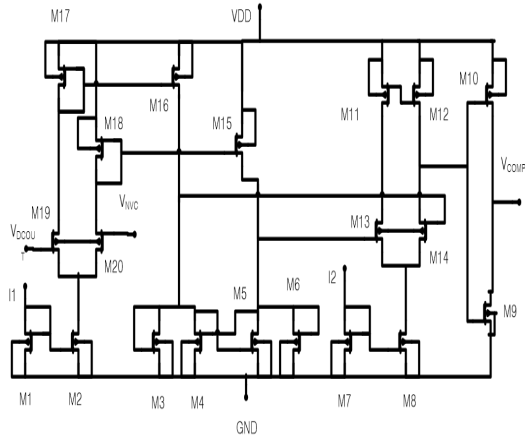


그림 5. Comparator 회로

III. 모의 실험

모의실험의 default 조건은 부하저항=100kΩ, 입력주파수=40Hz, 부하커패시터=10uF 이다.

3.1 Comparator의 propagation delay 비교

그림 6은 입력 전압에 따른 comparator의 propagation delay 변화를 본 논문과 기존 논문[2]과 비교하여 나타낸 그래프이다. 제안된 comparator는 입력전압에 영향을 받지 거의 않고 delay값이 작지만, 기존 comparator의 delay값은 크고 입력 전압에 영향을 받는 것을 확인할 수 있다.

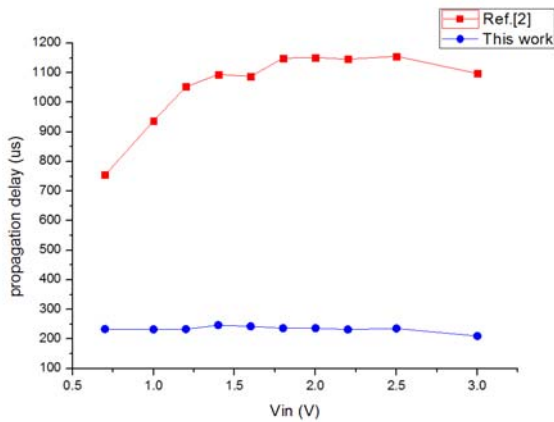


그림 6. 입력전압에 따른 propagation delay

3.2 출력 output ripple 비교

그림 7는 입력 전압에 따른 출력의 흔들림 현상을 수치화하여 그래프로 나타낸 것이다. V_{COMP} 의 출력은 $V_{NVC} > V_{DCOUT}$ 일 때 low이고, $V_{NVC} < V_{DCOUT}$ 일 때 high이다. 이때 propagation delay가 크면 V_{NVC} , V_{DCOUT} 를 비교할 때 나오는 comparator의 출력이 느리게 나와서 부하 커패시터의 충전과 방전 timing이 어긋난다. 이로 인한 결과로 AC-DC converter의 출력이 흔들려서 DC에 가까운 신호를 출력하지 못한다는 문제를 발생시킨다.

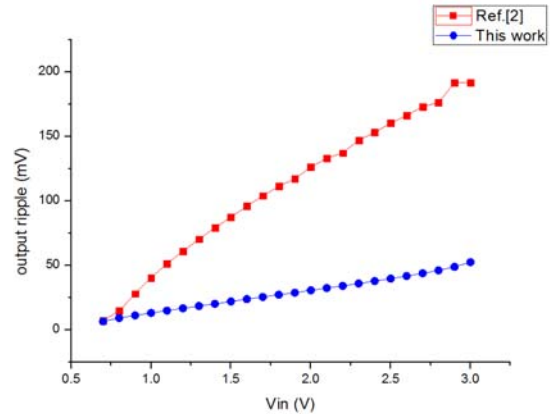


그림 7. 입력 전압에 따른 output ripple 변화 그래프

3.3 전압 효율 비교

그림 8에는 입력 전압에 따른 출력 전압 효율을 비교하여 나타내었다. 전압 효율은 AC-DC 변환이 얼마나 잘 일어났는지 알 수 있는 지표이다. 기존 회로[2]는 0.7V~3V의 범위에 따라 평균적으로 95%의 효율을 보이지만 제안된 회로에서는 99%의 전압 효율을 보인다.

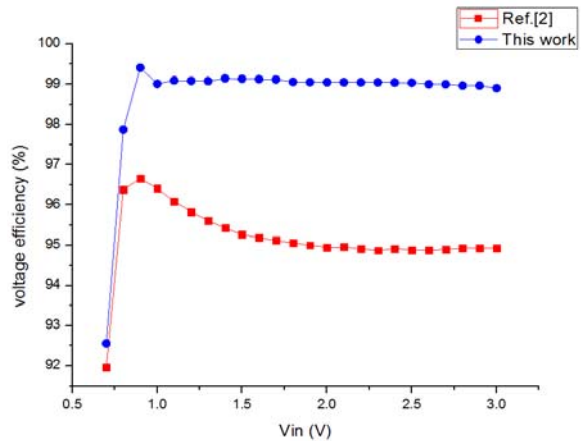


그림 8. 입력 전압에 따른 출력 전압 변환을 비교 그래프

3.4 전력 효율 비교

그림 9는 입력 전압에 따른 회로의 전력 효율

변화 그래프이다. 제안된 회로는 $V_{IN}=0.7V\sim 2.2V$ 까지 95%이상의 전력효율을 보인다. 반면에 기존회로[1]는 전반적으로 모든 입력전압에 대해 90%이하의 전력 효율을 보인다.

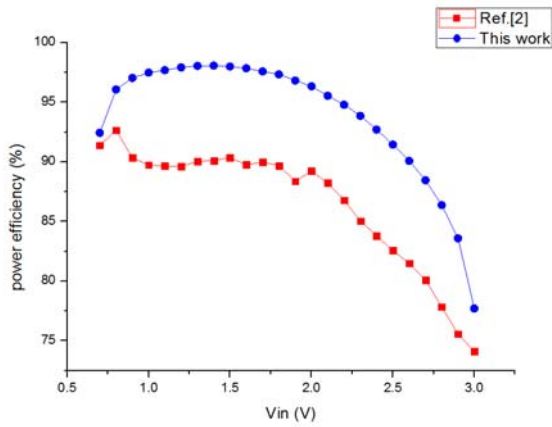


그림 9. 입력 전압에 따른 전력 효율 그래프

3.5 주파수 범위 비교

그림 10은 입력 피크 전압이 1.4V일 때 입력 주파수에 따른 전력 효율을 비교한 그래프이다. 본 논문에서의 회로는 주파수 범위 $f=5\sim 120Hz$ 까지 95%의 전력 효율을 보인다. 그리고 반면에 기존회로[2]는 $f=5\sim 40Hz$ 까지 95%의 전력 효율을 보인다.

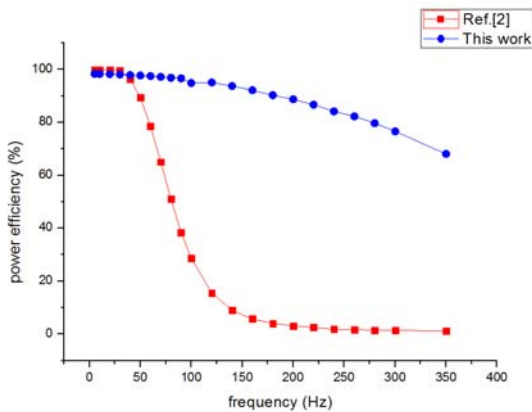


그림 10. 입력 주파수에 따른 전력 효율 그래프

그림 11은 본 논문에서 설계된 AC-DC converter의 레이아웃 도면이며 크기는 $900\mu m \times 725\mu m$ 이다.

IV. 결론

본 논문에서는 고속 동작이 가능한 3 stage형식의 고성능 비교기를 이용하여 입력 전압 범위와 입력 주파수 범위를 향상시킨 새로운 AC-DC converter를 제안하였다. 제안된 AC-DC

converter의 최대 전압 효율은 99.5%이며 최대 전력 효율은 98.9%이다. 본 논문에서 제안한 AC-DC converter는 저전압 동작이 요구되는 다양한 Energy Harvesting 시스템에 활용될 수 있다.

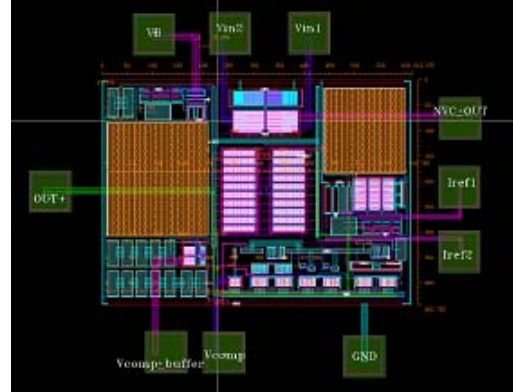


그림 11. AC-DC converter 레이아웃 도면.

참고문헌

- [1] A. S. Herbawi, et al, "An Ultra-Low-Power Active AC-DC CMOS Converter For Sub-1V Integrated Energy Harvesting Applications," *IEEE Sensors*, pp.1-4, 2013.
- [2] Hyo-sang Kong, Jang-ho Han, Jin-uk Choi, Eun-jung Yoon, Chong-gun Yu "A Low-voltage Vibrational Energy Harvesting Circuit using a High-performance AC-DC converter" 한국정보통신학회 추계종합학술대회, pp. 533-536, 2016.
- [3] Peters, C., Handwerker, J., Maurath, D., and Manoli, Y., 2011, "A sub-500mV Highly Efficient Active Rectifier for Energy Harvesting Applications," *IEEE Trans. Circuits Syst.-I: Regular Papers*, 58(7), pp. 1542-1550
- [4] Niu, D., Huang, Z., Jiang, M., and Inoue, Y., 2011, "A Sun-0.3V CMOS Rectifier for Energy Harvesting Applications," *Proc. IEEE 54th Int. Midwest Sym. Circuits and Systems*, pp. 1-4.
- [5] Yang, Z., Li, Y., Wang, J., Zhu, Z., and Yang, Y., 2013, "A highly efficient interface circuit for ultra-low-voltage energy harvesting," *IEICE Electronic Express*, 10(24), pp. 1-6.