

## 멀티채널 4K 초고해상도 영상 데이터의 실시간 획득 및 재생을 위한 FPGA 기반 하드웨어 플랫폼 개발

\*장성준 이상설 최정민 최병호 김제우

전자부품연구원

\*sjiang0626@keti.re.kr

### Development of FPGA-based Hardware Platform for Real-time Capture & Playback of Multi-Channel 4K UHD Video Data

\*Jang, Sung-Joon Lee, Sang-Seol Choi, Jung-Min Choi, Byeong-Ho Kim, Je Woo

Korea Electronics Technology Institute

#### 요약

지상파 UHD 방송의 시행 및 확대를 목표로 세계 각 국에서 정부·민간 차원의 대규모 투자 및 개발이 활발히 진행되고 있다. 기존 HD 방송 대비 데이터양이 막대하게 증가되기 때문에 실시간·고효율 처리를 위한 기술 개발 및 연구가 진행되고 있다. 특히 UHD 방송 제작 관련하여 UHD 카메라로부터 영상 및 음향을 실시간으로 획득하고 편집된 영상을 재생하기 위한 시스템 개발이 최근 주요 방송장비 업체 주도로 진행되고 있다.

이에 본 논문은 최대 2 채널의 4K UHD 영상 데이터를 동시에 실시간으로 획득 및 재생하기 위한 FPGA (Field Programmable Gate Array) 및 고속 입출력 인터페이스 기반의 하드웨어 플랫폼을 제안하였다. 또한 카메라/디스플레이와 편집 서버 간의 데이터의 고속·고효율 전송을 위한 로직을 HDL(Hardware Design Language) 설계하여 FPGA 내에 탑재하고 카메라/디스플레이/편집 서버와 통합하였다. 시험 결과 2 채널 4K 60fps 영상 데이터를 정상적으로 획득 및 재생하였다.

### 1. 서론

UHDTV 방송 서비스를 위해서는 기존의 HDTV 방송 콘텐츠 제작과 마찬가지로 콘텐츠를 카메라를 통해서 촬영하고 촬영된 영상을 실시간으로 저장(인제스트)하여 편집을 거쳐 시청자들에게 실시간으로 송출하게 된다. 하지만, UHDTV 콘텐츠의 실시간 획득 및 송출을 위해서는 초당 5GB 이상(8K 기준)의 막대한 대역폭을 요구하기 때문에 영상의 고효율 압축과 이를 고속으로 전송하기 위한 입출력 인터페이스가 필요하다. [1][2]

본 논문에서는 FPGA 및 3G SDI, PCIe 3.0의 고속 인터페이스를 기반으로 멀티채널(2채널) 4K 60fps 영상을 처리 가능한 하드웨어 플랫폼을 제안하였다. 또한, 데이터의 고속·고효율 처리 및 전송을 위한 로직을 HDL 설계 및 코덱과 통합하여 FPGA 내에 탑재하였다. 카메라/디스플레이/편집서버 통합 시험 결과, 2 채널 4K 60fps 영상 데이터를 정상 획득 및 재생하였다.

### 2. 멀티채널 UHD 영상 실시간 획득/재생 플랫폼

표 1과 같이, 편집 서버에서의 2채널 4K 60fps 영상의 동시 획득/재생을 위해서는 초당 2.65GB의 대역폭을 요구한다. PCIe 2.0이 이상적으로는 최대 초당 4GB의 대역폭을 제공하지만 실제적으로는 운영체제의 스케줄링과 같은 요인으로 인해 최대 50%까지도 낮아질 수 있

다. 또한, 추후 채널 확장 및 영상 외에 음성, 자막과 같은 다양한 메타 데이터를 추가적으로 지원하기 위해 본 플랫폼에서는 최종적으로 최대 초당 8GB까지 가능한 PCIe 3.0을 채택하여 탑재하였다.

표 1. UHD 영상 데이터의 대역폭 요구사항

	8비트 입출력(60fps)		10비트 입출력(60fps)	
	4K×2K×2	4K×2K×4	4K×2K×2	4K×2K×4
<b>Throughput</b>	1.99GB/s	3.98GB/s	2.65GB/s	5.3GB/s
<b>PCIe</b>	Gen2 : 500MB/s per Lane (8 Lane = 4GB/s) Gen3 : 1GB/s per Lane (8 Lane = 8GB/s)			

또한, 그림 1과 같이 카메라/디스플레이 인터페이스의 경우 현재 3G SDI 외에 12G SDI 및 IP(Internet Protocol) 인터페이스를 확장 지원하기 위해 보조 모듈 형태로 개발하고 FMC(FPGA Mezzanine Card)로 연결 가능하도록 개발하였다.

코덱, SDI 및 PCIe 제어 로직 및 데이터 처리를 위한 제어 로직 탑재를 위해 총 3개의 FPGA(Xilinx Virtex 7 V330T 1개, Kintex 7 410T 2개)를 채택하였다. Kintex 7 410T FPGA에는 하드웨어 코덱 및 3G SDI 제어 로직을 탑재하였다. 동일 로직을 각 FPGA에 탑재함으로써 동시 2 채널 데이터 처리가 가능하도록 하였다. 두 채널의 데이터는 Virtex 7 V330T FPGA로 전송되어 처리 로직에 의해 통합되어 서

바로 전송되거나 서버로부터 받은 편집 데이터를 채널 별로 분리하여 각 Kintex 7 410T FPGA로 보내는 역할을 한다.

이 외에 3G SDI, 코덱, FPGA 칩 간 연결 및 PCIe 3.0의 속도가 모두 다르기 때문에 데이터의 버퍼링을 위해 DDR3 메모리를 채택하고 탑재하였다. DDR3 메모리 또한 추후 메타 데이터 확장을 위해 FPGA마다 2개씩 할당하여 탑재하였다. FPGA 칩 간 통신은 병렬 통신과 고속 직렬 방식 2 가지를 모두 지원 가능하도록 구현하였다.

그림 2와 같이 최종적으로 FPGA 기반의 멀티채널 UHD 영상 실시간 획득 및 재생 하드웨어 플랫폼을 개발하였다.



그림 1. FPGA 기반 멀티채널 UHD 영상 실시간 획득/재생 플랫폼

### 3. 멀티채널 UHD 데이터 고속 처리 로직 설계

그림 2는 독립적인 각 채널의 데이터를 관리하여 서버 및 Kintex 7 410T FPGA들과의 고속·고효율 전송을 위한 처리 로직(Virtex 7 V330T FPGA 탑재)에 대한 구조를 나타낸 것이다.

해당 처리 로직은 UHD 콘텐츠 동시 획득 및 재생을 위해 총 3개 모드(All Down/All Up/Different)를 지원 가능하도록 설계하였다. All Down 모드는 2 채널 동시 획득을 지원하며 All Up 모드는 2 채널 동시 재생을 지원한다. Different 모드는 각 채널이 서로 다른 동작이 가능하도록 지원한다. 이를 위해 그림 2와 같이 서버로부터의 설정 값에 따라 데이터 경로의 방향 및 데이터 연결을 선택 가능하도록 설계하였다. 마찬가지로 PCIe 채널 및 DDR3 메모리 연결 또한 1개이기 때문에 공유를 위해 데이터 경로 방향 및 연결을 선택 가능하도록 구현하였다.

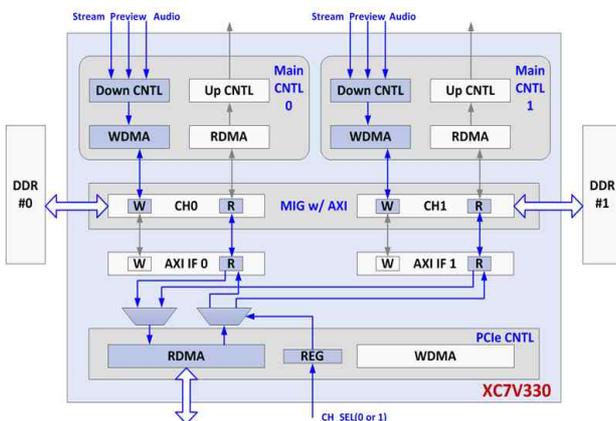


그림 2. 멀티채널 UHD 데이터 고속 처리 로직 구조 (All Down 모드)

위 멀티채널 UHD 데이터 고속 처리 로직과 각 채널의 3G SDI 입력 제어 및 코덱 등은 FPGA 탑재를 위해 모두 Verilog HDL을 이용

하여 설계하였다. DDR3 메모리 인터페이스(MIG) 및 AXI 연결을 위해서는 자일링스사에서 제공하는 IP를 이용하였다.



그림 3. UHD 데이터 고속 처리 로직 설계 시뮬레이션

그림 3은 설계된 로직에 대한 RTL 시뮬레이션 결과이다. 해당 로직은 자일링스사의 Vivado 툴을 이용하여 로직 수준 합성 및 배치/배선을 통해 FPGA에 탑재하였다.

최종적으로 그림 4와 같이 개발된 로직 및 플랫폼을 서버와 통합하고 카메라/디스플레이와 연동하여 시험하였다. 편집 서버에서의 소프트웨어를 통해 전체 시스템이 제어되도록 하였으며 시험 결과 2 채널 4K 60fps 영상 데이터를 3개 모드에서 모두 정상적으로 획득 및 재생하였다.



그림 4. 시험 환경: 4K 카메라 2대, 4K 디스플레이 및 서버

### Acknowledgement

본 연구는 미래창조과학부 및 정보통신기술진흥센터의 정보통신·방송연구개발사업의 일환으로 수행하였음. [B0126-15-1027(UHD)방송용 통합 콘텐츠 제작서버 기술 개발]

### References

- [1] Sang-Seol Lee et al, "HEVC-based Real-time Capture and Playback System of 8K UHD AV Contents Using FPGA," ITC-CSCC 2015
- [2] Sang-Seol Lee et al, "Implementation of a Hardware-Based Flexible UHD Video Server Platform with Difference Resolution for Editing UHD Contents," ITC-CSCC 2015