역률 개선 기능을 가진 밸리필 플라이백 컨버터의 실용적 설계 및 구현

김세민, 김상연, 공성재, 강경수, 노정욱
국민대학교 전자공학과

Practical Design and Implementation of Valley-Fill Flyback Converter Having Power Factor Correction

Semin Kim, Sang Yeon Kim, Sung Jae Kong, Kyung-Soo Kang, Chung-Wook Roh
Dept. of Electronics Engineering, Kookmin Univ.

ABSTRACT

통상적으로, 기존 단상 AC 전원용 플라이백 컨버터는 75W 이상의 조건에서 역률개선회로를 채용하게 된다. 이에 따라 2-Stage 형태의 회로를 구성해야 하기 때문에, 회로의 부품 수 증가 및 전력 효율을 낮추는 단점이 동반된다. 또한, 다수의 자성소자(인덕터, 트랜스포머) 사용이 필수적이며, 이는 회로의 부피 및 원가 상승의 주요한 원인이 된다.

본 논문에서는 역률 개선 기능을 가진 밸리필 플라이백 컨버터의 실용적 설계 및 구현 방안을 제시한다. 더불어, 밸리필 정류기의 전해 커패시터 Short 시 방폭 문제를 해결하기 위한 OVP(Over Voltage Protection) 회로의 실용적 설계 방법을 제시하여 제안 회로의 양산 가능성을 증명한다. 본 논문에서는 제안 회로의 이론적 특성을 분석하고, 78W 급 플라이백 컨버터 시작품의 실험적 분석을 통해 그 타당성을 검증한다.

1. 서론

최근 TV, 가전제품과 같은 전자제품의 안정성과 효율 향상을 위해 전원 품질에 대한 기준이 세계적으로 정립되고 규제가 강화되고 있다. 이러한 규제에 대응하고자 여러 형태의 역률개선회로가 개발되어 전력 변환회로에 적용되어 사용되고 있다.

일반적으로, 역률개선회로는 입력 전류를 입력 전압과 동상인 형태로 만들어 고조파 성분 및 라인 손실을 감소시킨다. 하지만 AC/DC 컨버터 입장에서는 2개의 능동 스위치가 독립적으로 사용되고, 부수적인 제어회로가 많아지는 단점이 있다. 또한, 트랜스포머, 인덕터와 같은 다수의 자성소자가 회로에 포함되므로 부피 및 원가가 상승하는 문제도 발생하게 된다.

본 논문에서는 밸리필 정류기와 CM/DM 통합형 Choke를 결합한 역률 개선 형 플라이백 컨버터 구현 방안을 제안한다. 이후, 양산 조건 중 Short/Open TEST 조건에서 전해 커패시터 방폭 문제를 해결하기 위한 OVP 회로의 실용적 설계 방법을 제안한다.

2. 제안 역률 개선 기능을 가진 플라이백 컨버터

기존 밸리필 정류기를 적용한 플라이백 컨버터는 80% 이상의 역률을 제공하지만, 이는 상용화에 미치지 못하는 수준이다. 뿐만 아니라, Line 입력 전류는 스위칭 주파수에 의한 Ripple이 발생하기 때문에 THD(Total Harmonic Distortion)가 높아지게 되므로 고조파 규제를 통과할 수 없게 된다.

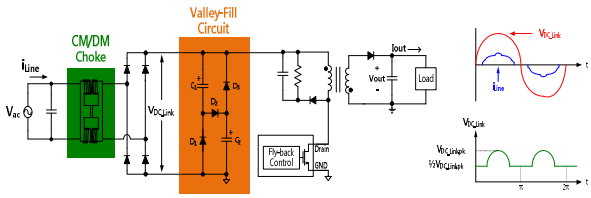


그림 1. 제안 밸리필 플라이백 컨버터 회로도 및 전압, 전류 파형

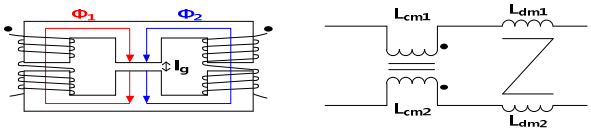


그림 2. 제안 CM/DM 통합형 Choke의 구성도 및 Inductance 등가 모델

2.1 제안된 회로의 역률 및 고조파 특성 개선 원리

그림 1은 제안된 역률개선 기능을 가진 밸리필 플라이백 컨버터의 회로도 및 전압, 전류파형이다. 제안 회로는 밸리필 정류기, CM/DM 통합형 Choke, 1개의 능동 스위치로 구성된다.

제안 회로는 기존 EMI Filter 용 Choke를 CM/DM 통합형 Choke로 설계한다. 그림 2는 CM/DM 통합형 Choke의 구성도 및 Inductance 등가 모델을 나타낸다. 기존의 Choke와는 다르게, 중족이 있는 Core의 외족에 도선을 감아 누설 인덕턴스를 극대화하는 원리를 적용한다. 이러한 원리로 추가적인 인덕터 또는 리액터 없이 입력 전류의 Ripple을 줄여 역률과 THD를 개선하고, 동시에 EMI Filter의 역할까지 수행할 수 있다.

2.2 제안된 회로의 실용적 OVP 설계 방법

일반 평활 커패시터와 달리, 밸리필 정류기는 각 커패시터의 전압 Stress가 절반으로 줄어드는 장점이 있다. 하지만 양산을 위한 밸리필 정류기 Short Test 시, 절반의 전압 Stress만 고려한다면 커패시터의 방폭이 발생하게 된다. 이를 위해 2배 이상의 내압을 갖는 커패시터를 사용하는 것은 밸리필 정류기 사용이 무의미하므로, 반드시 커패시터 과전압 방지(OVP)를 위한 실용적인 설계가 필요하다.

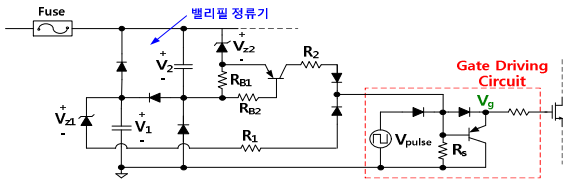


그림 3. 밸리필 정류기의 Over Voltage Protection 회로도

$$V_g = (V_1 - V_{z1}) \times \frac{R_1}{R_s + R_1} > V_{Pulse,pk} \quad (1)$$

$$V_g = \frac{\beta \bullet (V_2 - V_{z2} - V_{EB(ON)})}{R_{B2}} \times \frac{R_2}{R_s + R_2} > V_{Pulse,pk} \quad (2)$$

그림 3은 Crow-bar 기법을 적용한 밸리필 정류기의 OVP 회로도이다. 일반적으로, Crow-bar 기법은 SCR을 사용해 Protection을 구현하지만, 제안 회로는 MOSFET 스위치의 Gate Driving 회로에 응용하여 SCR을 사용하지 않아 추가적인 원가 저감을 실현하였다.

식 (1)은 Low Side , 식 (2)는 High Side 커패시터의 과전압 감지를 위한 관계식 및 조건을 나타내며, 간단한 동작 원리는 다음과 같다. 만약 과전압이 감지되면, IC에서 공급하는 Gate 전압인 V_{Pulse} 보다 높은 전압을 V_g 출력하게 되고, MOSFET 스위치는 지속적으로 Turn ON 상태를 유지하게 되어 결과적으로 Fuse를 끊어 회로를 보호하는 방식이다.

3. 실험 결과

역률 개선 기능을 가진 밸리필 플라이백 컨버터의 실용적 설계 및 구현 방안의 타당성을 검증하기 위해 78W 급 플라이백 컨버터 시작품을 제작하여 실험하였다.

그림 4는 제안 역률 개선 기능을 가진 밸리필 플라이백 컨버터의 시작품을 나타낸다. PBA의 면적은 $52.5cm^2$ (W=10.5cm, L=5cm)가 측정되었으며, 이는 기존의 역률개선회로+플라이백 컨버터와 비교해 약 30%의 부피 저감율을 나타낸다. 제안 회로의 입출력 사항 및 주요 파라미터는 [표 1]에 나타내었다.

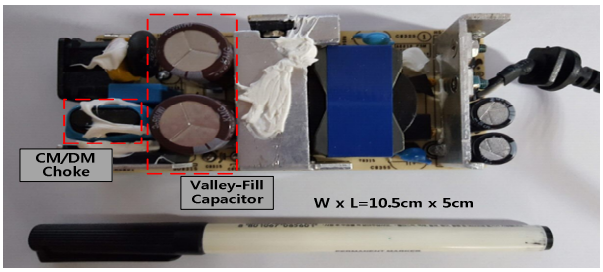
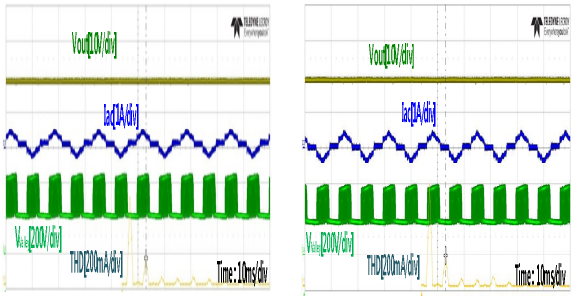


그림 4. 78W 급 역률 개선 기능을 가진 플라이백 컨버터 시작품

표 1 78W 급 시작품 실험 입출력 사항 및 주요 파라미터

입력 전압(V_{in})	115 V_{ac}, 230 V_{ac} , 60Hz	
출력 정보 (V_O, I_O)	V_O	I_O
	19V	4.1A
스위칭 주파수(f_{sw})	62kHz	
밸리필 전해 커패시터	82uF, 250V (2EA)	
OVP 감지 전압	각 Cap. 당 240V	
CM/DM 통합형 Choke	Lm=16mH , Lk1=Lk2=350uH	



5-a. 115Vac 입력 조건 5-b. 230Vac 입력 조건

그림 5. 78W 부하 시, 제안 회로의 주요 전압, 전류 파형

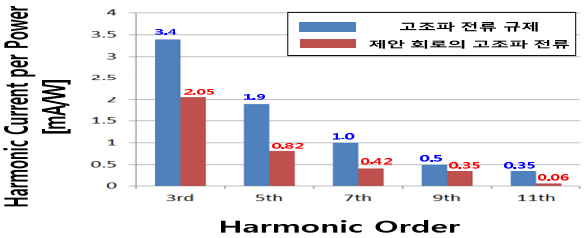


그림 6. 고조파 전류 규제와 제안 회로의 고조파 전류 측정 비교

그림 5는 78W 부하 시, 제안 회로의 주요 전압, 전류 파형이다. 각각 115, 230Vac 입력 조건에서 측정하였으며, 각 파형은 Vout, Iac, Vvalley_fill, THD를 도시한 것이다. 역률을 측정해 본 결과 각각 93.89%, 92.87%의 값이 측정되었다.

그림 6은 230Vac 입력 조건에서, 제안 회로의 고조파 전류 측정값을 실제 규제와 비교한 것이다. 11th 고조파 성분까지 규제를 넘지 않은 것을 확인하였으며, 제안 회로의 구현 가능성을 검증하였다.

4. 결론

본 논문에서는 역률 개선 기능을 가진 밸리필 플라이백 컨버터의 실용적 설계 및 구현 방안을 제안하였다. 제안 회로는 기존의 역률개선회로를 삭제하여 부피 및 원가 저감을 실현했으며, CM/DM 통합형 Choke 기법을 적용하여 90% 이상의 역률과 THD 규제를 통과할 수 있었다. 또한, 제품 양산 시 발생할 수 있는 밸리필 정류기의 전해 커패시터 Short 상황을 고려하여 OVP 회로의 실용적 설계 및 구현 방안을 제시하였다. 이를 통해 제안 역률 개선 기능을 가진 밸리필 플라이백 컨버터의 타당성을 검증하였다.

이 논문은 솔루엠과 국민대학교의 산학 연구 과제의 결과로 수행되었음(S2016-0004)

참 고 문 헌

[1] 최남열, 안찬권, 이치환 (2003). 밸리-필 정류 회로의 역률 개선. 대한전자공학회 학술대회, 2935-2938.

[2] 김병석, 김상언, 강경수, 노정욱 (2013). Interleaved PFC 컨버터의 인덕터 축소 구현 방안. 전력전자학술대회논문집, 339-340.