

ITER 전원장치 Plant Interlock System의 신뢰도 분석

신현국, 오중석, 최정완, 서재학, 최지현, 현영준, 이락상*, 김형기**
 국가핵융합연구소, 다윈시스*, 모비스**

Unavailability Caculation of Plant Interlock Systems for the ITER CPS

H.K Shin, J.S. Oh, J.W. Choi, J.H. Suh, J.H. Choi, Y.J. Hyun, L.S. Lee*, H.G. Kim**
 National Fusion Research Institute, Dawonsys*, Mobiiis**

ABSTRACT

ITER 전원장치(CPS: Coil Power Supply System)는 핵융합 초전도자석에 전기를 공급하는 중요설비로서 컨버터의 고장이나 초전도코일에 이상발생 시 주요장치들을 안전하게 보호하여야 한다. 이를 위해 설계된 전원장치 보호계통(PIS: Plant Interlock System)은 Event 발생 시에 언제든지 작동하여 전원장치를 보호할 수 있도록 높은 신뢰도가 요구된다. 본 논문에서는 ITER 설비의 중앙보호계통(CIS: Central Interlock System)과 전원장치 PIS의 계통연계 및 신호흐름을 분석하고, 신뢰도 계산을 위해 RBD(Reliability Block Diagram) 방법을 사용하여 PIS 모델을 구성한다. PIS 비가용도 계산은 Reliasoft사의 BlockSim 소프트웨어 툴을 사용하여 분석하고, 계산결과가 설계기준을 만족하는지 평가한다.

1. 서론

국제핵융합실험로(ITER)는 한국, 유럽연합, 미국, 중국, 일본 등 7개국이 참여하는 핵융합발전 실용화 Project로서 토카막을 비롯한 모든 핵융합장치가 매우 고가이며, 핵융합 기능면에서 중요한 설비들이다. ITER 전원장치는 플라즈마를 고온과 고밀도로 가두어 핵융합을 발생시키는 초전도코일과 각 코일에 최대 68kA의 대전류를 공급하는 컨버터 및 변압기로 구성되어 있으며, 이들 장치는 고장이나 어떤 이상 시에도 보호되도록 설계되어 있다. 설비보호계통은 중앙보호계통(CIS)과 핵융합을 위해 필요한 각 플랜트, 즉 전원공급장치(CPS), 냉각장치(Cryogenics), 플라즈마가열 및 연료공급장치(Plasma Heating and Fuelling Systems) 등 수 많은 플랜트로 구분된 플랜트보호계통(PIS)으로 구성되어 있다. 그림 1은 CIS와 PIS 간의 신호연계 개념도이다.

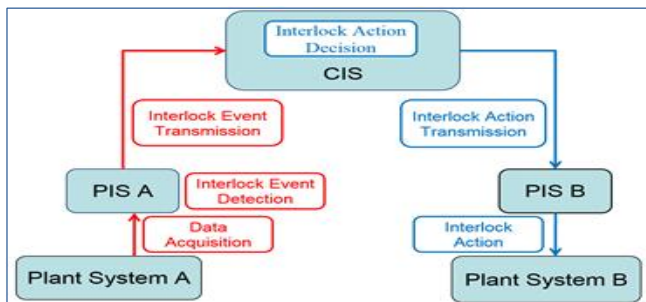


그림 1. CIS와 PIS 간의 신호연계 개념도
 Fig. 1 CIS and PIS Signal Interface Concept Diagram

CIS는 ITER 각 플랜트의 상위에 위치하며, ITER 플랜트 전체의 관점에서 각 플랜트의 고장 및 이상 유무를 감지하고 결정하여 하위 보호계통에 명령을 내린다. 본 논문에서는 중앙계통 및 다른 플랜트 Interlock System의 설계정보가 광범위하고, 전원장치의 업무범위를 벗어나므로 전원장치 보호계통(PIS)에 국한하여 신뢰도를 분석한다. 특히 초전도 코일에 Fault가 발생할 때 신속하고 신뢰성이 요구되는 Fast Interlock을 중심으로 신뢰도 분석모델을 작성하여 계산하고, Interlock System의 신뢰도 지표인 비가용도(Unavailability)를 산출하였다.

2. 본론

2.1 PIS 계통구성과 신호흐름 분석

PIS는 그림 2와 같이 Slow Interlock을 관장하는 PIC(Plant Interlock Controller)과 Fast Interlock을 관장하는 F PIC, 그리고 하위 보호계통인 LIC(Local Interlock Controller), Fast Local Interlock인 F LIC, Sensor와 Actuator로 구성되어 있다. DLIB(Discharge Loop Interface Box)는 초전도 Coil의 이상 유무를 3개의 Loop에 있는 Quenching Detector로 감지한 후 2/3논리로 인터록신호를 결정하고 출력을 Hardwire로 F PIC에 전송한다. 이 신호는 다시 이중화된 Plant Interlock Network (PIN)를 거쳐 F LIC에 전달되고, 초전도코일 및 컨버터를 보호하기 위해 Make Switch (MS)를 작동시킨다. 만일 컨버터의 Fault가 감지되면 이 신호를 F LIC에서 F PIC을 거쳐 DLIB에 전달하여 PMS(Protective Make Switch)를 Triggering 한다.^[1] 본 논문에서는 Quenching Event 신호흐름 중단에 있는 MS스위치를 제어하는 PLC까지 신뢰도계산 모델에 포함하였다.

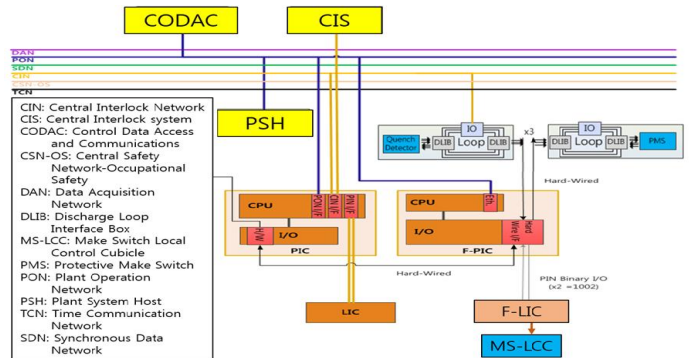


그림 2. 전원장치 PIS 구성 및 신호연계도
 Fig. 2 PIS Structure and Signal Interface for CPS

2.2 비가용도 계산을 위한 가정

PIS 비가용도는 아래와 같은 가정을 전제로 계산하였다.

- 1) CPS Plant Interlock System의 구성내용은 AC/DC Converter FDR(Final Design Review) 문서에 기준하였다.
- 2) 입력 Data 단위는 시간으로 하였으며, 운전기간은 ITER의 토카막운전계획에 따라 8개월(5,840hr)이며, 수리시간(Repair Time)은 8시간으로 하였다.
- 3) Interlock System에 사용되는 소프트웨어는 무결점으로 가정하였다.
- 4) 검출기(Sensor)와 차단장치(Actuator)는 비가용도 계산에 포함하지 않았다.

2.3 ITER 신뢰도 요건 검토

ITER의 Interlock function에 대한 신뢰도요건은 표 1과 같다. 이표에는 Probability Failure on Demand (PFD)와 연속사용개념인 Hour단위의 PFH로 표시하고 있다. PIS 신뢰도요건은 SIL 2이다. 전원장치 인터록시스템의 구성기 기들은 상시 가동되고 있어 시간단위의 $1.0 \times 10^7/\text{hr}$ 보다 크고, $1.0 \times 10^6/\text{hr}$ 보다 적은 범위에 있어야 한다.

표 1 ITER SIL 신뢰도 요건

Table 1 ITER Reliability Requirements for SIL

SIL (3IL)	I&C Implementation	Average probability of a dangerous failure on demand of the interlock function (PFD _{avg})	Average frequency of a dangerous failure of the continuous interlock function (PFH)
SIL-1	Conventional control		
SIL-2	Nominal integrity interlock	$\geq 10^{-3}$ to $< 10^{-2}$	$\geq 10^{-7}$ to $< 10^{-6}$
SIL-3	High integrity interlock	$\geq 10^{-4}$ to $< 10^{-3}$	$\geq 10^{-8}$ to $< 10^{-7}$

표 1의 값을 PIS 비가용도 계산 값과 비교하기 위해 일반적으로 많이 사용하는 근사식 (1)을 이용하여 U값으로 변환한다.^[2]

$$U = \lambda * r \quad (1)$$

여기서 U는 비가용도 값, λ 은 고장확률, r은 repair time 이다.

표 1에 있는 SIL 2 PFH의 값을 변환하면 U값은 $\geq 8.0 \times 10^{-7}$ to $< 8.0 \times 10^{-6}$ 이 된다.

2.4 PIS RBD 모델구성 및 계산결과 평가

비가용도 계산에는 ReliaSoft사의 BlockSim 7 소프트웨어 툴을 사용하였으며, 그림 3의 RBD 모델과 같이 구성하여 계산하였다.

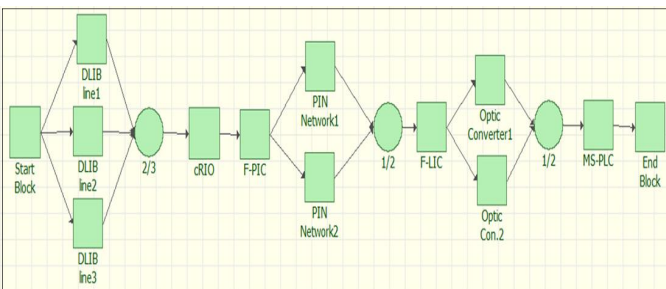


그림 3. PIS의 RBD 계산 모델

Fig. 3 RBD Calculation Model for PIS

PIS RBD는 Start Block을 시작으로 3개 Quenching 검출기 line과 DLIB에서 cRIO모듈에 Hardwire로 연결된다. 이 신호는 내부 연결된 F PIC 내의 프로세서로 전달되고, F PIC의 출력은 2개 채널의 PIN Network를 거쳐 F LIC에 전달된다. 마지막에는 F LIC이 1oo2 Optic 신호로 MS PLC를 구동한다.

ITER PIS의 비가용도계산에 사용된 고장률 입력 데이터는 표 2와 같다. 고장 데이터는 ITER CIS팀의 FDR(Final Design Review)의 문서(Dependability, RAMI, SIL)의 고장데이터를 참고하였다.^[3] F LIC 모듈은 현재 다윈시스에서 개발하고 있기 때문에 ITER 인터록요건을 만족할 수 있도록 모듈의 예상 고장률 몇 개를 선정하여 계산하였다. 표 2 F LIC의 데이터는 선정된 고장률 계산결과 중에서 인터록 모듈이 가져야 할 최소한의 고장률을 표시하였다.

표 2 PIS Unavailability 계산 고장률 입력자료

Table 2 Failure rate Input Data for Unavailability Calculation

번호	Components	고장률 λ (hr^{-1})
1	DLIB 입력모듈	1.0×10^{-9}
2	NI사 cRIO 모듈	1.1×10^{-8}
3	Fast-PIC 모듈(Siemens S7)	6.3×10^{-9}
4	PIN Network Module	1.0×10^{-9}
5	Fast LIC 모듈(Dawonsys)	9.0×10^{-7}
6	Optic converter Module	6.1×10^{-8}
7	MS PLC(Siemens S7 PLC)	6.3×10^{-9}

CPS PIS의 Unavailability 계산결과는 5.7×10^{-6} 이다.

이 값은 ITER의 Interlock Function/System 요건범위 내에 있는 것으로 판단된다. 그러나 이 결과는 Plant Interlock System에 요구되는 upper bound 8.0×10^{-6} 보다 작지만 경계선에 근접해 있어 개발품의 신뢰도 향상에 대한 노력이 필요하다고 판단된다.

3. 결론

ITER 전원장치의 인터록 시스템 중에서 CPS PIS의 Fast Interlock Function의 비가용도를 RBD 신뢰도 모델을 사용하여 계산한 결과 $U=5.7 \times 10^{-6}$ 으로 계산되었다. 또한 본 논문에서는 개발 중에 있는 F LIC 모듈이 ITER Interlock 요건을 만족할 수 있는 수준을 제시하였다.

이 논문은 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 국책연구사업 임 (No. 2007 2006995)

참고 문헌

- [1] 신현국, 오종석 외4인, “요건추적매트릭스의 국제핵융합실험로 AC/DC 컨버터 Plant Interlock System 적용연구”, 전력전자학회 추계학술대회 논문집, 2015.11.27
- [2] Roy Billinton, Ronald N Allan, “Reliability Evaluation of Engineering Systems, Pitman Advanced Publishing Program, 1983
- [3] ITER IDM 문서, “1 S3 04 Dependability (RAMI, SIL) ITER IDM UID RYXCZJ”, FDR Meeting ITER Central Interlock System, 30th Mar. ~ 1st Apr. 2016