

NANDSim 기반의 오류 발생 시뮬레이터의 구현

김기진*, 임승호**

*한국외국어대학교 전자정보공학과

**한국외국어대학교 컴퓨터전자시스템공학부

e-mail : do131104@naver.com, slim@hufs.ac.kr

Implementation of Error Simulator with NANDSim

Ki-Jin Kim*, Seung-Ho Lim**

*Dept. of Electronic and Information Engineering, Hankuk University of Foreign Studies

**Div. of Computer and Electronic Systems Engineering, Hankuk University of Foreign Studies

요약

최근 소형 임베디드 시스템에서 고사양 컴퓨터 시스템까지 저장매체로 낸드 플래시 메모리를 채택하고 있다. 낸드 플래시는 물리적 성질로 인해 비트 오류가 발생하며 저장매체로 써의 신뢰성이 부각되고 있다. 낸드 플래시 연구를 위해 낸드 플래시 하드웨어로 실험 환경을 구성할 경우 다른 종류의 낸드 플래시 하드웨어를 테스트하려면 전체 실험 환경을 수정해야 하는 번거로움이 발생한다. 본 논문은 실제 낸드 플래시의 비트 오류율(Bit Error Rate : BER)을 수집하여 비트 오류 발생 모델을 구축하였고 리눅스 커널의 낸드 플래시 시뮬레이터인 NANDSim에서 가상으로 생성한 낸드 플래시 종류에 따라 비트 오류율을 적용하여 소프트웨어적 실험 환경을 구성하였다.

1. 서론

최근 낸드 플래시 메모리의 용량이 높아지고 단가가 낮아지면서 기존의 속도가 느린 HDD를 대체하고 있다. 낸드 플래시 메모리는 비휘발성이며, 전력소모가 낮고, 충격에 강하며, 사이즈가 작고 랜덤 IO 가능하기에 대부분의 임베디드 시스템에서 저장 매체로 채택하고 있다.

낸드 플래시는 플로팅 게이트 트랜지스터로 데이터를 저장하는 최소 단위인 셀을 구성하며 트랜지스터에 전압을 인가하여 전자를 채워 넣는 것이 쓰기 작업, 전자를 비우는 것이 지우기 작업에 해당한다. 읽기 작업은 트랜지스터의 전압 측정을 말한다. 트랜지스터에 채워진 전자의 량을 레벨로 나누어 이진 데이터 표현에 사용하며, 현재 트랜지스터가 비워져 있으면 1, 채워져 있으면 0으로 하나의 셀의 한 비트를 저장하는 Single-Level-Cell(SLC)방식에서 레벨을 늘려 하나의 셀에 세 비트를 저장하는 Triple-Level-Cell(TLC)까지 발전하였고, TLC 방식은 SLC 보다 단위 면적 용량이 2^2 배 증가하였다. 하지만 이러한 단일 셀 다중 전압 레벨을 통하여 용량 증가에 따른 몇 가지 문제점이 존재한다. 하나의 셀을 여러 전압 레벨로 나누다 보니 전압 레벨 간 명확한 구분되지 못하거나, 반복된 읽기 또는 쓰기 작업으로 비트 오류가 발생할 수 있다. 이 같은 오류 발생을 감지 및 수정하기 위하여 Error Correction Code(ECC)를 사용한다.

차세대 저장 매체로 각광받는 낸드 플래시의 데이터 안정성을 높이기 위한 연구가 끊임없이 진행되고 있으며 실험 환경은 기본적으로 실제 낸드 플래시 하

드웨어로 구성된다. 본 논문은 실제 낸드 플래시 디바이스의 물리적 특성으로 발생하는 비트 오류율을 수집하여 실제 낸드 플래시를 필요로 하지 않는 소프트웨어적 실험 환경 구성을 목표로 하였다. 이러한 실험 환경의 이점은 테스트하고자 하는 낸드 플래시의 종류에 맞는 비트 오류율을 적용하여 바로 다른 낸드 플래시로의 실험 환경 전환이 가능하다는 것이다.

NANDSim은 리눅스 커널에서 제공하는 낸드 플래시 시뮬레이터로, 본 논문에서는 실제 낸드 플래시 하드웨어에서 수집한 비트 오류율을 낸드 플래시 타입으로 구분하여 모델을 구축하였고 NANDSim을 통해 가상 낸드 플래시를 생성하고 비트 에러율을 적용하여 소프트웨어적인 실험 환경을 구성하였다.

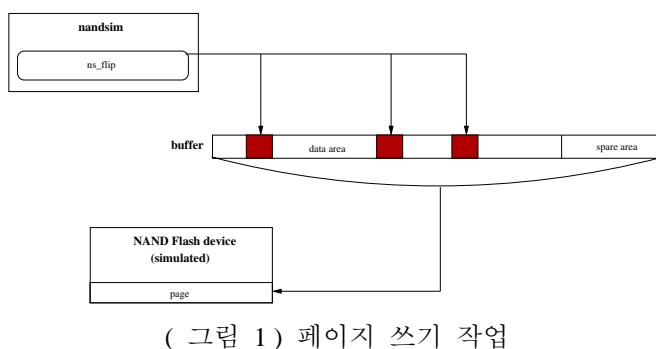
2. 오류 발생 시뮬레이터

낸드 플래시는 물리적 특성상 페이지 쓰기 작업 전 지우기 작업이 선행되며 NANDSim은 가상 낸드 플래시에서 페이지 쓰기 작업이 발생하면 해당 페이지가 속한 블록에 대한 지우기 횟수 정보를 가진 노드를 생성하여 이를 연결리스트를 통해 관리한다. 이 연결리스트를 통해 추후 지우기 횟수가 낸드 플래시 타입에 따른 Program/Erase(PE) cycle 문턱 값을 넘어서면 오류를 발생시키도록 되어있다. 하지만 NANDSim은 실제 낸드 플래시와 같이 지우기 횟수가 PE cycle 문턱 값의 도달하기 이전에는 비트 에러를 발생시키지 않아 낸드 플래시 신뢰성 테스트용으로 부적합하다.

오류 발생 시뮬레이터 구현은 두 단계로 진행되었으며 첫 단계로는 실제 SLC, Multi-Level-Cell(MLC),

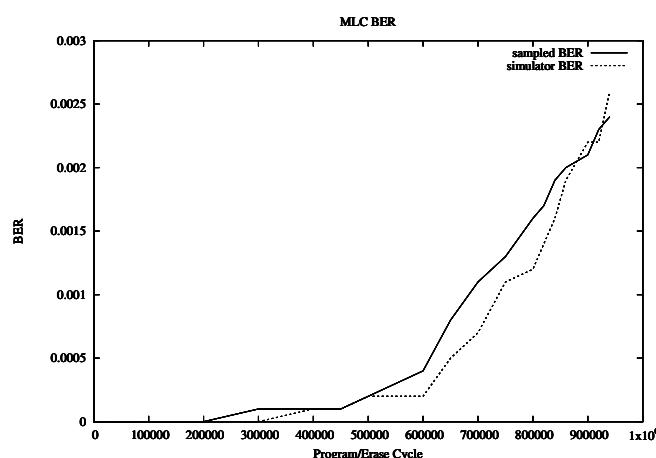
TLC 탑입의 낸드 플래시의 PE cycle 대비 비트 오류율을 수집하였다.

두 번째로 NANDSim에서 페이지 쓰기 작업을 수행하면 수집한 비트 오류율에 따라 비트 오류를 발생시키는 루틴을 추가하였다. 추가된 루틴은 페이지 쓰기 작업이 발생하면 해당 페이지의 지우기 횟수 정보를 참조하여 이에 상응하는 PE cycle에서 수집한 비트 오류율을 통해 비트 플립을 시도하도록 되어있다. PE cycle 증가에 따른 비트 오류를 발생시키는 루틴을 추가하여 낸드 플래시 연구에 적합한 시뮬레이터를 구축하였다. 그림 1은 낸드 플래시에서 페이지 쓰기 작업 시 nandsim 모듈에 추가된 ns_flip 이 해당 페이지를 포함한 블록의 지우기 횟수를 참조하여 그에 해당하는 비트 에러율에 따른 에러를 buffer에 적용하고 이를 가상 낸드 플래시 디바이스 page에 기록한다.



3. 실험

본 논문에서 구현한 비트 오류 발생 모델은 실제 SLC, MLC, TLC 낸드 플래시의 PE cycle 대비 비트 오류율에서 각 13개, 24개, 21개의 샘플을 추출하여 리눅스 커널 버전 3.18.17의 NANDSim에서 64MB, 4096B 페이지/블록 크기, 4096B 읽기/쓰기 단위의 가상 SLC, MLC, TLC 낸드 플래시에 적용한 뒤 PE cycle 대비 비트 오류율을 측정하였다.



(그림 2) MLC 낸드 플래시의 비트 오류율(sampled BER)과 가상 MLC 낸드 플래시의 비트 오류율(simulator BER)

그림 2는 실제 MLC 낸드 플래시 비트 오류율에서 추출한 샘플 sampled BER과 이가 적용된 가상 낸드 플래시의 비트 오류율 simulated BER을 보여준다.

표 1은 PE cycle 100000 번당 MLC 낸드 플래시의 비트 오류율과 가상 MLC 낸드 플래시의 비트 오류율 차이를 보여준다.

(표 1) sampled BER과 simulated BER의 차
(BER diff = sampled BER - simulated BER)

PE cycle (*10^5)	1	2	3	4	5	6	7	8	9
BER diff (*10^-4)	0	0	1	0	0	2	4	4	-1

실험결과에서 알 수 있는 바와 같이, 가상 낸드 플래시의 비트 오류율과 실제 낸드 플래시의 비트 오류율간 차이가 있으나 PE cycle 증가에 따른 비트 오류율이 증가함을 확인할 수 있다. 이러한 차이는 비트 에러율 추출 샘플의 개수를 늘려 향후 개선될 수 있을 것으로 기대된다.

4. 결론

낸드 플래시 기반의 저장 매체는 물리적 특성상 비트 오류가 발생하며 이에 지속적인 낸드 플래시 신뢰성 연구를 필요로 한다. 본 논문에서는 실제 낸드 플래시의 비트 오류율을 수집하여 비트 오류 발생 모델을 구현하였고 리눅스 커널의 NANDSim에 적용하여 수집한 비트 오류율과 가상 낸드 플래시의 비트 오류율을 비교하여 소프트웨어적인 낸드 플래시 테스트 환경 구축을 목표로 하였다. 향후, 구현된 테스트 환경을 통하여 낸드 플래시 데이터 신뢰성 연구를 진행할 예정이다.

참고문헌

- [1] Peleato, Borja, et al. "BER-based wear leveling and bad block management for NAND flash." Communications (ICC), 2015 IEEE International Conference on. IEEE, 2015
- [2] Cheng, Kuo-Liang, et al. "RAMSES-FT: A fault simulator for flash memory testing and diagnostics." VLSI Test Symposium, 2002.(VTS 2002). Proceedings 20th IEEE. IEEE, 2002.
- [3] Mielke, Neal, et al. "Bit error rate in NAND flash memories." Reliability Physics Symposium, 2008. IRPS 2008. IEEE International. IEEE, 2008.
- [4] Yaakobi, Eitan, et al. "Error characterization and coding schemes for flash memories." GLOBECOM Workshops (GC Wkshps), 2010 IEEE. IEEE, 2010.
- [5] Cai, Yu, et al. "Program interference in MLC NAND flash memory: Characterization, modeling, and mitigation." Computer Design (ICCD), 2013 IEEE 31st International Conference on. IEEE, 2013.
- [6] Liu, Ren-Shuo, Chia-Lin Yang, and Wei Wu. "Optimizing NAND flash-based SSDs via retention relaxation." Proceedings of the 10th USENIX conference on File and Storage Technologies (FAST'12). 2012.