

# 소스영역으로 오버랩된 게이트 길이 변화에 따른 터널 트랜지스터의 터널링 전류에 대한 연구

이주찬, 안태준, 심언성, 유윤섭\*

한경대학교

## Source-Overlapped Gate Length Effects at Tunneling current of Tunnel Field-Effect Transistor

Ju-Chan Lee, Tae-Jun Ahn, Un-Sung Sim, Yun Seop Yu\*

Hankyong National University

E-mail : dlwncks2001@gmail.com

### 요 약

TCAD 시뮬레이션을 이용하여 소스영역으로 오버랩된(overlapped) 게이트를 가진 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistor; TFET)의 오버랩된 게이트 길이에 따른 터널링 전류 특성을 조사하였다. 터널링은 크게 라인터널링과 포인트 터널링으로 구분되는데, 라인터널링이 포인트 터널링보다 subthreshold swing(SS), on-current에서 더 높은 성능을 보인다. 본 논문은 Silicon, Germanium, Si-Ge Hetero TFET 구조에서 게이트 길이를 소스영역으로 오버랩될 경우에 포인트 터널링과 라인터널링의 효과를 조사해서 SS와 on-current에 최적합한 구조의 가이드라인을 제시한다.

### ABSTRACT

The characteristics of tunnel field-effect transistor(TFET) structure with source-overlapped gate was investigated using a TCAD simulations. Tunneling is mostly divided into line-tunneling and point-tunneling, and line-tunneling is higher performance than point-tunneling in terms of subthreshold swing(SS) and on-current. In this paper, from the simulation results of source-overlapped gate length effects at silicon(Si), germanium(Ge), Si-Ge hetero TFET structure, the guideline of optimal structure with highest performance are proposed.

### 키워드

tunnel field-effect transistor, line tunneling, point tunneling, subthreshold swing, on-current

### I. 서 론

1965년 이래 무어의 법칙(Moore's Law)에 따라 MOSFET은 크기와 성능에 비약한 발전을 이루었다. 그러나 현대에 이르러 단채널 효과의 심화와 미세공정에서의 어려움 및 문턱전압이하 기율기(subthreshold swing; SS)가 상온에서 60mV/dec 이하로 낮아 질수 없는 물리적 한계에 도달하게 되었다. 이를 극복하기 위해서 양자역학적 현상인 밴드에서 밴드로 터널링 현상을 활용한 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistor; TFET)에 대해 활발히 연구가 진행되고 있다[1]. TFET에서 Tunneling은 크게 게이트의 전계에 의해 게이트 산화막과 소스 접합면에서 일어나는 라인터널링과 소스와 채널 사이에서 일어나는 포인트 터널링으로 구분되는데[2], 본 논문에서는 소스영역에 오버랩된(overlapped) 게

트 길이 변화에 따른 라인 터널링과 포인트 터널링을 조사한다. 이를 통해서 최적의 성능을 가지는 구조의 가이드 라인을 제시한다.

### II. 터널링 및 TFET의 구조

일반적인 TFET는 상단에 게이트와 산화막이 존재하는 p-i-n 다이오드 구조로서 설명될 수 있다[1]. TFET는 그림 1과 같이 소스, 채널, 드레인 각각에 P-I-N 도핑이 이루어져 있다. 그림 1은 시뮬레이션에서 이용한 Single-Gate TFET 구조를 나타낸 것이다. 소스, 채널, 드레인은 각각  $N_a=10^{20}$ ,  $N_{ch}=10^{15}$ ,  $N_d=10^{18}$ 으로 도핑되었으며 각 구조의 길이는  $L_{ch}=50\text{nm}$ ,  $L_{dr}=50\text{nm}$ ,  $L_{so}=60\text{nm}$ 로, 실리콘 두께  $T_{Body}=10\text{nm}$ 로 설정하였다. 게이트 산화막 두께  $T_{oxide}=2\text{nm}$ 로 하였다. 그림 1(a)는 게

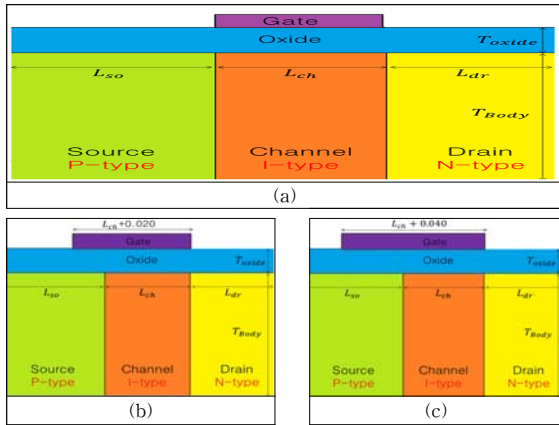


그림 1. 소스 오버랩된 게이트의 TFET 구조.  
 (a)  $L_{gate(overlap)}=0$ , (b)  $L_{gate(overlap)}=20nm$ ,  
 (c)  $L_{gate(overlap)}=40nm$ .

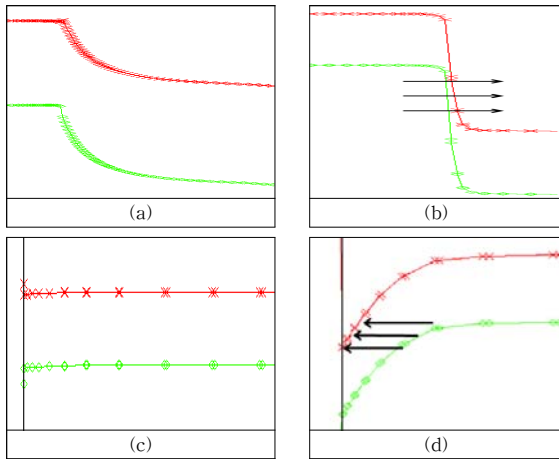


그림 2. Energy band-diagram (a)소스-채널 방향 ( $V_g=0$ ) (b)소스-채널 방향 ( $V_g \neq 0$ ) (c)게이트 산화막-채널방향( $V_g=0$ ) (d)게이트 산화막-채널방향( $V_g \neq 0$ )  
 이트 길이와 채널 길이가 같은 구조이고, 그림 1(b)는 게이트 길이가 소스 방향으로 20nm만큼 오버랩된 구조이다. 그림 1(c)는 그림 1(b)와 같은 방향으로 40nm만큼 오버랩된 구조이다.

그림 1(b)와 (c)와 같이 소스영역에 오버랩된 게이트( $L_{gate(overlap)}=20nm$ ,  $L_{gate(overlap)}=40nm$ .)을 가진 TFET는 소스와 채널의 접합면에서 그림 2(a)와 같은 에너지 밴드 구조를 갖게 된다. 게이트의 전계효과에 의해 채널의 상단이 그림 2(b)와 같은 에너지 밴드 구조가 되면, 가전자대에 존재하던 전자가 화살표 방향을 통해 전도대로 이동하게 되고 이것을 포인트 터널링이라 한다. 그림 2(c)는 산화막과 소스 접합면에서 에너지 밴드구조를 나타낸 것이다. 마찬가지로 게이트의 전계에 의해 소스 표면에 그림 2(d)와 같은 공핍층이 생기게 되는데 이때 화살표 방향으로의 전자이동을 라인 터널링이라 한다. 일반적인 경우 라인 터널링이 포인트 터널링보다 SS와 on-current에서 더 높은

성능을 가지고 있다.

### III. 시뮬레이션 모델 및 결과

Silvaco사의 ATLAS[4]를 사용하여 2D TCAD 시뮬레이션했다. 실리콘(Si), 게르마늄(Ge), 소스-채널-드레인 순으로 Ge-Si-Si hetero TFET에 게이트 길이를 변화시켜 실험하였다. 재결합 관련 모델은 consrh, auger 모델을 사용하였으며, 터널링 모델은 bbt.nonlocal 모델을 사용하였다.

그림 3, 4, 5는 오버랩된 게이트 길이에 따른 Si, Ge, Ge-Si hetero TFET의 라인터널링, 포인트 터널링 각각에 의한 전류와 전체전류 특성곡선이 다.

그림 3은 Si의 라인터널링 특성 곡선에서 오버랩이 없는 경우와 20, 40nm 오버랩된 경우 on-current는 각각  $1.09 \times 10^{-7}$ , 0.12, 0.14mA이고 SS는 35, 20, 22mV/dec로 나타났다. Si의 포인트 터널링 특성 곡선에서 on-current는 각각  $1.82 \times 10^{-2}$ ,  $1.05 \times 10^{-6}$ ,  $1.49 \times 10^{-6}$  SS는 31, 53, 53.2mV/dec로 나타났으며 Si의 전체 전류 특성곡선에서는 on-current는 각각 0.016, 0.12, 0.14mA 이고 SS는 35.4, 52, 53mV/dec로 hump 현상[3]에 의해 전체전류의 SS는 오버랩 되었을 때 더 감소하는 것으로 나타났다. hump 현상은 포인트 터널링에서 라인 터널링으로 변경되는 사이에서 증가율이 변하는 현상을 말하며, 이는 SS에 좋지 않은 영향을 미친다.

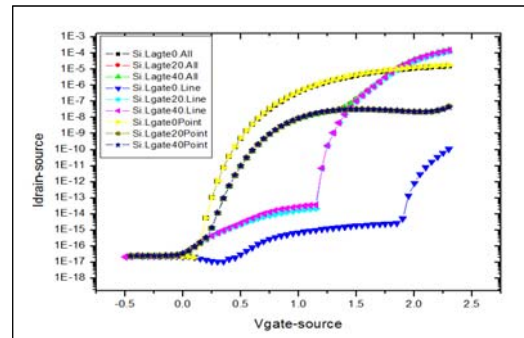


그림 3. Si TFET  $I_{ds}-V_{gs}$  특성곡선

그림 4. Ge TEFET의 라인터널링 특성곡선에서 on-current는 각각 0.00587, 0.00037, 0.000365mA이고 SS는 6, 7, 7mV/dec이고 포인트 터널링에서 on-current는 0.0009, 0.00026, 0.00026mA이고 SS는 61, 58, 58mV/dec이고, 전체 전류 특성곡선에서 on-current는 0.00094, 0.00054, 0.00052mA이고 SS는 61, 58, 58mV/dec로 나타났다.

그림 5. Hetero TFET의 라인터널링 특성곡선에서 각각의 경우에 on-current는  $5.5 \times 10^{-7}$ , 0.32 0.31mA이고 SS는 15, 14, 14mV/dec이고, 포인트 터널링에서 on-current는 0.94, 0.21 0.21mA이고 SS는 57, 47, 47mV/dec로 나타났다. 전체 전류 특성곡선에서 on-current는 각각 0.94 0.42, 0.41mA

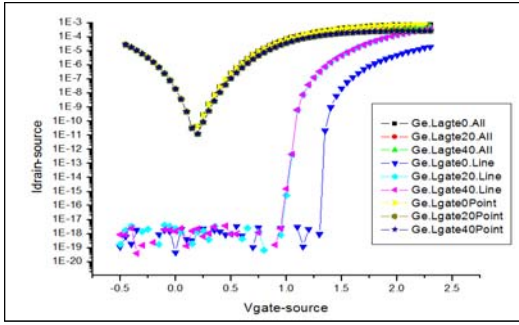


그림 4. Ge TFET  $I_{ds}-V_{gs}$  특성곡선

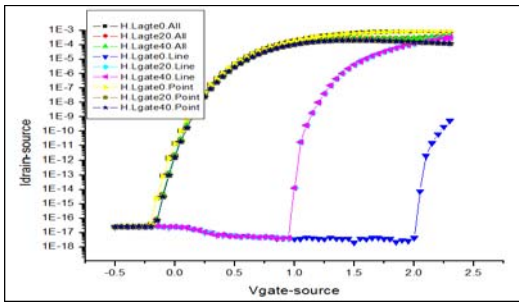


그림 5. Hetero TFET  $I_{ds}-V_{gs}$  특성곡선

이고 SS는 57, 47, 46mV/dec로 on-current의 변화는 미비하지만, 포인트 터널링에 의해, SS의 효율이 크게 감소하였다.

그림 6(a), (b), (c)는 Si TFET의 오버랩된 게이트의 길이가 각각 0nm, 20nm, 40nm에서 터널링 분포이다.  $L_{gate(overlap)}=0nm$ 에서 높은 포인트 터널링 분포를 확인할 수 있다.  $L_{gate(overlap)}=20nm$ 와  $L_{gate(overlap)}=40nm$ 에서 소스-채널 사이에서 포인트 터널링은 감소했지만 게이트 산화막-드레인 방향으로의 라인 터널링은 게이트 길이에 비례하여 증가하는 것을 확인할 수 있다.

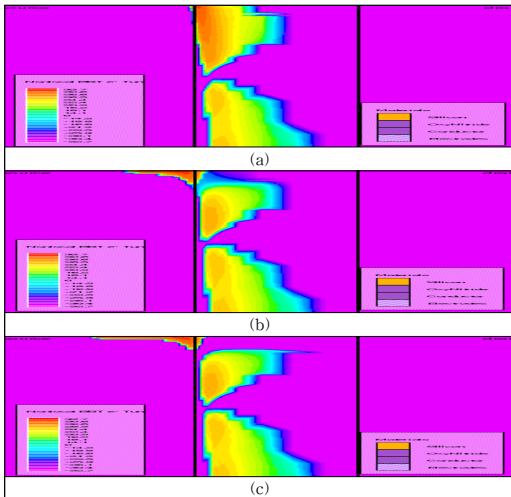


그림 6. Si TFET 터널링 분포. (a) $L_{gate(overlap)}=0nm$ , (b) $L_{gate(overlap)}=20nm$ , (c) $L_{gate(overlap)}=40nm$ .

#### IV. 결 론

본 논문에서는 TFET에서 소스 방향으로 오버랩된 구조에 따른 특성을 비교 및 분석하였다. 오버랩이 없는 경우 TFET는 포인트 터널링에 의해 동작되며, 오버랩 되는 길이에 따라 라인 터널링이 함께 작용된다. 라인 터널링은 포인트 터널링에 비해 on-current에서는 큰 차이가 없었지만, SS에서 높은 효율을 보였다. 포인트 터널링이 라인 터널링보다 문턱전압이 더 낮아, 전체 전류는 포인트 터널링의 영향에 의해 SS가 크게 감소하는데, 이를 보상하기 위하여, 높은 유전율을 갖는 게이트 산화막을 사용하여 라인터널링의 문턱전압을 낮추거나, 터널링이 발생하는 산화막-소스 부분에 얇은 intrinsic 채널을 추가하여 라인터널링을 높이고 포인트 터널링을 줄이는 방법(Pocket TFET)이 제안될 수 있다. 이 결과를 바탕으로 라인터널링의 효율적인 사용은 더 좋은 반도체 소자구조의 새로운 틀을 제시할 수 있을 것으로 예측한다.

#### Acknowledgement

본 연구는 산업통상자원부(프로젝트번호: 10054888)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업의 연구결과로 수행되었음

#### 참고문헌

[1] A. M. Ionescu, H. Riel, "Tunnel field-effect transistors as energy-efficient electronic switches," *Nature*, Vol. 479, pp. 329-337, 2011.  
 [2] W. Vandenberghe, *et. al.* "Analytical model for point and line tunneling in a tunnel field-effect transistor," in *SISPAD 2008*, pp. 137-140. 2008.  
 [3] S. W. kim, *et. al.* "Hump Effects of Germanium/Silicon Heterojunction Tunnel Field-Effect Transistors," *IEEE Transactions on Electron Devices*, vol. 63, Issue:6, pp. 2583-2588, 2016.  
 [4] SILVACO, int. "ATLAS Users Manual", Santa Clara, CA, 2014.