
높은 처리량을 갖는 HEVC CABAC 이진 산술 부호화기의 하드웨어 설계에 관한 연구

조현구 · 류광기

한밭대학교 정보통신전문대학원

A Study on the Hardware Design of High-Throughput HEVC CABAC Binary Arithmetic Encoder

Hyun-gu Jo · Kwang-ki Ryoo

Dept. of Information & Communication Eng., Hanbat National University

E-mail : iookie@nate.com

요 약

본 논문은 HEVC의 엔트로피 코딩방법인 CABAC Encoder를 위한 효율적인 하드웨어 구조를 제안한다. CABAC의 이진 산술 부호화(Binary Arithmetic Encode)는 각 단계간의 의존도가 높아 빠른 연산이 어렵다. 제안하는 이진 산술 부호화기는 입력으로 들어오는 bin을 고속으로 처리하기 위하여 4단계의 파이프라인 구조로 설계 되었다. 입력 bin의 값에 따라 MPS(Most Probable Symbol) 혹은 LPS(Least Probable Symbol)로 결정되어 이진 산술 부호화를 수행 하며 반복되는 연산으로 발생하는 Critical path는 LUT를 사용하여 줄일 수 있었고 하드웨어 면적을 줄이기 위해 메모리를 사용하지 않는 구조로 설계 되었다. 제안하는 CABAC의 이진 산술 부호화기는 Verilog-HDL로 설계하였으며 65nm 공정으로 합성하였다. 합성 결과 게이트수는 3.17k 이며 최대 동작주파수는 1.53GHz이다.

ABSTRACT

This paper proposes entropy coding method of HEVC CABAC Encoder for efficient hardware architecture. The Binary Arithmetic Encoder requires data dependency at each step, which is difficult to be operated in a fast. Proposed Binary Arithmetic Encoder is designed 4 stage pipeline to quickly process the input value bin. According to bin approach, either MPS or LPS is selected and the binary arithmetic encoding is performed. Critical path caused by repeated operation is reduced by using the LUT and designed as a shift operation which decreases hardware size and not using memory. The proposed Binary Arithmetic Encoder of CABAC is designed using Verilog-HDL and it was implemented in 65nm technology. Its gate count is 3.17k and operating speed is 1.53GHz

키워드

CABAC, HEVC, Binary Arithmetic Encode, Entropy Coding

I. 서 론

미디어의 발달로 Full-HD를 넘어 현재 UHD 영상에 대한 사용자의 요구가 증가함에 따라 효율적으로 전송 및 서비스하기 위한 HEVC(High Efficiency Video Coding) 표준이 발표 되었다[1]. HEVC는 H.264/AVC와 비교해서 압축률은 약 2배가 향상 되었으나 복잡도와 연산량이 증가하여

실시간 처리의 어려움을 보이고 있다[2]. HEVC에서 엔트로피 코딩 기법은 CABAC이 유일하게 채택 되었으며 CABAC은 하나의 bin(bin)을 부호화한 후 확률 모델을 업데이트하고, 업데이트 된 확률 모델로 다음 bin을 부호화한다. 이러한 방법은 압축 효율을 향상 시키지만 현재 bin의 부호화가 끝나기 전에는 확률 모델이 업데이트 되지 않아 다

음 빈을 부호화 할 수 없다. 따라서 본 논문에서는 높은 처리량을 갖는 CABAC 이진 산술 부호화기의 하드웨어 구조에 대해 제안한다.

본 논문의 구성은 다음과 같다. II장에서는 HEVC CABAC 부호화 알고리즘에 대해서 기술하고, III장에서는 제안하는 CABAC 이진 산술 부호화기의 구조에 대해 기술하며, IV장에서는 하드웨어 구현 및 성능 분석에 대해 기술한다. 마지막으로 V장에서는 본 연구의 결론에 대해 기술한다.

II. HEVC CABAC 부호화 알고리즘

CABAC Encoder는 각 문맥 요소에 대한 확률 모델을 선택 하는 문맥 기반 모델링 방법을 통해 적응적 이진 산술 부호화를 수행하여 부호화 한다[3]. 그림 1은 CABAC Encoder의 블록 다이어그램을 보여준다. CABAC Encoder는 이진화기(Binarizer), 문맥 모델러(Context-Modeler), 이진 산술 부호화기(Binary Arithmetic Encoder)의 순서로 구성된다.

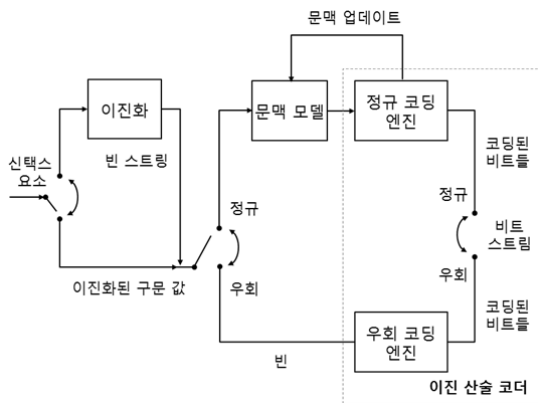


그림 1. CABAC Encoder의 블록 다이어그램

이진화기는 이진값이 아닌 신택스 요소(Syntax Element)를 빈 스트링(Bin String)이라 불리는 이진화 된 시퀀스로 처리한다. 이진 값을 가지는 신택스 요소일 경우 이진화기는 바이패스 된다. 이진화기를 거쳐 이진화 된 빈은 발생 확률 값에 따라 세 가지 모드로 부호화 한다. 정규(Regular) 모드는 문맥 모델러에서 생성 된 확률 값(pState, ValMPS)을 가지고 부호화 한다. 우회(Bypass)모드는 문맥 모델러를 사용하지 않으며 동일한 확률로 빈을 부호화 한다. 종료(Terminate)모드는 슬라이스의 종료 여부를 판단하는 신택스 요소(end_of_slice_flag)의 빈을 부호화 한다.

문맥 모델러는 부호화 블록의 주변 정보 값인 문맥(Context)을 이용하여 문맥 모델 확률을 추정한다.

이진 산술 부호화기는 이진화 된 값인 빈(Bin)과 문맥 모델러의 확률 값을 이용하여 범위

(Range)를 설정하면서 부호화를 수행한다. 재정규화(Renormalization) 과정은 범위가 일정 크기로 작아지게 되면 범위를 재설정하고 비트스트림(Bitstream)을 생성하게 된다. HEVC에서 CABAC Encoder는 통계적 중복성을 제거하여 영상의 높은 압축률을 지원한다. 하지만 이진 산술 부호화기는 연속적으로 입력되는 데이터 간의 의존 관계가 높다. 따라서, 이진 산술 부호화기는 하드웨어 구현시 병렬 처리가 어렵고 처리량이 제한되는 단점이 있다.

III. 제안하는 이진 산술 부호화기의 구조

제안하는 이진 산술 부호화기는 4개의 Stage로 구성된다. 제안하는 구조는 Stage2와 Stage3에서 Range와 Low의 산술 연산을 하는 동시에 재정규화를 수행하며 파이프라인 구조로 동작한다. 그림 2는 제안하는 이진 산술 부호화기의 블록 다이어그램을 나타낸다.

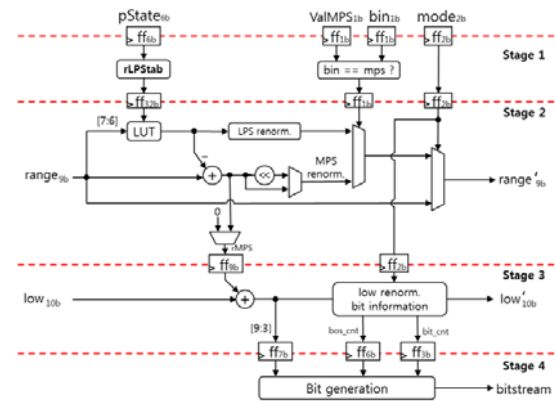


그림 2. 제안하는 이진 산술 부호화기 구조

Stage 1은 문맥 모델러에서 확률 값(pState)에 대하여 표 1과 같이 4개의 후보를 출력 한다[4]. 또한 MPS 값(ValMPS)과 현재 부호화 할 빈(bin)을 비교하여 식(1)과 같이 현재 빈이 LPS인지 MPS인지 결정 한다.

$$\begin{aligned} bin &= MPS & \text{if. } (ValMPS = bin) \\ bin &= LPS & \text{if. } (ValMPS \neq bin) \end{aligned} \quad (1)$$

표 1. rLPS 테이블

pStateIdx	qRangeIdx			
	0	1	2	3
0	128	176	208	240
1	128	167	197	227
2	128	158	187	216
...				
61	6	7	9	10
62	6	7	8	9

Stage 2는 이진 산술 부호화의 범위(Range)가 일정 범위 보다 커지면 재정규화를 수행 하고 재정규화의 횟수(Cnt_RenormE)와 low 값 계산에 필요한 MPS의 범위(rMPS)를 Stage 3에 출력 한다.

Stage 1에서 입력받은 4개의 LPS 후보를 입력 Range의 7, 6번째 비트(qRangeldx)로 ivlLPSRange를 결정 한다. 현재 부호화 하는 빈이 LPS일 경우와 MPS일 경우의 ivlCurrRange는 식(2)와 같다.

$$\begin{aligned} ivlCurrRange &= ivlLPSRange & \text{if. (bin = LPS)} \\ ivlCurrRange &= ivlCurrRange - ivlLPSRange & \text{if. (bin = MPS)} \end{aligned} \quad (2)$$

Stage 2에서의 재정규화 과정은 Range의 재정규화 과정을 수행한다. 그림 3은 Range 재정규화의 순서도를 나타낸다. 기존의 알고리즘은 ivlCurrRange가 일정 크기(0x100) 이상이 될 때까지 최대 6번 좌시프트 연산을 반복적으로 수행한다. 제안하는 구조에서는 Range 재정규화의 가변적인 연산을 해결하기 위해 ivlCurrRange의 최상위비트 부터 첫 번째 1의 위치를 찾아 재정규화 횟수를 계산하고 반복 횟수만큼 왼쪽으로 시프트하여 Range 재정규화를 간단하게 수행한다.

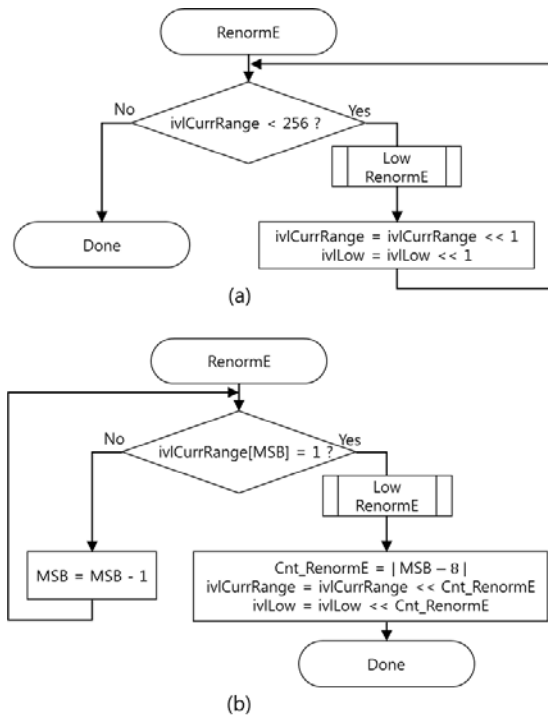


그림 3. Range 재정규화 순서도. (a) 기존 재정규화 알고리즘 (b) 제안하는 재정규화 알고리즘

Stage 3은 rMPS와 low의 값을 더하여 ivlLow 값을 구하며 ivlLow와 Range의 재정규화 횟수를 통하여 부호화 하는 빈에 대한 비트스트림 생성

에 필요한 정보 비트를 출력 한다.

현재 부호화 하는 빈이 LPS일 경우와 MPS일 경우의 ivlLow는 식(3)과 같다.

$$\begin{aligned} ivlLow &= ivlLow + rMPS & \text{if. (bin = LPS)} \\ ivlLow &= ivlLow & \text{if. (bin = MPS)} \end{aligned} \quad (3)$$

Stage 3에서의 재정규화 과정은 Low를 재정규화함과 동시에 Stage 4에서 비트스트림을 출력하기 위해 필요한 정보비트를 생성한다. CABAC Encoder는 재정규화 횟수만큼 비트스트림을 생성하므로 제안하는 구조에서는 Stage 2에서 계산된 재정규화 횟수만큼 Low를 좌시프트 하여 다음 빈에 대한 Low를 재정규화 하고 ivlLow와 재정규화 횟수를 나타내는 Cnt_RenormE에 따라서 ivlLow의 상위 (Cnt_RenormE + 1)비트를 이용하여 비트스트림의 출력을 나타내는 bit_cnt와 비트스트림의 값이 결정되지 않은 비트의 개수를 나타내는 bitOutstanding의 횟수를 결정한다. 그림 4는 재정규화 횟수(0~6)에 대한 정보 비트 출력의 순서도 중 일부를 보여준다. Cnt_RenormE=6의 경우 최대 7번 반복적으로 비교하여 발생하는 Critical Path 구간을 LUT를 사용하여 최소화 하였다.

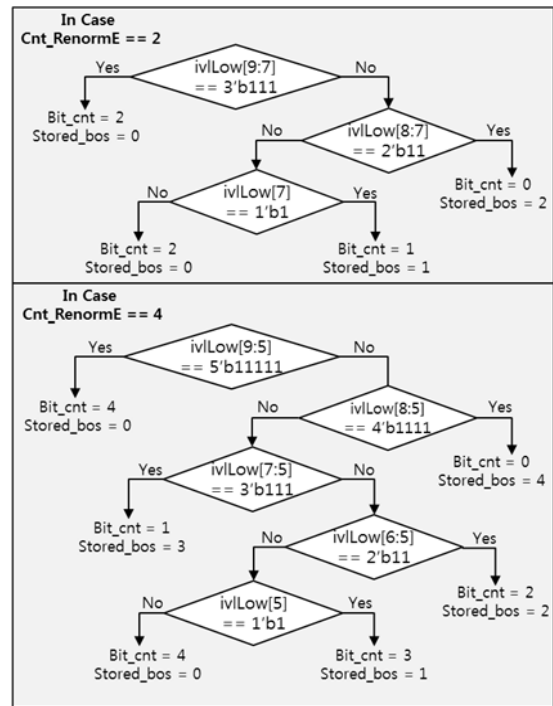


그림 4. 재정규화 횟수(0~6)에 따른 비트스트림 출력을 위한 정보 비트 결정순서도

Stage 4는 현재 빈에 대한 비트스트림 생성 정보를 통하여 비트스트림을 출력 한다.

비트 생성기는 ivlLow의 상위 7bit인 Low_data와 bitOutstanding의 횟수를 나타내는 bos_cnt, 출

표 2. 이진 산술 부호화기 비교

	Chen[6]	Fei[7]	Peng[8]	Proposed
Format	H.264/AVC	H.264/AVC	HEVC	HEVC
Throughput (bin/cycle)	1.42	4	1.18	1
Max. clock Frequency (MHz)	222	279	357	1,538
Technology (nm)	130	90	130	65
Max. Processing Speed (Mbin/s)	315	1,116	440	1,538
Gate Count (NAND gate)	14.7k	8.22k	24.9k	3.17k

력 비트수를 나타내는 bit_cnt를 입력 받아 비트 스트림을 출력 한다. 부호화 되는 빈에 따라 출력 하는 비트스트림의 개수는 가변적이며 결정 된 비트스트림을 저장할 메모리가 필요하다. 제안하는 구조는 가변적인 비트스트림의 개수를 나타내는 출력신호를 생성하여 메모리에 저장하지 않고 비트스트림을 출력 할 수 있도록 설계 하여 하드웨어 면적을 크게 줄일 수 있었다.

IV. 하드웨어 구현 및 성능 분석

제안하는 CABAC 이진 산술 부호화기는 Verilog-HDL로 설계하고 HEVC 표준 모델인 HM16.9[5]을 통해 테스트 벡터를 만들었으며, 이를 입력으로 하여 HM에서 출력 된 비트스트림과 제안하는 이진 산술 부호화기에서 출력 된 비트스트림을 Text 비교 프로그램인 WinMerge를 통하여 완벽하게 일치함을 검증 하였다. 제안하는 이진 산술 부호화기는 65nm 표준 셀 라이브러리와 Synopsys사의 Design Compiler를 이용하여 합성한 결과 게이트 수는 3.17k이며, 최대 동작 주파수는 1.53GHz, 최대 처리율은 1.53Gbin/s이다. 표 2는 하드웨어 구현 결과를 다른 구조들과 비교한 결과이다. 비교하는 구조의 게이트 수는 이진 산술 부호화기(BAE : Binary Arithmetic Encoder)의 게이트 수이다.

V. 결 론

본 논문은 HEVC의 엔트로피 코딩 기법인 CABAC의 높은 처리량을 갖는 효율적인 이진 산술 부호화기를 제안한다. 기존의 알고리즘은 단계 간의 의존도가 높아 연산 과정이 복잡하다. 제안하는 구조는 재정규화 과정을 분리 시켜 Critical Path를 최적화 시키고 Stage 2, 3에서 Range, Low의 재정규화를 효율적으로 처리한다. 재정규화 과정에서 발생하는 비트스트림은 Stage 4에서 비트출력이 되도록 구현 하였다. 또한 메모리를 사용하지 않아 하드웨어 면적을 줄이고 LUT를 사용하여 연산의 복잡도를 줄여 Critical Path를 최소화 할 수 있었다. 제안하는 이진 산술 부호화

기는 65nm 공정으로 합성한 결과 게이트 수는 3.17k이며 최대 동작주파수는 1.53GHz에서 동작이 가능하다. 기존 구조 대비 면적은 159% 감소하였으며 최대 동작 주파수는 27% 증가 하였다.

감사의 글

본 연구는 미래창조과학부 및 정보통신기술진흥센터의 ICT전문인력활용촉진사업(IITP-2015-R0134-16-1019)과 해외인재스카우팅사업(IITP-2016-R2418-16-0007)의 연구결과로 수행되었음

참고문헌

[1] JCT-VC, "High Efficiency Video Coding(HEVC) text specification draft 10 (for FDIS & Last Call)," JCTVC-L1003_v34, Geneva, Switzerland, Jan, 2013.

[2] Joint Video Team, Draft IUT-T Recommendation and Final Draft International Standard of Joint Video Specification, IUT-T Rec. H.264 and ISO/IEC 14496-10 AVC, 2003.

[3] Iain E. G. Richardson, The H.264 Advanced Video Compression Standard second Edition, John Wiley & Sons, August, 2010.

[4] IUT-T, "Recommendation ITU-T H.265(4/2015) High efficiency video coding", p.215, April, 2015.

[5] HEVC software repository HM-16.9, https://hevc.hhi.fraunhofer.de/svn/svn_HEVCSoftware/tags/HM-16.9/

[6] J.-W. Chen, L.-C. Wu, P.-S. Liu, and Y.-L. Lin, "A high-throughput fully hardwired CABAC encoder for QFHD H.264/AVC main profile video," IEEE Trans. Consum. Electron. vol. 56, no. 4, p.2529--2536, Nov, 2010.

[7] W. Fei, D. Zhou, and S. Goto, "A 1 Gbin/s CABAC encoder for H.264/AVC," in Proc. Eur. Signal Process. Conf. (EUSIPCO), p.1524-1528, Sep, 2011.

[8] B. Peng, D. Ding, X. Zhu, and L. Yu, "A hardware CABAC encoder for HEVC," in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), p.1372-1375, May, 2013.