
HEVC 부호기를 위한 Intra Prediction Angular 모드 결정 하드웨어 설계

최주용 · 류광기

한밭대학교 정보통신전문대학원

Hardware Design of Intra Prediction Angular Mode Decision
for HEVC Encoder

Jooyong Choi · Kwangki Ryoo

Dept. of Information & Communication Eng., Hanbat National University

E-mail : c jy8069@hanbat.ac.kr

요 약

본 논문에서는 고성능 HEVC 부호기를 위한 효율적인 Intra Prediction Angular 모드 결정 하드웨어 설계를 제안한다. Intra Prediction에서는 35가지 모드 중에서 최적의 모드를 결정한 후 예측하여 부호화 성능을 향상 시킨다. 하지만 35가지의 모드를 모두 처리하기 위해서는 많은 연산 복잡도와 처리시간이 요구된다. 그러므로 본 논문에서는 원본 영상 픽셀의 차이 값을 비교하여 Angular 모드를 효율적으로 결정하는 알고리즘을 적용한 하드웨어 설계를 제안한다. 효율적인 알고리즘의 사용을 통해 하드웨어 면적을 감소시켰다. 제안된 하드웨어 구조는 Verilog HDL로 설계하였으며, 65nm 공정으로 합성하였다. 합성 결과 14.9K개의 게이트로 구현되었고 최대 동작주파수는 2GHz이다.

ABSTRACT

In this paper, we propose a design of Intra Prediction angular mode decision for high-performance HEVC encoder. Intra Prediction works by performing all 35 modes for efficient encoding. However, in order to process all of the 35 modes, the computational complexity and operational time required are high. Therefore, this paper proposes comparing the difference in the value of the original image pixel, using an algorithm that determines Angular mode efficiently. This new algorithm reduces the Hardware size. The hardware which is proposed was designed using Verilog HDL and was implemented in 65nm technology. Its gate count is 14.9k and operating speed is 2GHz

키워드

HEVC, Intra prediction, Hardware, Angular mode

I. 서 론

최근 Ultra High Definition(UHD)급의 초고해상도 영상을 지원하는 다양한 영상기기들의 발전으로 인해 사용자의 초고화질, 초고해상도 영상에 대한 관심과 수요가 증가하였다. 이러한 이유로 UHD급 영상과 같은 고화질, 고해상도 영상을 지

원하기 위해 새로운 비디오 압축 기술 표준의 개발이 필요하게 되었다. High Efficiency Video Coding(HEVC)으로 불리는 이 표준은 International Organization for Standardization(ISO)/International Electrotechnical Commission(IEC)의 Moving Picture Experts Group(MPEG)과 International Telecommunication Union Telecommunication

Standardization Sector)의 Video Coding Experts Group(VCEG)가 2010년 1월에 공동으로 Joint Collaborative Team on Video Coding(JCT-VC)을 결성하여 개발한 새로운 차세대 비디오 압축 표준이다. 기존의 비디오 압축 표준인 H.264/AVC와 비교해 부호화 효율이 두 배 이상 향상되었으며 비디오 코덱 전반에 걸쳐 새로운 부호화 알고리즘들이 제안되었다. HEVC의 화면내 예측은 64x64부터 4x4 크기의 PU에 대한 예측을 수행하여 현재 프레임과 가장 유사한 예측 프레임을 생성하며 총 35개의 예측 모드를 갖는다. 하지만 35가지의 모드를 모두 처리하기 위해서는 많은 연산 복잡도와 처리시간을 요구한다[1].

본 논문에서는 HEVC 화면내 예측의 효율적인 Angular 모드 결정 기법 알고리즘을 적용한 하드웨어 설계를 제안한다. 적용된 알고리즘은 픽셀간의 차이와 위치를 이용해 Angular 모드를 선택하여 예측을 수행한다.

본 논문의 구성은 다음과 같다. 2장에서는 HEVC의 표준 화면내 예측 기술에 대해 기술하고, 3장에서는 적용된 효율적인 Angular 모드 선택 기법과 제안한 하드웨어 구조에 대해 기술한다. 4장에서는 제안한 하드웨어의 성능 비교를 기술하며, 마지막으로 5장에서는 결론을 통해 논문을 마친다.

II. HEVC 화면내 예측

HEVC의 화면내 예측은 현재 블록의 주변에 이미 재구성된 샘플들을 참조하여 현재 블록을 예측하는 방법이다. 화면내 예측 순서는 그림 1과 같으며 참조샘플 준비, 화면내 예측 영상 생성, 예측 모드 부호화 순으로 진행된다. 참조샘플 준비 단계에서는 참조 샘플 패딩과 참조 샘플 필터링이 포함되어 있다.

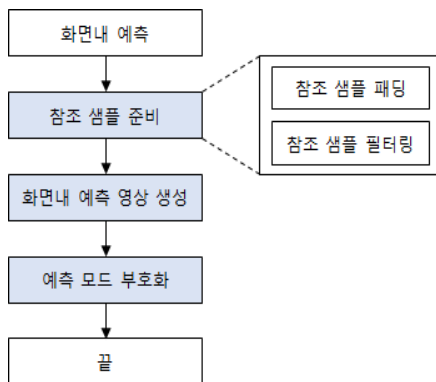


그림 1. 화면내 예측 진행 과정

먼저 모드에 따라 참조 샘플을 패딩 및 필터링을 진행하고 화면 내 예측을 수행하게 된다. 그

후 원본 영상과 예측 영상의 차분 신호에 대해 변환 및 양자화를 진행하고 블록 재구성 및 윌-왜곡 비용을 측정해 최적의 모드를 선정하게 된다.

기존의 표준인 H.264/AVC는 4x4부터 16x16의 크기의 화면내 부호화 예측 블록에서 총 9개의 예측 모드를 지원하는 반면 HEVC에서는 4x4부터 64x64의 크기의 화면내 부호화 예측 블록에서 총 35개의 예측 모드를 지원한다. 그렇기 때문에 HEVC는 H.264/AVC 보다 높은 화면내 예측 성능을 가진다. 하지만 최적의 예측 모드를 선정하기 위해서 모든 예측 모드에 대한 윌-왜곡 비용을 계산해야하기 때문에 높은 연산량과 연산시간을 갖는다. 화면내 예측에서 모드 0은 참조 픽셀의 값과 위치를 이용하는 Intra_Planar 모드, 모드 1은 참조 픽셀의 평균 값을 이용하는 Intra_DC모드, 모드 2부터 34까지는 참조 픽셀의 방향성을 이용하는 Angular 모드를 나타내고 그림 2와 같다. 그림 2에서 알 수 있는 바와 같이 우측 상단 방향 부터 좌측 하단방향 까지 다양한 방향을 촘촘히 지원한다[2].

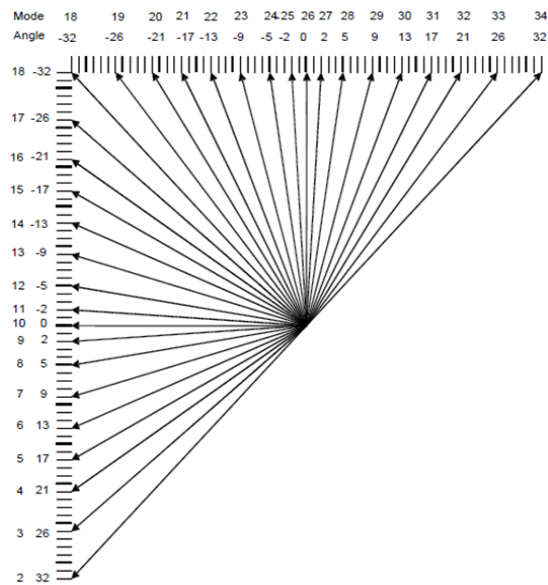


그림 2. Angular 모드의 방향성

III. 적용된 Angular 모드 선택 알고리즘 및 하드웨어 구조

본 논문에서는 원본 픽셀 데이터의 차이와 위치를 이용해 방향성을 선정하고 33가지 Angular 모드 중 1개의 모드를 효율적으로 선택하는 알고리즘을 적용해 하드웨어 설계를 하였다.

기존의 알고리즘은 64x64부터 4x4까지 크기의 PU에서 각 1개의 DC모드와 Planar모드와 33개의 Angular 모드를 전부 고려해 예측을 하였지만 높

은 연산량과 처리시간이 문제가 되었다. 적용된 알고리즘은 가로(Width)방향과 세로(Height)방향에서 픽셀의 차이를 통해 가장 차이가 많이 나는 위치를 도출한 뒤 방향성을 예측하여 Angular 모드를 효율적으로 선택하여 연산량과 처리시간을 감소 시켰다.

적용된 알고리즘에서 가로방향과 세로방향의 연산은 동일하며 그림 3은 5x5 픽셀 크기의 세로 방향의 연산 방법을 나타낸다. 먼저 5x5 크기 픽셀에서 세로 방향으로의 라인을 나눈다고 가정한다. 그림 3에서 (1)~(5)로 나뉜 세로 라인에서 각 라인별로 픽셀의 차이를 구하는 연산을 하여 가장 높은 값을 가지는 위치를 구한다. 화살표로 가장 높은 값을 가지는 위치를 나타냈으며 화살표의 차이를 통해 나오는 값의 위치에 +1을 하게 된다. 그림 3과 같은 과정을 통해 가로방향과 세로방향에 대한 Angular 모드를 결정하여 기존의 알고리즘보다 적은 연산량과 처리시간을 갖는 것이 본 하드웨어 설계에 적용한 알고리즘의 목적이다.

그림 4는 제안하는 화면내 예측 하드웨어 구조이다. 효율적인 원본 픽셀 데이터 컨트롤을 위해 가로 방향의 원본 픽셀 데이터와 세로 방향의 원본 픽셀 데이터를 저장하는 메모리를 따로 구현하여 사용하였다. 본 논문에서는 기존의 화면내 예측 알고리즘이 아닌 효율적인 Angular 모드 선택 알고리즘을 하드웨어로 설계함으로써 최소화 된 연산기의 사용으로 하드웨어 면적을 감소시켰다.

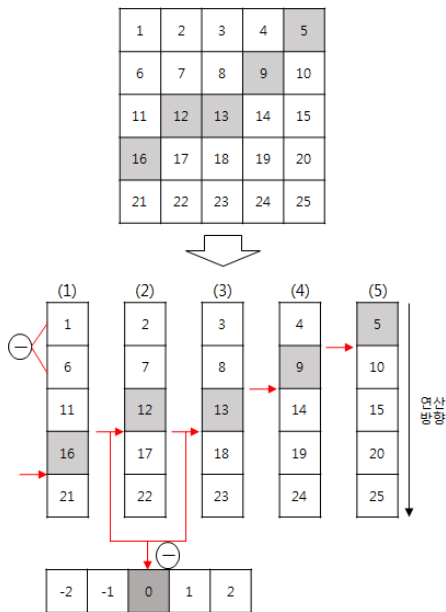


그림 3. 세로 방향 방향성 추정방법

본 논문에서 제안하는 하드웨어 설계는 효율적 알고리즘을 통한 연산기의 최소화와 각 방향에 대한 효율적 메모리의 사용으로 하드웨어 면적을

최소화 하였다.

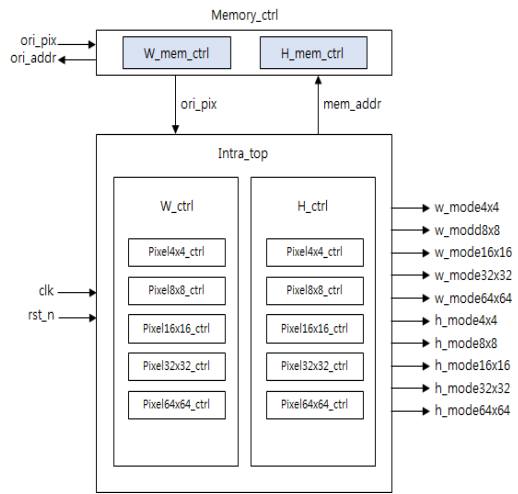


그림 4. 제안하는 화면내 예측 하드웨어 구조

제안하는 화면내 예측 하드웨어의 동작은 먼저 가로방향과 세로방향에 대한 원본 픽셀이 저장된 메모리로부터 원본 픽셀 데이터를 받아온다. W_mem_ctrl은 가로방향에 대한 메모리이며 H_mem_ctrl은 세로방향에 대한 메모리이다. 각 메모리로부터 받아온 값들은 W_ctrl 모듈과 H_ctrl 모듈의 입력으로 사용된다. W_ctrl은 가로 방향에 대한 Angular 모드 선택 모듈이며 H_ctrl은 세로방향에 대한 Angular 모드 선택 모듈이다. W_ctrl 모듈과 H_ctrl 모듈은 메모리로부터 받아 온 원본 픽셀 데이터를 사용하여 4x4 PU 크기부터 64x64 PU 크기에 대한 Angular 모드를 결정한다. 그 후 적용된 알고리즘을 통해 구해진 가로방향과 세로방향에 대한 모드를 출력한다. w_mode4x4부터 w_mode64x64는 가로방향에 대한 Angular 모드를 출력하고 h_mode4x4부터 h_mode64x64는 세로방향에 대한 Angular 모드를 출력한다. 이와 같이 효율적 알고리즘을 통한 연산기의 최소화와 각 방향에 대한 효율적 메모리의 사용으로 연산기를 최소화 하여 화면내 예측 하드웨어 설계를 함으로써 하드웨어 면적을 최소화시켰다.

IV. 성능 비교

표 1은 HM-16.9 표준 소프트웨어와 제안하는 하드웨어에 적용된 알고리즘의 성능 비교이다. 적용된 알고리즘과 HM-16.9와의 비교 결과 평균적으로 BDPSNR은 0.035 증가하였고, BDBitrate는 0.623 감소, 인코딩 타입은 최대 11.389% 감소로 좋은 결과를 보였다. 본 논문에서는 이와 같이 표준 소프트웨어와 비교했을 때 좋은 결과를 보인 알고리즘을 하드웨어 설계에 적용하였다. 그 결과 연산기의 감소로 하드웨어 면적을 최소화시켰다.

표 1. HM-16.9 표준 소프트웨어와 하드웨어에 적용된 알고리즘 결과비교

Class	Resolution	Proposed algorithm				
		BDPSNR	BDBitrate	△Bitrate(%)	△PSNR(%)	△TS(%)
4k	3840x2160	0.016	-0.613	-0.663	0.007	7.181
Class A	2560x1600	0.031	-0.518	-0.366	0.023	6.714
Class B	1920x1080	0.027	-0.642	-0.543	0.013	6.112
Class C	832x480	0.039	-0.620	-0.469	0.023	6.043
Class D	416x240	0.042	-0.672	-0.678	0.012	11.389
Class E	1280x72	0.046	-0.848	-0.726	0.019	5.829
Class F	832x480	0.047	-0.449	-0.391	0.016	5.064
Average	-	0.035	-0.623	-0.548	0.016	6.905

표 2. 제안하는 화면내 예측 하드웨어의 합성 결과 및 비교

	Proposed	[3]	[4]
Technology (nm)	65	0.13	90
Gate Count (Nand gate)	14.9K	59.5K	214.1K
Blocks supported	all blocks	all blocks	without 64x64
cycles/64x64	4,100	2,539	15,908
Max. Frequency (MHz)	2,000	622	357
Throughout	4K UHD@30fps	8Kx4K@30fps	1080p@44fps

제안하는 하드웨어 구조는 Verilog HDL로 설계 되었으며, 65nm 공정을 사용하였다. Synopsys사의 Design Compiler로 합성하였으며 표 2는 제안 하는 하드웨어 구조의 합성 결과 및 비교를 나타 낸다. 합성 결과 게이트 수는 14.9K이고 최대 동작 주파수는 2GHz이다. 최근 논문인 [3]와 비교 결과 게이트 수는 75% 감소하였고 최대 동작 주 파수는 221% 증가하였다. 또한 [4]와 비교 결과 게이트 수는 93% 감소하였고 최대 동작 주파수는 460% 증가하였다.

V. 결 론

본 논문은 원본 픽셀의 차와 위치를 구한 후 최대 차이 값을 갖는 픽셀의 위치의 차이를 가지 고 방향성 예측하는 효율적인 Angular 모드 결정 알고리즘을 적용한 화면내 예측 하드웨어 설계를 제안한다. 제안하는 화면내 예측 하드웨어 설계는 가로방향과 세로방향에 대한 원본 픽셀 데이터를 갖는 메모리의 효율적인 사용과 기존의 화면내 예측 Angular 모드 선택 알고리즘이 아닌 효율적 으로 화면내 예측 Angular 모드를 선택하는 알고 리즘의 사용으로 하드웨어 면적을 최소화하였다.

제안하는 화면내 예측 하드웨어를 65nm 공정 을 사용하여 합성한 결과 게이트 수는 14.9K이고 최대 동작 주파수는 2GHz이다. [3]과 비교 시 면 적은 75% 감소, 최대 동작 주파수는 221% 증가하 였고 [4]와 비교 시 면적은 93% 감소, 최대 동작 주파수는 460% 증가하였다.

본 논문에서는 Angular 모드를 효율적으로 선 택하는 하드웨어 설계를 제안 하였지만 DC모드와 PInar모드 까지 고려한 화면내 예측 모드 선택하 드웨어 설계에 대한 지속적인 연구가 필요하다.

감사의 글

본 연구는 미래창조과학부 및 정보통신기술진 흥센터의 해외ICT전문인력활용촉진사업(IITP-2015 -R0134-16-1019)과 해외인재스카우팅사업(IITP-20 16-R2418-16-0007)의 연구결과로 수행되었음

참고문헌

- [1] Y. Zhang, S. Kwong, G. Zhang, Z. Pan, H. Yuan and G. Jiang "Low Complexity HEVC INTRA Coding for High-Quality Mobile Video Communication," IEEE Trans. on Ind. Informat., vol. 11, no. 6, pp. 1492-1504, Dec. 2015.
- [2] H Zhang and Z. Ma, "Fast Intra Mode Decision for High Efficiency Video Coding (HEVC)," IEEE Trans. Circ. and Syst. for Video Technol., vol. 24, no. 4, pp. 660-668, Apr. 2014.
- [3] Y. Lu, W. Cheng, L. Huang, X. Zeng, and Y. Fan, "A Flexible HEVC Intra Mode Decision Hardware for 8kx4k Real Time Encoder," 2015 IEEE 11th International Conference on ASIC (ASICON), 10.1109/ASICON.2015.7517190 pp. 1-4, 2015.
- [4] Jia Zhu; Zhenyu Liu; Dongsheng Wang; Qingrui Han; Yang Song, "HDTV1080p HEVC Intra encoder with source texture based CU/PU mode pre-decision," Design Automation Conference (ASP-DAC), 2014 19th Asia and South Pacific, pp.367,372, 20-23 Jan. 2014.