한국컴퓨터정보학회 동계학술대회 논문집 제24권 제1호 (2016. 1)

낸드 플래시 메모리 시스템에서 삭제 구간 정보를 이용한 가비지 컬렉션 기법

김성호[O], 곽종욱[*]
[O*]영남대학교 컴퓨터공학과
e-mail:boca123@ynu.ac.kr[O], kwak@yu.ac.kr[*],

Garbage Collection Technique using Erase Interval Information on NAND Flash Memory Systems

Sung Ho Kim[O], Jong Wook Kwak[*]
[O*]Dept. of Computer Engineering, Yeungnam University

● 요 약 ●

낸드 플래시 메모리는 저 전력, 빠른 동작 속도, 높은 신뢰성, 가벼운 무게와 같은 특성을 가지는 비휘발성 메모리로써 폭넓은 분야에서 사용이 증가하고 있다. 그러나 낸드 플래시 메모리는 기존의 보조 기억 장치와 달리 쓰기 전 소거와 낮은 수명에 대한 문제가 존재한다. 기존의 많은 연구에서는 가비지 컬렉션을 통해 수명을 연장하기 위해 노력하였다. 본 논문에서는 낸드 플래시 메모리에 삭제 구간 정보를 활용한 가비지 컬렉션 기법을 제안한다. 제안하는 기법은 "N 삭제 구간 정보"를 이용하여 효과적인 희생블록을 선정하는 특징이 있다. 제안하는 기법은 GA 기법과 비교하여 평균 페이지 이주비용은 최대 50.1% 감소하였으며, 블록 당 소거 횟수의 표준 편차는 최대 233% 감소하였다. 또한, 낸드 플래시 메모리 시스템의 첫 번째 배드 블록 발생 시간은 최대 22.7% 연장하였고, 시스템 수명은 최대 16.7% 연장하였다.

키워드: 낸드 플래시 메모리(NAND flash memory), 가비지컬렉션(garbage collection), 삭제 구간 정보(erase interval information), 비휘발성 메모리(Non-volatile memory)

I. Introduction

낸드 플래시 메모리는 저 전력, 빠른 동작 속도, 높은 신뢰도, 가벼운 무게와 같은 특성을 가지는 비휘발성 메모리로써 고성능 컴퓨팅 환경을 포함하여, SSD(Solid State Drive), 태블릿, 스마트폰, USB 메모리, SD 카드 등 폭넓은 분야에서 사용이 증가하고 있다. 그러나 낸드 플래시 메모리는 기존의 보조 기억 장치와 달리 쓰기 전 소거(write-before-erase)와 낮은 수명에 대한 문제가 존재한다.

이와 같은 문제를 해결하기 위해 낸드 플래시 메모리는 주로 FTL(Flash Translation Table)을 채택하여 활용한다[1]. FTL은 주소 변환 테이블(address translation table), 가비지 컬렉션(garbage collection), 마모도 평준화(wear leveling)로 구성된다. 주소 변환 테이블은 쓰기 연산(program operation)이 발생할 때 빈 페이지(free page)에 쓰기를 통해 쓰기 전 소거 문제를 해결한다. 가비지 컬렉션은 활용 가능한 공간을 확보하기 위해 하나 혹은 그 이상의 희생 블록(victim block)을 선정한다. 마모도 평준화는 블록 당 마모 균형을 유지하는 방법을 통해 낮은 수명문제를 해결한다[2].

기존의 많은 연구에서는 가비지 컬렉션을 통해 시스템 수명을 연장시키고, 페이지 이주비용을 줄이는데 노력하였다. GA(Greedy Algorithm)는 대표적인 가비지 컬렉션 기법으로 무효 페이지의 개수가 가장 많은 블록을 희생 블록으로 선정한다. GA는 구현이 비교적 간단하나 페이지 이주비용이 크기 때문에 희생 블록을 선정하는데 효과적이지 못하다[3].

따라서 본 논문에서는 삭제 구간 정보를 활용한 가비지 컬렉션 기법을 제안한다. 제안하는 기법은 가비지 컬렉션이 발생 하였을 때 삭제 구간 정보를 측정하며, 이후 이를 활용하여 희생블록을 선정하는 특성이 있다. 이하 본 논문의 구성은 다음과 같다. 2장에서는 제안 기법을 서술하고 제안 기법의 성능 평가를 진행한다. 3장에서는 본 논문에 결론을 맺는다.

II. The Proposed Scheme

본 논문에서 제안하는 기법은 가비지 컬렉션에 의해서 하나 혹은 그 이상의 희생 블록을 선정할 때 삭제 구간 정보를 이용한다.

삭제 구간 정보는 직전에 소거 연산(erase operation)이 발생한

시간과 현재 소거 연산이 발생한 시간 사이의 구간을 의미한다. 우리는 n번의 소거 연산이 발생하였을 때 "N 삭제 구간 정보"라고 부르며, N 삭제 구간 정보는 삭제 구간 정보의 누적 평균값을 가진다. 결과적으로 N 삭제 구간 정보는 소거 연산에 대한 시간의 흐름을 반영한 것이다. 다음 식 (1)을 통해 N 삭제 구간 정보를 측정한다.

$$victim_time = (E_{time} + PE_{time}) \times \alpha \qquad (1)$$

E_{time}는 소거 연산이 발생한 시간, PE_{time}는 n-1 삭제 구간 정보, α는 N 삭제 구간 정보에 대한 E_{time}과 PE_{time} 사이의 가중치이다. N 삭제 구간 정보는 1:1 비율로 반영하기 때문에 α는 0.5값을 가진다. 제안하는 기법은 다음 식 (2)와 같이 희생 블록을 선정한다.

$$victim_cost = \frac{u}{1-u} \times \frac{1}{victim_time} \qquad (2)$$

u는 유효 페이지 비율, $victim_time$는 식 (1)에 의해서 측정한 삭제 구간 정보이다. 제안하는 기법은 가장 작은 $victim_cost$ 가지는 블록을 희생 블록으로 선정한다. 이는 상대적으로 $victim_time$이 오래된 블록을 희생 블록으로 참여하게 하는 것이다.

본 논문에서 제안하는 기법의 성능을 평가하기 위해 SSD Extension for DiskSim Simulation을 사용하였다 [4-5]. 시뮬레이션 환경은 표 1과 같다.

Parameter	Value
Condition of Triggering	#(Empty Block) < 5%
#blocks/chip	2048
#pages/block	64
Page Read Latency	60us
Page Write Latency	800us
Block Erase Latency	1.5ms
Block Lifetime	10^4

Table 1. Parameters of simulation

트레이스 파일의 쓰기패턴은 정규분포를 따르며, 핫 블록과 콜드 블록 비율은 각각 case1(1:9), case2(2:8), case3(3:7), case4(4:6)로 구성하였다.

제안하는 기법은 GA 기법과 비교하여 2가지의 성능 평가를 진행하였다. 첫 번째, 그림 1에서는 107개의 쓰기 연산(program operation)을 진행하였을 때 평균 페이지 이주비용과 블록 당 소거 횟수의 표준 편차를 비교하였다. 그림 1에서 보는 바와 같이, 본 논문에서 제안하는 기법은 GA 기법과 비교하여 평균 페이지 이주비용은 최대 50.1% 줄였고, 블록 당 소거 횟수의 표준 편차는 최대 233% 줄였다.

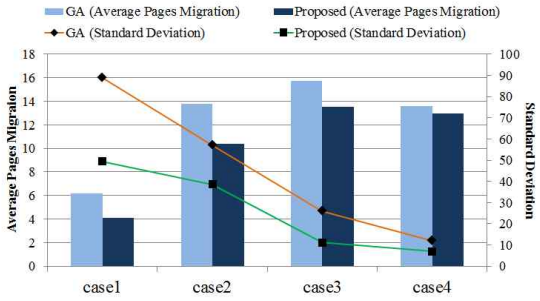

Fig. 1. Average pages migration cost and Standard deviation

다음으로, 낸드 플래시 메모리 시스템의 첫 번째 배드 블록의 발생 시간과 시스템 수명을 측정하였다. 그림 2에서 보는바와 같이, GA 기법과 비교하여 첫 번째 배드 블록 발생 시간은 최대 22.7% 연장하였고, 시스템 수명은 최대 16.7% 연장하였다.

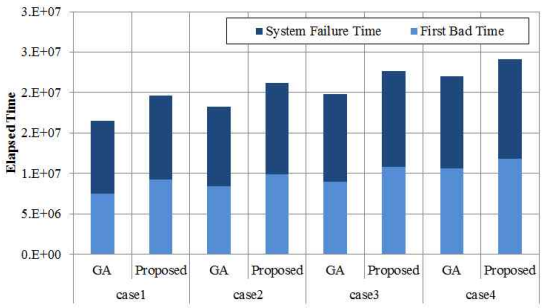

Fig. 2. The first bad time and System failure time

III. Conclusions

본 논문에서는 낸드 플래시 메모리에 낮은 수명문제를 해결하기 위한 가비지 컬렉션 기법을 제안하였다. 제안하는 기법은 가비지 컬렉션에 의해서 하나 혹은 그 이상의 희생 블록을 선정할 때 N 삭제 구간 정보를 이용하며, 이를 활용하여 오래된 블록을 희생 블록으로 선정함으로써 가비지 컬렉션의 효율을 향상 시킨다.

제안하는 기법은 GA 기법과 비교하여 평균 페이지 이주비용은 최대 50.1% 줄였고, 블록 당 소거 횟수의 표준 편차는 최대 233% 줄였다. 또한 낸드 플래시 메모리의 첫 번째 배드 블록 발생 시간은 최대 22.7% 연장하였고, 시스템 수명은 최대 16.7% 연장하였다.

Acknowledgment

이 논문은 2014년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No. NRF-2014R1A1A2057146).

References

[1] Ma, Dongzhe, Jianhua Feng, and Guoliang Li. "A survey of address translation technologies for flash memories." ACM Computing Surveys (CSUR) 46.3, 2014.

[2] Yang, Ming-Chang, et al. "Garbage collection and wear leveling for flash memory: Past and future." Smart Computing (SMARTCOMP), 2014 International Conference on. IEEE, 2014.

[3] Kwon, Ohhoon, et al. "FeGC: An efficient garbage collection scheme for flash memory based storage systems." Journal of Systems and Software 84.9, 2011

[4] V. Prabhakaran and T. Wobber, “SSD Extension for DiskSim Simulation Environment”.

[5] K9GAG08U0M 2G x 8bit MLC NAND Flash Memory Data Sheet, Samsung Electronics, https://www.samsung.com, Feb, 2007pp.100-120, 1991.