

유효 커패시턴스를 증가를 구현한 소형 위상고정루프

안성진* · 최영식*

*부경대학교

Increased Effective Capacitance in PLL

Sung-Jin Ahn* · Young-Shig Choi**

*Pukyong National University

E-mail : sungjin0210@pukyong.ac.kr

요 약

본 논문에서는 Current Modulator를 이용하여 루프 필터 커패시턴스 유효 용량을 배가 시켜 칩 크기를 줄일 수 있는 위상고정루프를 제안하였다. 제안된 위상고정루프에서는 Current Modulator로 루프 필터의 커패시턴스 유효 용량을 배가 시켜 루프 필터 커패시터 크기를 1/10로 줄였다. 제안된 위상고정루프는 1.8V 0.18 μ m CMOS 공정을 이용하여 설계되었다. 시뮬레이션 결과는 기존 구조와 같은 잡음 특성과 위상고정 시간을 보여주었다.

ABSTRACT

A phase-locked loop(PLL) with effectively increased capacitance by current modulator has been proposed. In this paper, the effective capacitance of loop filter is increased by using current modulator and it results in 1/10 reduction of capacitance in loop filter. It has been designed with a 1.8V 0.18 μ m CMOS process. The simulation results show that the proposed PLL has the same phase noise characteristic and locking time of conventional PLL.

키워드

Phase locked loop (PLL), Current modulator, Effective capacitance

I. 서 론

휴대용 멀티미디어 기기의 발전에 따라 칩의 소형화가 요구 되고 있다. 넓은 면적을 차지하는 커패시터를 사용하는 아날로그-디지털 변환기(ADC), 디지털-아날로그 변환기(DAC), 위상고정루프(PLL)와 같은 회로에서 커패시터의 크기를 줄이는 것이 매우 중요하다. 그 중 PLL의 크기를 줄이기 위해서 매우 큰 면적을 차지하는 루프필터의 커패시터의 면적을 줄이는 것은 전체 칩 면적을 줄일 수 있고,

결과적으로 비용 절감에 매우 효과적이다.

작은 크기의 커패시턴스 용량이 큰 커패시턴스 용량이 된 것처럼 동작하도록 하는 구조에 대한 연구가 활발하게 진행되고 있으며 다양한 구조들이 제안 되었다[1][2][3].

본 논문에서는 Current Modulator를 사용하여 추가 된 구조로 인해서 칩의 크기와 전력 소모가 거의 증가 하지 않으면서 위상고정루프에서 루프필터의 커패시턴스 크기를 변화시켜 아주 작은 크기를 가지는 위상고정루프

를 제안하였다. 제안된 위상고정루프는 current modulator를 사용하여 간단한 크기가 작은 구조를 이용하여 유효 커패시턴스 용량을 증가시켰다.

II. 제안한 위상고정루프의 구조

그림 1의 제안한 위상고정루프는 루프 필터에서 가장 큰 값을 가지는 C_z 의 크기를 줄여 집적화가 가능하도록 한 것이다. 제안된 위상고정루프는 기준신호와 분주기 신호의 위상차에 따라 전류를 공급하는 current modulator를 가진다.

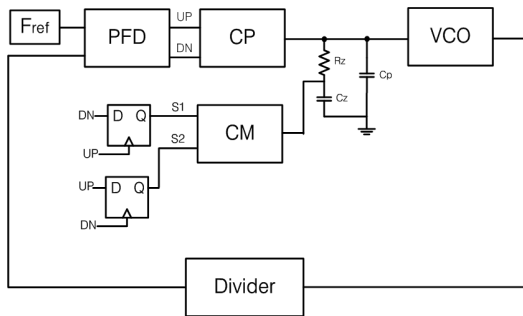


그림 1. 제안한 PLL의 구조
Fig. 1. Architecture of proposed PLL.

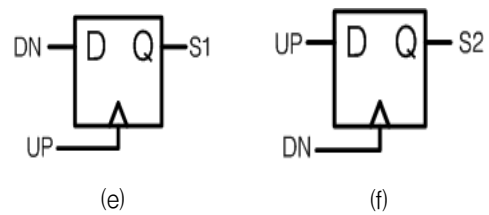
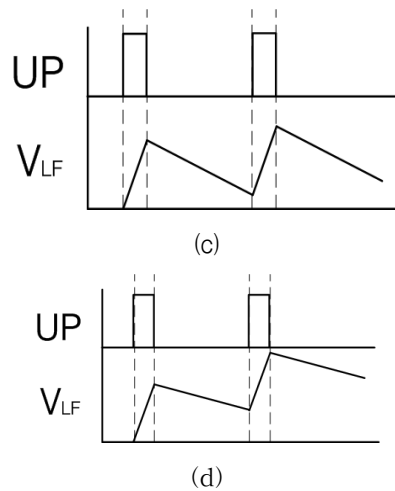
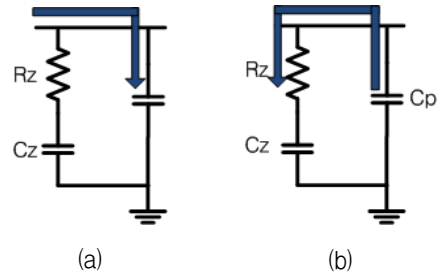
기존의 2차 루프필터를 가진 위상고정루프는 그림 2(a)와 같이 UP 신호가 인가되면, 시간 상수가 작은 C_p 로 대부분의 전류가 흐르게 된다. 따라서 C_p 가 충전이 되어 V_{LF} 의 값은 높아진다. 그 후, 그림 2(b)와 같이 C_p 에 충전되어 있던 전하가 R_z 를 통해 C_z 로 흐르게 되면서 V_{LF} 의 값의 낮아지게 된다. 그림 2(c)처럼 C_p 에 충전된 전하량의 상당 부분이 C_z 로 방전 되는 과정을 반복하면서 V_{LF} 의 변동 폭이 작아지게 되고, 이를 통해 위상고정루프의 안정적인 동작을 구현한다.

하지만 C_z 와 C_p 가 같은 값일 경우에는, 그림 2(d)와 같이 C_p 에 있던 전하가 C_z 로 많이 흐르지 않기 때문에, V_{LF} 의 변동 폭이 커지게 되고, 위상고정루프는 불안정적인 동작을 하게 된다.

C_z 와 C_p 의 값이 같은 위상고정루프에 current modulator를 추가함으로써 C_z 를 충방전 시키는데 도움을 주는 역할을 한다. 따라서 크기는 작지만 안정적인 동작을 구현할 수 있다. Current modulator에는 S1, S2 신호가 입력으로 들어간다. 이는 PFD로 부터 출력된 UP, DN 신호를 그림 2(e), (f)의 D 플립-플롭으로 입력하여 출력해낸 신호이다.

Current modulator가 추가 된 위상고정루프는 그림 2(g)에 나타난 것과 같이 동작한다. UP 신호가

인가되면, V_{LF} 가 높아지게 된다. 그 후, C_p 에서 C_z 로 전하가 흐르면서 V_{LF} 가 낮아지는데, 이 때 S2 신호도 인가 되게 하여 C_z 의 전하를 더 빠지게 해 V_{LF} 가 더 낮아지게 한다. 이와 마찬가지로 DN 신호가 인가되면, V_{LF} 의 값이 줄게 된 후 충전된다. 그 후, S1 신호가 인가 되게 하여, V_{LF} 의 값을 더 높여주어 위상고정루프가 안정적인 동작을 하게 한다.



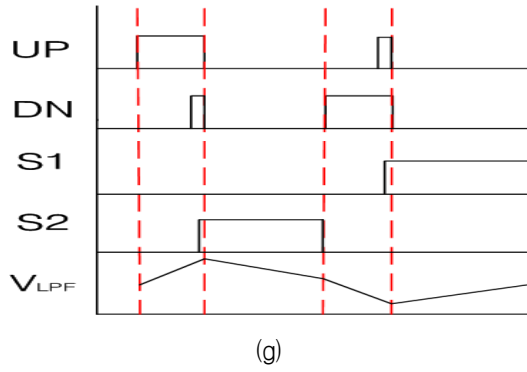


그림 2. 동작 개념. (a) UP 신호 발생 시 전류 흐름(b) UP 신호 발생 소멸 후 전류 흐름 (c) $C_z \gg C_p$ 일 때 V_{LF} 파형 (d) $C_z = C_p$ 일 때 V_{LF} 파형 (e) S1 신호 생성기 (f) S2 신호 생성기 (g) 동작 파형.

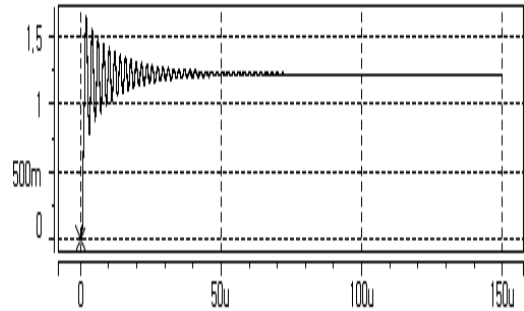
Fig. 2. Operating concept (a) Current flow at UP signal (b) Current flow after UP signal (c) Waveform of 일 때 V_{LF} when $C_z \gg C_p$ (d) Waveform of 일 때 V_{LF} when $C_z = C_p$ (e) S1 signal generator (f) S2 signal generator (g) Waveforms.

III. 시뮬레이션 결과

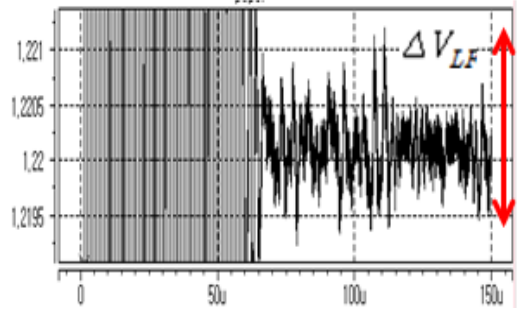
제안한 구조의 위상고정루프는 $0.18 \mu\text{m}$ CMOS 공정을 사용하여 시뮬레이션 하였다. 15.625MHz 의 입력주파수를 가지고 분주비는 64이며, 출력 주파수는 1GHz 이다. 제안된 위상고정루프의 시뮬레이션 변수 값은 $I_p=200 \mu\text{A}$, $C_p=50\text{pF}$, $R_z=500 \Omega$, $C_z=50\text{pF}$, $I_{cm}=100\text{nA}$, $K_{vco}=330\text{MHzV}$ 이다.

ΔV_{LF} 와 $\Delta\Delta V_{LF}$ 는 각각 위상 잡음 특성과 스퍼의 크기를 나타낸다. 두 개의 값이 작으면 작을수록 잡음 특성과 스퍼의 크기는 작아진다. 기준 신호 한 주기 동안 발생하는 위상 변동 폭이 작아져 위상고정루프가 안정하게 동작한다.

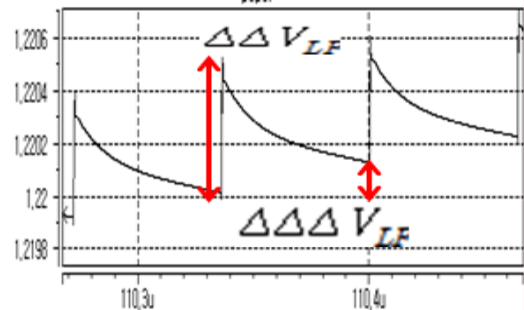
그림 3은 제안한 구조의 시뮬레이션 결과이다. 기존의 구조와 current modulator를 추가한 구조를 비교하면, 위상고정이 되기까지의 시간은 $90 \mu\text{s}$ 에서 $70 \mu\text{s}$ 로 줄었다. ΔV_{LF} 은 3.85mV 에서 1.81mV 로 1/2 이하로 줄었고, $\Delta\Delta V_{LF}$ 는 $859\mu\text{V}$ 에서 $521\mu\text{V}$ 로 줄었다. 그리고 $\Delta\Delta\Delta V_{LF}$ 는 $345\mu\text{V}$ 에서 $106\mu\text{V}$ 으로 줄어 1/3 이하로 줄었다. 그림 3 (c)에서 알 수 있듯이 current modulator가 있는 구조에서는 $\Delta\Delta\Delta V_{LF}/\Delta\Delta V_{LF}$ 의 크기 값이 감소한다. 따라서 current modulator를 추가함으로써 더 안정적으로 동작하는 위상고정루프를 구현한 것을 알 수 있다.



(a)



(b)



(c)

그림 3. 제안한 구조의 PLL 일 때 (a) 위상고정 후 V_{LF} 파형 (b) 위상고정 후 확대된 루프필터 출력 (c) 위상고정 후 더 확대된 루프필터 출력
Fig. 3. Proposed PLL (a) V_{LF} waveform after locking (b) Enlarged V_{LF} waveform after locking (c) More enlarged V_{LF} waveform after locking.

표 1. 기존의 위상고정루프와 제안한 위상고정루프의 시뮬레이션 결과

Table 1. Please put the title of table here. Please put the title of table here.

	t_{lock}	ΔV_{LF}	$\Delta\Delta V_{LF}$	$\Delta\Delta\Delta V_{LF}$
Conventional PLL	90 μ s	3.85mV	859 μ V	345 μ V
Proposed PLL	70 μ s	1.81mV	521 μ V	106 μ V

IV. 결 론

본 논문에서는 current modulator가 차지 펌프와 상보적인 동작을 하여 기존 위상고정루프의 루프 필터에서 가장 큰 면적을 차지하는 커패시터(Cz)의 크기를 줄여 하나의 칩으로 구현할 수 있는 위상고정루프를 제안하였다. 기존 위상고정루프에서는 Cz의 크기가 Cp의 10배 이상이 되어야 안정한 동작을 하고 충분한 위상 여유를 가지지만 제안된 위상고정루프에서는 Cz의 크기를 줄여 줄 수 있는 current modulator를 추가하여 Cz와 Cp의 크기가 같은 경우에도 안정한 동작을 할 수 있도록 하였다.

위상 잡음 특성. 스퍼의 크기와 안정도를 보여주는 ΔV_{LF} , $\Delta\Delta V_{LF}$, $\Delta\Delta\Delta V_{LF}$ 값들이 기존 위상고정루프에 비해 훨씬 안정적으로 동작하는 것을 시뮬레이션을 통해 검증하였다. 위상고정루프의 면적을 결정하는 루프 필터의 커패시터를 기존 것보다 1/10로 줄여 제안된 위상고정루프를 하나의 칩으로 구현 할 수 있도록 하였다.

REFERENCES

[1] J. Craninckx and M. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2054-2065, Dec. 1998.

[2] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, D. Jeong, and W. Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems," *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 536-542, May 2002.

[3] B. Catli, A. Nazemi, T. Ali, S. Fallahi, Y. Liu, J. Kim, M. Abdul-Latif, M. R. Ahmadi, H. Maarefi, A. Momtaz, and N. Kocaman, "A 2sub-200 fs RMS jitter capacotor multiplier loop filter-based PLL in 28 nm CMOS for high-speed serial communication applications," in *CICC*, 2013, pp. 1-4.