
TMS320C6678기반의 고속 직렬통신용 SRIО backplane 구현

오우진* · 김양수** · 강민수*

*금오공과대학교

**키스텍

High Speed Serial Communication SRIО Backplane Implementation for TMS320C6678

Woojin Oh* · Yangsoo Kim** · Minsoo Kang*

*Kumoh National institute of Technology

**Kistech

E-mail : wjoh@kumoh.ac.kr

요 약

최신의 고성능 DSP나 FPGA에서는 고속 직렬통신으로 SRIО(Serial Rapid IO)를 채용하고 있다. SRIО는 초고속 직렬 통신의 산업체 표준으로 현재 Ver 3.1까지 제정되어 있으며 본 연구에서는 TI사의 DSP를 기반으로 15Gbps급으로 전송속도를 갖는 Backplane을 개발하였다. 이를 기반으로 고속 영상전송 등이 가능하며, 다중 DSP를 연결하여 고속 연산에 적합한 scalable한 구조로 확장도 가능할 것이다. 본 논문에서는 고속 통신에 필요한 설계 기술을 검토하고 다중 연산 구조에 대하여 논의할 것이다.

ABSTRACT

The up-to-date high-performance DSP or FPGA employs SRIО(Serial Rapid IO) as a high-speed serial communications. SRIО is an industry standard regulated upto Ver 3.1. In this study we developed a backplane having a transmission rate to 15Gbps based on a TI DSP. The back plane icould be used to High-speed video transmission, and will be adopted to connecting multiple DSPs for scalable architecture. This paper will discuss the design constraints for a high-speed communication and multiple-core operation.

키워드

SRIО, 고속직렬통신, Hyperlink, Backplane

I. 서 론

임베디드 디바이스를 위한 고속직렬통신인 RaRapid IO는 산업표준의 하나로 1999년 처음으로 Ver1.0이 제정되어 지금은 3세대의 수십Gbps 급의 고속 데이터센터, 통신 인프라용으로 활용되고 있다. 산업표준인 Rapid IO는 각 디바이스 회사별로 Rocket IO, SRIО등의 이름으로 다양하게 활용되고 있다.

본 연구에서는 TI(Texas Instruments)사의 고속

DSP에서 지원하는 SRIО를 위한 backplane 보드의 설계와 구현에 대하여 소개하고자 한다. Backplane 으로 기존의 DSP 보드를 다수 연결할 수 있어 성능 확장이 가능한 scalable 구조가 가능해진다.

II. 설계 형상

TI사의 EVM (Evaluation Module)보드는 Mezzanine 의 edge connector를 공통으로 지원하

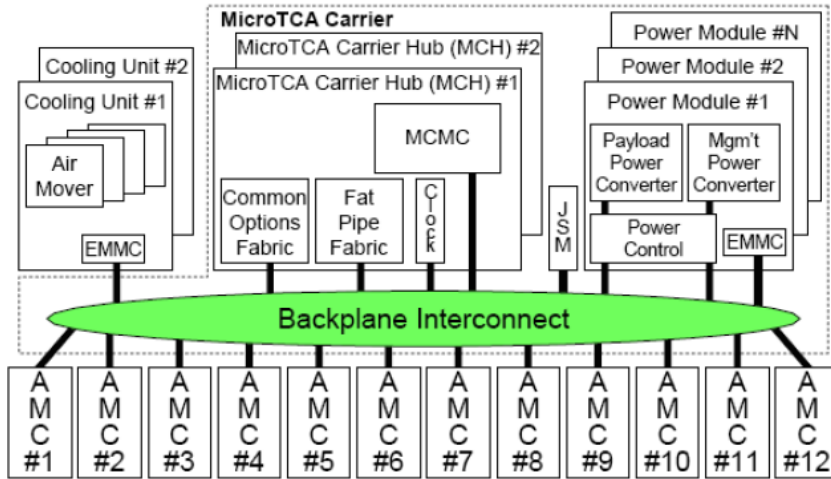


그림 1. uTCA의 블록도

고 있다. 이 커넥터는 PCI와 유사하나 사용자 별로 유연하게 입출력을 설정할 수 있으며 관련된 표준은 PICMG (PCI Industrial Computer Manufacturer Group)에서 AMC (Advanced Mezzanine Card)로 규정되어 있다. 작은 크기를 위한 uTCA (micro Telecommunication Computing Architecture)로 형상을 규정하고 있으며 그 블록도는 그림 1과 같다.

TI사의 SRIO는 keystone 구조의 DSP인 C66x 이상에서 지원하고 있으며 1개의 DSP당 4개의 1x Lane를 제공하여 필요에 따라 4개의 1x, 2개의 2x, 또는 1개의 4x로 연결이 가능하다. lane당 속도는 최대 5Gbps 까지 지원한다.

본 연구에서는 uTCA시스템에서 제어보드 없이 전원부와 3개의 DSP EVM을 SRIO로 연결하도록 설계하였다. 각 DSP는 2x lane으로 연결되며 외부 연결을 위하여 그림 2의 미니 HD SAS 커넥터를 장착하였다. 외부 연결 커넥터는 수m 범위의 차폐 동선이나 수십 m의 광 변환 케이블까지 제공되어 원격지 초고해상도 영상 전송 등에 적용 가능하다. SRIO의 각 lane은 송수신 별로 differential 쌍으로 구성되어 모두 4선 연결이 필요하다.

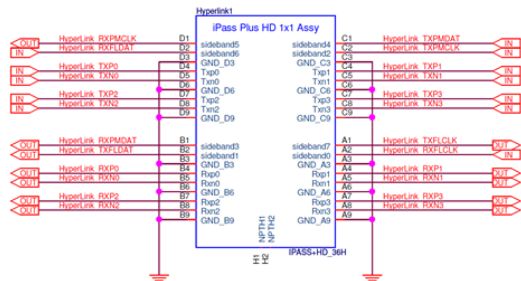


그림 2. SRIO 용 미니 HD SAS 커넥터

III. 구현 및 향후 계획

그림3은 구현된 backplane 보드이다. 3개의 uTCA 용 mezzanine connector가 있으며, 가장 우측은 전원보드용 커넥터이다. 외부 SRIO 연결을 위한 mini SAS HD 커넥터를 제공하였다.

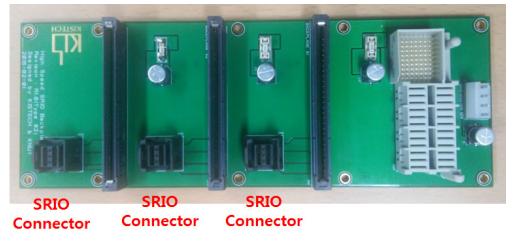


그림 3. 구현한 SRIO backplane

설계된 보드에 전원부와 3개의 DSP EVM을 SRIO로 연결하여 성능 시험을 했다. TI사에서 제공하는 벤치마크 함수로 속도를 측정 한 결과 4x lane 모드, 8192byte 패킷 사이즈에서 17Gbps의 성능을 얻었다.

참고문헌

- [1] KeyStone Architecture Serial Rapid IO (SRIO) Users Guide(SPRUGW1B), Texas Instruments, Nov. 2012
- [2] Micro Telecommunications Computing Architecture (Short Form Specification), PICMG, Sept., 2006.