

도핑효과에 의한 L-shaped 터널링 전계효과 트랜지스터의 영향에 대한 연구

심언성, 안태준, 유운섭
한경대학교

Investigation on the Doping Effects on L-shaped Tunneling Field Effect transistors(L-shaped TFETs)

Un-Seong Shim, Tae-Jun Ahn, Yun Seop Yu
Hankyong National University
E-mail : unsung18@hknu.ac.kr

요 약

2차원 TCAD 시뮬레이션을 이용하여 L-shaped 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistor; TFET)의 도핑농도에 따른 효과를 조사했다. 소스 도핑이 10^{20} cm^{-3} 이상에서 subthreshold swing (SS)이 가장 낮고, 드레인 도핑농도는 10^{18} cm^{-3} 이하로 하는 것이 음전압에 생기는 누설전류를 막을 수 있다.

ABSTRACT

The effect of channel doping on L-shaped Tunneling Field-Effect Transistors (TFETs) have been investigated by 2D TCAD simulation. When the source doping is over 10^{20} cm^{-3} , the subthreshold swing (SS) is abruptly decreased, and when drain doping concentration is below 10^{18} cm^{-3} , the leakage current in the negative voltage is reduced.

키워드

L-shaped-TFET, tunneling, subthreshold swing on-current

I. 서 론

1965년 무어의 법칙(Moore's Law)이 발표된 이래 반도체업계에서는 MOSFET기술에 기반을 두고 급속한 성장을 이루었다. 하지만 18개월마다 반도체 집적회로의 성능이 2배로 증가한다는 무어의 법칙에 의해 반도체업체들의 축소화 경쟁으로 인하여 반도체소자의 크기는 급속하게 작아지게 되었다. 그로 인하여 축소화는 되었지만 전력소모는 크게 증가되어 왔으며 MOSFET의 문턱전압이하 기울기가 상온에서 60mv/dec이하로 낮아질 수 없는 물리적 한계에 도달하게 되었다[1]. 이를 극복하기 위해서 양자역학적 현상인 밴드에서 밴드로 터널링 현상을 활용한 터널링 전계효과 트랜지스터에 대해 활발한 연구가 진행되고 있다. 현재 라인 터널링을 이용한 포켓 구조 터널링구조와

L-shaped 구조 등의 연구가 활발하게 진행되고 있다.[2~3] 하지만 이중 라인터널링을 이용한 L-shaped 터널링 전계효과 트랜지스터의 도핑농도에 따른 변화에 대한 연구가 지금까지 알려지지 않았다.[4] 따라서 본 논문에서는 L-shaped 구조에서 드레인과 소스의 도핑농도의 변화를 주어 최적의 도핑농도를 조사한다.

II. 본 론

2.1 L-shaped 터널링 전계효과 트랜지스터 구조
그림 1은 실험에서 이용한 L-shaped TFET의 구조 및 세부적인 변수를 보여준다. 기본적으로 Source, Intrinsic Channel, Drain 도핑 농도는 각각 $10^{20}, 10^{15}, 10^{18}$ 로 설정하였다.

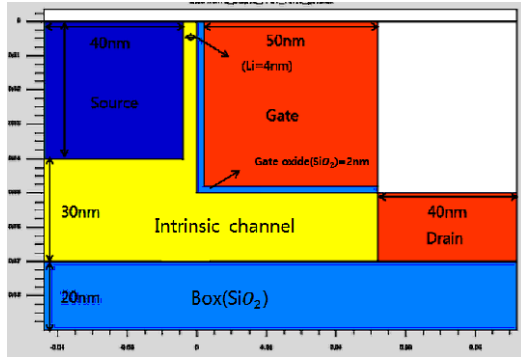


그림 1. L-shaped TFET 구조

2.2 시뮬레이션 모델 및 결과

도핑 농도에 의한 효과를 보기 위해 Silvaco의 ATLAS 시뮬레이션을 이용하여 2차원 L-shaped TFET 구조를 사용하였다[5]. Non-local 모델은 전기장에 의한 터널링뿐만 아니라 에너지 밴드의 공간적인 변화에 의한 터널링 전류를 계산할 수 있기 때문에 local 모델에 비해 정확한 터널링 전류를 계산할 수 있다[6]. Non-local 모델의 재결합 모델은 Auger와 Consrh 모델을 사용하였다.

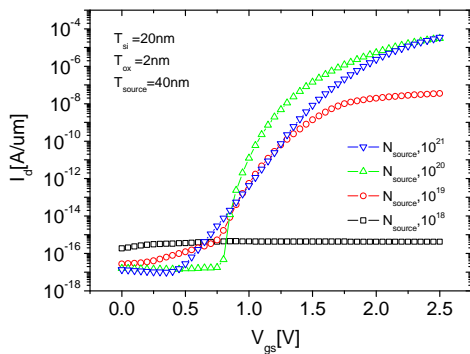


그림 2. source 도핑농도에 따른 $V_G - I_D$ 특성

그림 2는 L-shaped TFET source 도핑에 따른 드레인 전류를 측정된 결과이다. Source 도핑농도가 10^{18} 이하 일 경우에 터널링 현상이 발생되지 않는 것을 확인할 수 있었다. 반대로 도핑농도가 높을 경우 낮은 전압에서 터널링이 발생되지 않아 전류가 낮은 것을 볼 수 있었다. 도핑이 높을 경우에는 낮은 전압에서 터널링 발생하여 SS 낮아지는 부분을 확인하였다.

그림 3은 L-shaped TFET drain 도핑에 따른 드레인 전류를 측정된 결과이다. Drain 도핑농도에 영향없이 구동전류(I_{on})는 일정하지만 drain 도핑 농도가 높을수록 gate 역전압이 걸릴 경우에 드레인 전류가 증가하는 현상을 볼 수 있다. 이 부분에서는 band gap 부분에서 drain 전도대에

있던 hole 들이 채널의 가전자대로 이동하면서 생기는 전류이다. 따라서 드레인 도핑부분에서는 도핑농도를 10^{20} 이상 주지 않는 것이 음전압일 때 누설전류문제를 해결할 수 있을 것으로 판단된다.

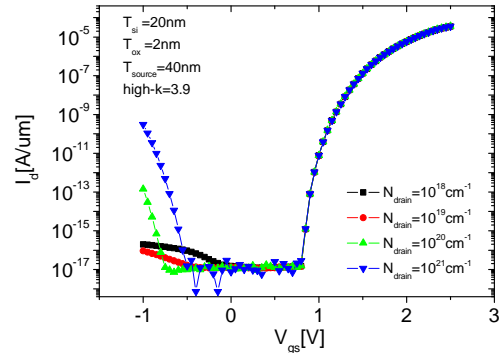


그림 3. Drain 도핑 농도에 따른 $V_G - I_D$ 특성

III. 결론

본 실험에서는 L-shaped TFET에서 도핑농도에 따른 영향을 살펴보았다. 소스 도핑에 대해서는 10^{18} cm^{-3} 이하에서 터널링된 전류가 보이지 않는 것을 확인하였고 10^{21} 농도에서는 게이트 전압이 증가하면 드레인 전류가 선형적으로 증가하는 모습을 보인다. 따라서 소스 도핑이 10^{20} cm^{-3} 이상에서 SS가 가장 낮은 것을 확인할 수 있다. 드레인 도핑농도는 10^{18} 이하로 하는 것이 음전압에 생기는 누설전류를 막을 수 있는 방법 중 하나라고 할 수 있다. 위 실험에서는 하나의 파라미터만 변경하여 진행하였다. Source, Intrinsic Channel, Drain부분의 3가지 파라미터부분을 모두 고려하여 농도에 따른 정보를 알아볼 필요가 있으며, 현재 L-shaped 터널링 전계효과 트랜지스터에서는 라인터널링만 고려하여 측정하였다. 도핑농도에 따른 포인트터널링 부분을 고려하여 전체적인 구동전류에 어떤 영향이 있는지 알아볼 필요가 있다.

Acknowledgement

본 연구는 산업통상자원부(프로젝트번호: 10054888)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업의 연구결과로 수행되었음

참고문헌

[1] K. Gopalakrishnan, *et. al.*, "1-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q ," in *IEDM Tech. Dig.*, 2002, pp. 289
 [2] S. W. kim, W. Y. Choi, M. C. Sun, H. W. Kim, B. G. Park, "Design Guideline of Si-Based L-shaped Tunneling Field-Effect

- Transistors,” *Japanese Journal of Applied Physics*, Vol. 51, No. 6S, pp. 06FE09, 2012.
- [3] S. W. Kim, *et al.*, “Investigation on hump effects of L-shaped tunneling filed-effect transistors,” in *Silicon Nanoelectronics Workshop*, 2012, pp. 169-170.
- [4] W. Vandenberghe, *et al.* “Analytical model for point and line tunneling in a tunnel field-effect transistor,” in *Simulation of Semiconductor Processes and Devices, 2008. SISPAD 2008. International Conference on*, 2008, pp. 137-140.
- [5] SILVACO, int. “ATLAS Users Manual“, Santa Clara, CA, 2014.
- [6] S. W. kim, *et al.*, “Investigation on the Effects of Tunneling Barrier Width on Tunneling Field Effect Transistors(TFETs) performance,” *2012년도 대한전자공학회 하계종합학술대회*, 2012, pp. 138-141