

SG-TFET와 DG-TFET의 구조에 따른 성능 비교

장호영, 안태준, 유운섭

한경대학교

Performance Comparison of the SG-TFET and DG-TFET

Ho-Yeong Jang, Tae-Jun Ahn, Yun Seop Yu

Hankyong National University

E-mail : jhy1187@naver.com

요 약

터널링 전계효과 트랜지스터(Tunneling Field-Effect Transistor; TFET) 중에 이중 게이트 TFT(DG-TFET)와 단일 게이트 TFET(SG-TFET)의 구조에 따른 성능 비교를 조사했다. 채널 길이가 30nm 이상, 실리콘 두께 20nm이하, 게이트 절연막 두께는 작아질수록 SG-TFET와 DG-TFET subthreshold swing과 온 전류 성능이 향상됨을 보였다. 다양한 파라미터에서 DG-TFET의 성능이 SG-TFET 성능보다 향상됨을 보인다.

ABSTRACT

Performance comparison between Tunneling Field-Effect Transistors (TFETs) was examined when three types of device parameter of double-gate TFET (DG-TFET) and single-gate TFET (SG-TFET) are varied. When the channel length is over 30 nm, silicon thickness is below 20 nm, and a gate insulator thickness decreases, the performance of I_{on} and SS in SG-TFETs and DG-TFETs enhances. It shows that the performance of the DG-TFETs is improved than that of SG-TFETs at three types of device parameter.

키워드

Tunneling Field-Effect Transistor(TFET), tunneling, subthreshold swing, on-current

I. 서 론

반도체 소자를 이상적인 스위칭 동작이 되는 트랜지스터로 기술 개발하는 목표를 진행하고 있다. 하지만 현재 MOSFET에서는 저전력(lower power)소자화하는데 한계가 있다. 즉, 동작전원 V_{DD} 를 낮추면 subthreshold leakage가 증가하게 되는 한계를 가지고 있다. 이에 따라 MOSFET의 한계를 극복한 Tunneling FET (TFET)가 각광받기 시작했다 [1]-[3]. TFET은 MOSFET보다 온전류 I_{on} , 오프전류 I_{off} 가 좋아서 트랜지스터의 본래 목적인 스위칭 특성이 더 좋게 나타난다. TFET 중에 단일 게이트 (single-gate) TFET (SG-TFET)와 이중 게이트 (double-gate) TFET (DG-TFET)가 존재한다. 이미 DG-TFET가 성능이 더 좋은 것으로 알려져 있으나 [4], 구체적으로 어떠한 면에서 좋은지 두 개의 소자를 직접 비교 및 분석한 자료는 없다. 따라서 본 논문에서는 채널 길이

(L_g), 실리콘 두께 (T_{si}), 게이트 절연막 두께 (T_{ox})의 세 가지 파라미터들을 변화하면서 SG-TFET와 DG-TFET의 성능을 직접 비교 및 분석한다.

II. 본 론

2.1 SG-TFET와 DG-TFET 기본구조 초기 값

본 실험에서의 비교대상 초기 값은 임의로 $L_g=50\text{nm}$, $T_{si}=10\text{nm}$, $T_{ox}=1.5\text{nm}(\text{SiNH}_3)$, 소스 도핑 농도 $N_s=1 \times 10^{20}$, 채널 도핑 농도 $N_c=1 \times 10^{12}$, 드레인 도핑 농도 $N_d=1 \times 10^{18}$ 로 하였다. DG-TFET는 SG-TFET와 동일하나 구조상 밑에 게이트 단자가 하나 더 추가된 구조를 가진다. 이 또한 초기 값은 동일하게 하여 실험을 진행하

였다. 이러한 parameter들을 변화시켜가며 전류-전압 특성을 시뮬레이션하고 그 전류-전압 특성으로부터 SS (subthreshold swing), I_{on} , I_{off} , I_{on}/I_{off} 비 등을 추출하였다.

2.2 SG-TFET와 DG-TFET 시뮬레이션

처음 비교해본 parameter는 L_g 이다. 위에서 임의로 정한 초기 값으로 기본구조를 만들고 L_g 값만 1nm, 5nm, 10nm, 30nm, 50nm, 70nm, 100nm로 변화시켜가며 SG-TFET와 DG-TFET의 비교실험을 하였다.

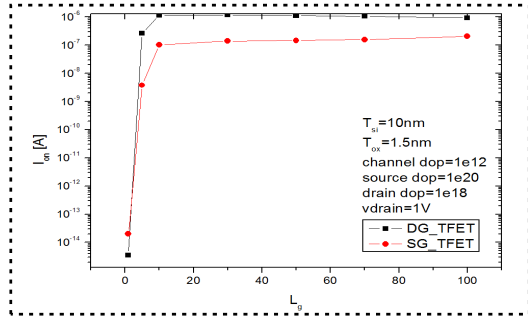


그림 1. L_g 변화에 따른 I_{on} 비교

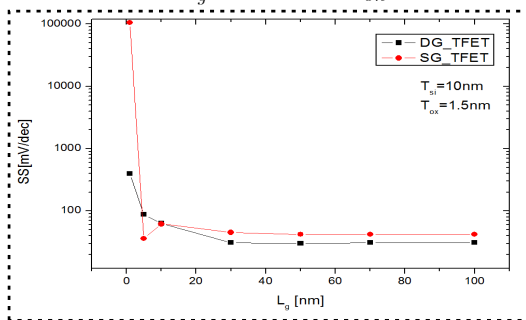


그림 2. L_g 변화에 따른 SS 비교

그림 1과 2에서 DG-TFET의 온 전류가 10배가량 좋은 성능을 볼 수 있으며, SS 는 대략 10 mV/dec 정도 더 낮은 것을 볼 수 있었다. SG-TFET와 DG-TFET 모두 채널 길이 30nm 이상에서 온 전류와 SS 가 좋은 결과를 보인다.

두 번째로 비교해본 parameter는 T_{si} 이다. 마찬가지로 초기 값으로 만든 기본구조에다가 T_{si} 값만 1nm, 5nm, 10nm, 20nm, 50nm, 100nm로 변화시켜 가며 SG-TFET와 DG-TFET의 비교실험을 하였다. 그림 3과 4에서 DG-TFET의 온 전류가 $T_{si}=5\text{nm}\sim 50\text{nm}$ 까지는 SG-TFET보다 좋으나 $T_{si}=100\text{nm}$ 지점에서는 SG-TFET보다 오히려 뒤지는 결과를 볼 수 있었다. SG-TFET와 DG-TFET 모두 실리콘 두께가 20nm 이하에서 온 전류와 SS 가 좋은 결과를 보인다.

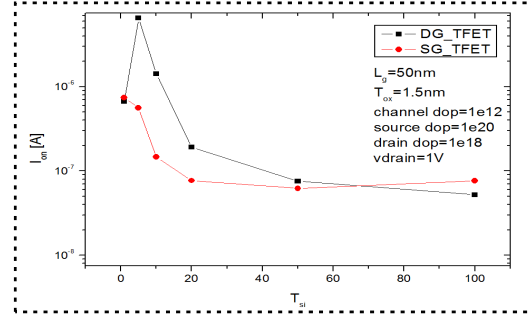


그림 3. T_{si} 변화에 따른 I_{on} 비교

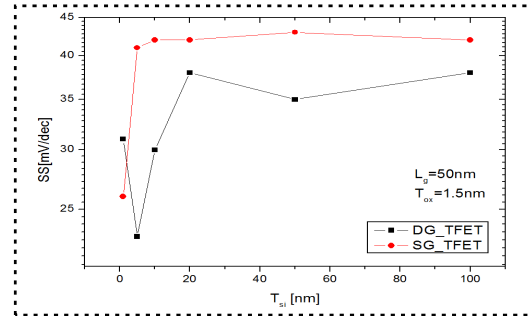


그림 4. T_{si} 변화에 따른 SS 비교

세 번째로 비교해본 parameter는 T_{ox} 이다. 마찬가지로 초기 값으로 만든 기본구조에다가 T_{ox} 값만 1nm, 2nm, 3nm, 4nm, 5nm, 10nm로 변화시켜가며 비교 실험을 하였다.

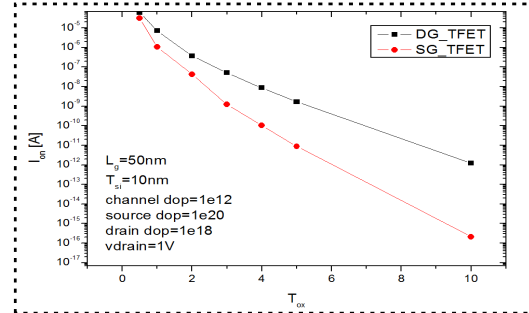


그림 5. T_{ox} 변화에 따른 I_{on} 비교

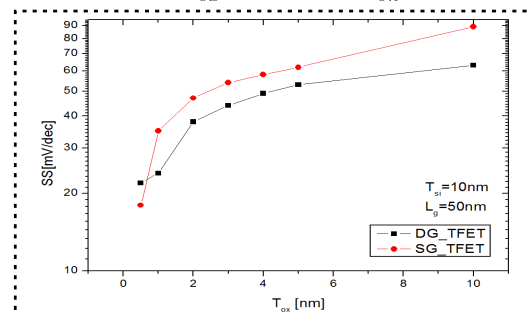


그림 6. T_{ox} 변화에 따른 SS 비교

그림 5과 6에서 DG-TFET가 온 전류와 SS 두 가지 면 모두에서 좋은 성능을 보인다. SG-TFET와 TFET 모두 T_{ox} 가 작을수록 좋은 성능을 보인다.

III. 결 론

(IEDM) 2008. IEEE International, 2008, pp. 1-3.

SG-TFET와 DG-TFET를 크게 3가지의 parameter(채널 길이, 실리콘 두께, 게이트 절연막 두께)들로 각각 소자 시뮬레이션하고, 그 분석 결과를 비교해보았다. 그 결과를 보면(그림 7 참고) DG-TFET의 SS 와 I_{on} 이 SG-TFET의 것보다 더 좋은 성능을 보임을 알 수 있다. 결과적으로 이상적인 스위칭 회로에 더욱 더 가까운 소자임을 분명히 알 수 있다.

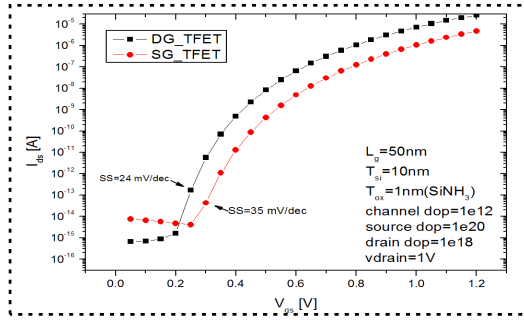


그림 7. SG-TFET vs DG-TFET Result graph

결론적으로, DG-TFET의 SS 는 24 mV/dec이었던 반면에, SG-TFET의 SS 는 35 mV/dec으로 SS 측면에서는 평균적으로 10 mV/dec만큼 DG-TFET가 좋았으며, I_{on} 측면으로 봤을 경우에도 DG-TFET가 SG-TFET보다 10배가량 더 좋은 것을 알 수 있다.

Acknowledgement

본 연구는 산업통상자원부(프로젝트번호: 10054888)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업의 연구결과로 수행되었음

참고문헌

- [1] L. Zhang, X. Lin, J. He, M. Chan, "An Analytical Charge Model for Double-Gate Tunnel FETs," *IEEE Trans Electron Devices*, Vol. 59, No. 12, pp. 3217, Dec 2012.
- [2] J. L. Padilla, F. Gamiz, A. Godoy, "Impact of Quantum Confinement on Gate Threshold Voltage and Subthreshold Swings in Double-Gate Tunnel FETs," *IEEE Trans Electron Device*, Vol. 59, No. 12, pp. 3205, Dec 2012.
- [3] M. Gholizadeh, S. E. Hosseini, "A 2-D Analytical Model for Double-Gate Tunnel FETs," *IEEE Trans Electron Device*, Vol. 61, No. 5, pp. 1494, May 2014.
- [4] T. Krishnamohan, D. Kim, S. Raghunathan, K. Sarawat, S. Clara, "Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) With Record High Drive Currents and <60mV/dec Subthreshold Slope," in *Electron Devices Meeting*