

실리콘 기반 포켓 구조 터널링 전계효과 트랜지스터의 최적 구조 조건

안태준 · 유운섭

한경대학교 전기전자제어공학과

Structure Guide Lines of Silicon-based Pocket Tunnel Field Effect Transistor

Tae-Jun Ahn · Yun Seop Yu

Department of Electrical, Electronic and Control Engineering, Hankyong National University

E-mail : jigo1235@hknu.ac.kr

요 약

이 논문은 포켓 구조 터널링 전계효과 트랜지스터의 구조에 대한 여러 가지 조건을 소개한다. 포켓의 길이는 길어질수록 I_{on} 이 더 증가하고, 포켓의 두께는 감소할수록 I_{on} 이 증가하고, 3nm 보다 얇아질 때 SS 는 증가한다. 게이트 절연체는 고유전율 물질을 사용하는 것이 적절하다.

ABSTRACT

This paper introduces about the structure guide lines of pocket tunneling Field effect transistor. As the pocket length or thickness increase, on-current I_{on} increases. As the pocket thickness is less than 3nm, subthreshold swing (SS) increase. As the dielectric constants of the gate insulator increases, the performance of on-current and subthreshold swing enhances.

키워드

터널링 트랜지스터, 라인 터널링, 포켓 구조, Subthreshold Swing, 온 전류

I. 서 론

지금까지 무어의 법칙(Moore's Law)에 따라 반도체 집적회로는 소형화 되어 왔고, 소형화에 따라 필요한 구동전압(V_{DD})과 전력 소모의 감소 또한 함께 요구 되어왔다. 하지만 금속-산화물 반도체 전계효과 트랜지스터(MOSFET)는 문턱전압 이하 기울기(Subthreshold Swing)가 60mV/dec 이하로 줄어 들 수 없는 물리적인 한계를 가지고 있어 구동 전압을 줄이고 기존의 성능을 유지 하려면 누설 전류(I_{off})의 증가를 피할 수 없다.[1] 누설 전류의 증가는 대기 전력의 증가로 이어진다. 구동 전력 또한 구동 전압과 매우 밀접한 관련이 있어 전력 소모의 감소를 위해 구동 전압의 감소는 매우 중요하다.

누설 전류의 증가 없이 구동 전압을 감소시키려면 문턱전압 이하 기울기를 감소시켜 이상적인

스위치에 가깝도록 만들어야 한다. 이를 위해 문턱전압 이하 기울기가 굉장히 작은 밴드와 밴드 사이의 터널링을 이용한 터널링 전계효과 트랜지스터에 대한 관심이 높아지고 있다. 밴드 간 터널링에는 라인 터널링과 포인트 터널링이 있으며 문턱전압 이하 기울기와 구동 전류(I_{on})는 라인 터널링의 성능이 더 좋다[2]. 현재 포인트 터널링을 활용한 전통적인 터널링 전계효과 트랜지스터와 헤테로 접합 터널링 전계효과 트랜지스터[3], 라인 터널링을 활용한 L-shaped 구조[4]와 포켓 구조 터널링 전계효과 트랜지스터 등의 연구가 활발히 이루어지고 있다. 하지만 이 중 실리콘 기반의 포켓 구조 터널링 전계효과 트랜지스터에 대한 최적 조건의 구조 정보는 아직 정리된 바가 없다.

따라서, 본 연구에서는 Silvaco사의 2D device simulator인 Atlas를 이용하여 실리콘 기반 포켓

구조 터널링 전계효과 트랜지스터의 포켓 구조에 대하여 여러 가지 최적 조건을 정리하고자 한다.

II. 본 론

2.1 포켓 구조 터널링 전계효과 트랜지스터

시뮬레이션에 사용된 구조는 N+ poly 게이트가 소스 부분 까지 오버랩 되어있고 소스 쪽 게이트 바로 아래 부분에 포켓 구조가 추가 되어있다.

기본적인 구조의 크기는 $T_{ox} = 1nm$, $T_{body} = 50nm$, $T_p = 3nm$, $L_p = 30nm$, $L_{ch} = 50nm$ 이다.

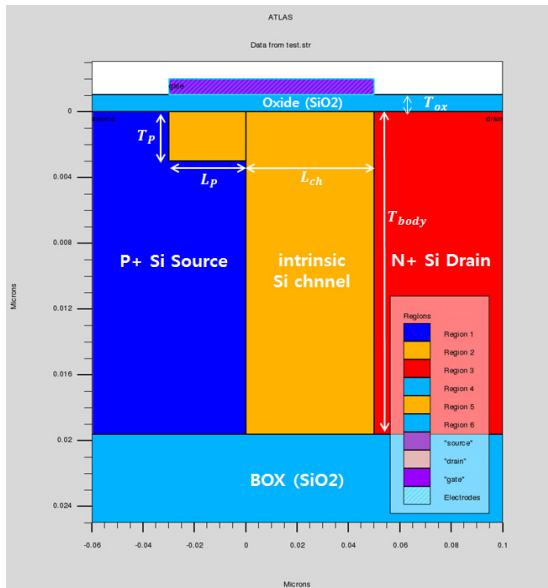


그림 1. 포켓 구조 터널링 전계효과 트랜지스터

2.2 시뮬레이션 모델 및 결과

시뮬레이션에 사용된 터널링 모델은 Non-local 모델이며 이동도 모델은 Lombardi CVT, 재결합 모델은 Auger와 Consrh 모델을 사용하였다. 캐리어 특성 모델은 Fermi 모델을 사용하였으며, 밴드 갭 내로우잉 BGN 모델을 사용하였고, 온도는 300k이다[5].

그림 2와 그림 3은 포켓 구조의 길이 변화에 따른 V_G-I_D 특성 및 SS 와 I_{on} 특성을 나타내고 있다. 포켓의 길이가 증가할수록 SS 는 거의 변화가 없지만 I_{on} 은 증가한다. 포켓의 길이가 20nm 보다 작아질 때 문턱 전압이 증가한다.

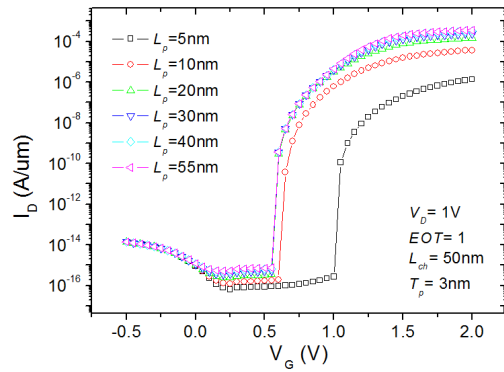


그림 2. L_p 의 변화에 따른 V_G-I_D 특성

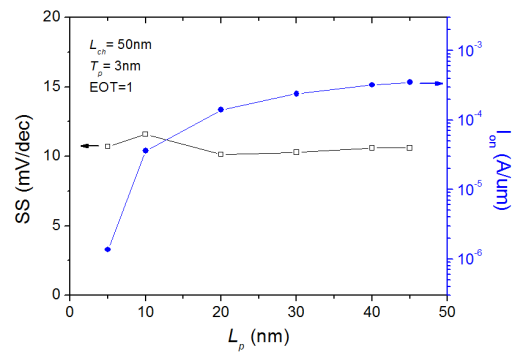


그림 3. L_p 의 변화에 따른 SS 와 I_{on} 특성

그림 4와 그림 5는 포켓 구조의 두께 변화에 따른 V_G-I_D 특성 및 SS 와 I_{on} 특성을 나타내고 있다. 포켓의 두께가 감소할수록 SS 가 증가하고 I_{on} 이 증가하며, 문턱 전압이 증가한다.

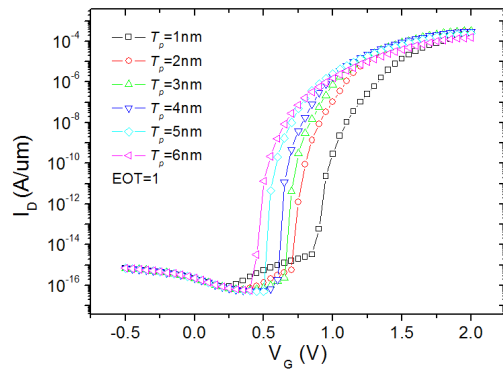


그림 4. T_p 의 변화에 따른 V_G-I_D 특성

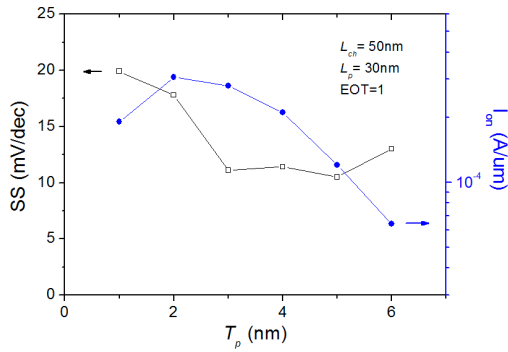


그림 5. T_p 의 변화에 따른 SS 와 I_{on} 특성

그림 6과 그림 7은 게이트 절연체의 유전율 변화에 따른 V_G-I_D 특성 및 SS 와 I_{on} 특성을 나타내고 있다. 게이트 절연체의 유전율이 증가할수록 SS 는 거의 변화가 없고 I_{on} 도 거의 비슷하지만 문턱전압이 많이 감소한다.

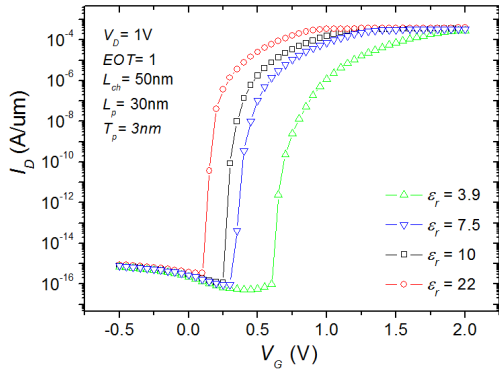


그림 6. ϵ_r 의 변화에 따른 V_G-I_D 특성

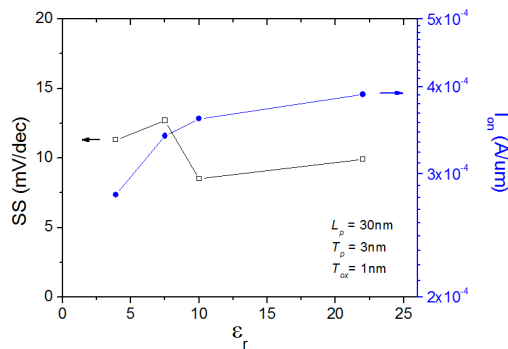


그림 7. ϵ_r 의 변화에 따른 SS 와 I_{on} 특성

III. 향후 연구 및 결론

본 연구에서는 SS 와 I_{on} 면에서 더 성능이 좋은 라인 터널링을 활용한 포켓 구조의 터널링 트랜지스터의 여러 가지 조건에 대하여 시뮬레이션을 진행하였다. 시뮬레이션 결과를 바탕으로 포켓 구조의 최적 조건을 고려해보면 포켓의 길이가 증가할수록 SS 는 큰 변화가 없지만 터널링 면적이 증가하기 때문에 I_{on} 은 좋아진다. 포켓의 두께는 SS 와 I_{on} 를 모두 고려해 볼 때 $T_p=3nm$ 인 경우가 가장 성능이 좋다. 다음으로 게이트 절연체 ($T_{ox}=1nm$ 경우)의 유전율은 일반적으로 많이 사용하는 SiO_2 ($\epsilon_r=3.9$)의 경우에, 구동 전압에 비해 문턱전압($V_{th}=1V$)이 매우 높기 때문에 사용하기 부적절하고 고유전율 물질을 사용하는 것이 적절하다.

위의 시뮬레이션에서는 포켓 구조에서 일어나는 라인 터널링 만을 고려하여 진행하였다. 하지만 포켓의 두께에 따른 포인트 터널링의 영향에 대해서도 알아볼 필요가 있다. 또한 채널 위의 게이트의 길이가 전체적인 전류에 어떤 영향을 주는 지 알아볼 필요가 있다.

Acknowledgement

본 연구는 산업통상자원부(프로젝트번호: 10054888)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업의 연구결과로 수행되었음

참고문헌

- [1] A. M. Ionescu, H. Riel, "Tunnel field-effect transistors as energy-efficient electronic switches," *Nature*, Vol. 479, pp. 329-337, 2011.
- [2] W. Vandenberghe, *et al.* "Analytical model for point and line tunneling in a tunnel field-effect transistor," in *Simulation of Semiconductor Processes and Devices, 2008. SISPAD 2008. International Conference on*, pp. 137-140. IEEE, 2008.
- [3] S. Brocard, *et al.* "Design options for hetero-junction tunnel FETs with high on current and steep sub-threshold voltage slope," in *Electron Devices Meeting (IEDM), 2013 IEEE International*, pp. 5-4. IEEE, 2013.
- [4] S. W. Kim, *et al.* "Design guideline of Si-based L-shaped tunneling field-effect transistors," *Japanese Journal of Applied Physics*, Vol. 51, No. 6S, pp. 06FE09, 2012.
- [5] SILVACO, int. "ATLAS Users Manual", Santa Clara, CA, 2014.