

커패시턴스와 스위치로 구성된 루프필터를 가진 PLL

안성진* · 최영식*

*부경대학교

A PLL with loop filter consisted of switch and capacitance

Sung-Jin Ahn* · Young-Shig Choi**

*Pukyong National University

E-mail : sungjin0210@pukyong.ac.kr

요 약

본 논문에서는 기존 위상고정루프의 아날로그 루프 필터 형태와 달리 전압제어발진기의 출력 신호로 동작하는 이산 루프 필터를 사용하여 크기는 작으면서 안정하게 동작하는 위상고정루프를 제안하였다. 샘플링과 부궤환 역할을 하는 스위치와 결합된 작은 크기의 커패시터로 하나의 칩으로 집적화가 가능한 위상고정루프는 1.8V 0.18um CMOS 공정을 이용하여 설계 하였다.

ABSTRACT

In this paper, the proposed small size PLL works stable with the discrete loop filter which is controlled by voltage controlled oscillator's output signal. Sampling and a small size capacitor functioned negative feedback with switch does make it possible to integrate the PLL into a single chip. The proposed PLL is designed by 1.8V 0.18um CMOS process.

키워드

PLL, discrete loop filter

I. 서 론

무선 통신 시스템의 발달로 높은 수준의 아날로그·복합 신호를 처리하는 집적회로가 요구되고, 차세대 정보통신 기술로 IoT가 주목 받으면서 무선 통신 시스템의 소형화에 대해 많은 관심이 커지고 있다. 위상고정루프는 통신 시스템에서는 주파수 합성기로, 디지털 회로에서는 클럭 신호 생성기의 기능을 수행하는 중요한 회로이다^[1]. 루프 필터의 커패시터를 소형화하기 위한 연구로 커패시터 스케일러와 연산 증폭기가 필요한 이중 경로 능동 루프필터가 사용되었다^[2-3]. 위상고정루프의 루프필터 형태를 바꾸어 전하펌프의 UP/DN신호에서 전달

되는 갑작스러운 전압 변화에도 정확한 전압 값을 전달하며, 고주파수의 빠른 제어를 통해 하나의 칩에 집적화가 가능하도록 작은 크기의 커패시터를 갖는 위상고정루프를 설계하였다.

II. 본 론

제안된 스위치 제어 루프필터를 가진 위상고정루프는 그림 1과 같이 위상주파수검출기(PFD), 전하 펌프(CP), 전압제어발진기(VCO), 분주기(DIV), 스위치 제어 루프

필터로 구성된다. 본 논문에서는 기존의 위상고정루프에 2차 루프필터 대신 스위치 제어 루프필터를 사용한다. 총 3개의 스위치는 UP/DN신호를 통하여 제어되고, UP/DN 신호가 발생될 때는 모든 스위치가 'off' 되고 UP/DN 신호가 발생되지 않을 때는 항상 'on' 되어 있는 SW₃과 'on/off' 를 반복하며 동시에 'on' 되지 않는 SW₁, SW₂로 구성되어있다.

그림 2는 스위치들의 신호의 타이밍에 따른 동작 상태를 보여주고 있다. UP/DN 신호가 발생되었을 때 OR게이트에 의해서 노드 A는 'high' 값의 전압 수준을 가지고 노드 B는 NOR게이트로 인해 'low' 값을 가지게 된다. 입력 기준 신호의 한 주기 동안 UP/DN 신호가 발생하지 않는 구간에서는 반대로 A노드는 'low', 노드 B는 'high' 값을 가지게 된다. 노드 B가 'high'의 신호를 가질 때, 즉 SW₃이 'on' 되었을 때 비로소 루프필터를 제어하게 된다. SW₃이 'on' 되면 전압제어 발진기의 출력 신호가 SW₁, SW₂를 제어하게 되고, 그림 2와 같이 SW₁, SW₂는 서로 겹치지 않게 동작하게 된다. 루프필터의 전압의 변화는 우선 UP/DN 신호가 발생할 때 CP에서 들어오는 전류가 V_c전압을 상승/하강시킨다. 그 후 UP/DN 신호가 종료되면 SW₃이 'on' 되면서 SW₁/SW₂를 제어한다. SW₁이 'on' 되었을 때, SW₂는 'off' 되고 C_{p1}출력(V_c)이 C_{p2}출력(V_{LPF})과 연결되어 V_{LPF}가 상승/하강하게 된다. SW₁이 'off', SW₂가 'on' 되면서 V_c의 전압은 변화가 없는 일정한 값을 가지며 C_{p2}에서 C_z로 전하가 나누어져 V_{LPF}가 하강/상승한다.

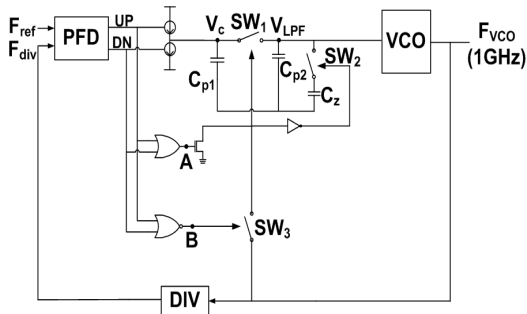


그림 1. 제안한 위상고정루프 구조.
Fig. 1. Architecture of proposed PLL.

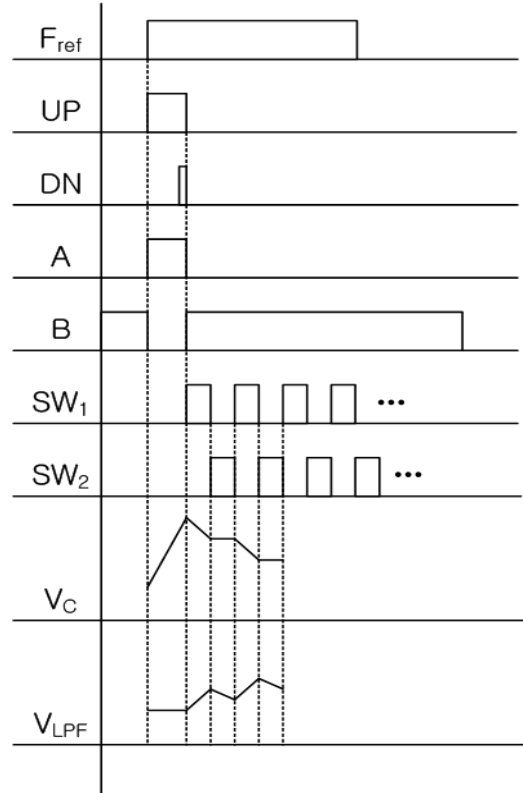


그림 2. 스위치 동작 타이밍과 루프필터의 전압 변화.
Fig. 2. Timing of switch operation and voltage of loop filter.

III. 시뮬레이션 결과

제안한 구조의 위상고정루프는 0.18um CMOS 공정을 사용하여 시뮬레이션을 진행하였다. 15.625MHz의 입력주파수를 가지고 1GHz의 출력주파수를 가지며 분주 비는 64이다. 이 회로의 변수 값은 I_{cp}=50uA, C_{p1}=10pF, C_{p2}=10pF, C_z=160pF K_{VCO}=330MHz/V이다. 그림3은 회로가 25us에서 위상이 고정되며 ΔV_{LPF}=633uV, ΔΔV_{LPF}=35uV를 가지는 것을 보여준다. 제안된 구조의 위상고정루프는 기존 구조의 위상고정루프보다 빠른 위상고정 시간과 비슷한 크기의 ΔV_{LPF}를 가진다. 그림 3 (c)와 (d)가 보여주듯이 작은 크기의 ΔΔV_{LPF}는 작은 크기의 기준 신호 스퍼를 생성하며 작은 크기의 ΔΔV_{LPF}는 출력 신호에서 이산 루프 필터 동작 주파수인 전압제어 발진기의 주파수만큼 떨어진 위치에 작은 크기의 스퍼를 발생시킨다. ΔΔV_{LPF}에 의한 스퍼는 출력 신호에서 멀리 떨어져 있어 통신 시스템에서 사용하는 경우는 이웃한 대역에 영향을 주지 않으며, 칩에서 클럭 신호 생성기로 사용하는 경우는 지터 크기에 영향을 주지 않는다.

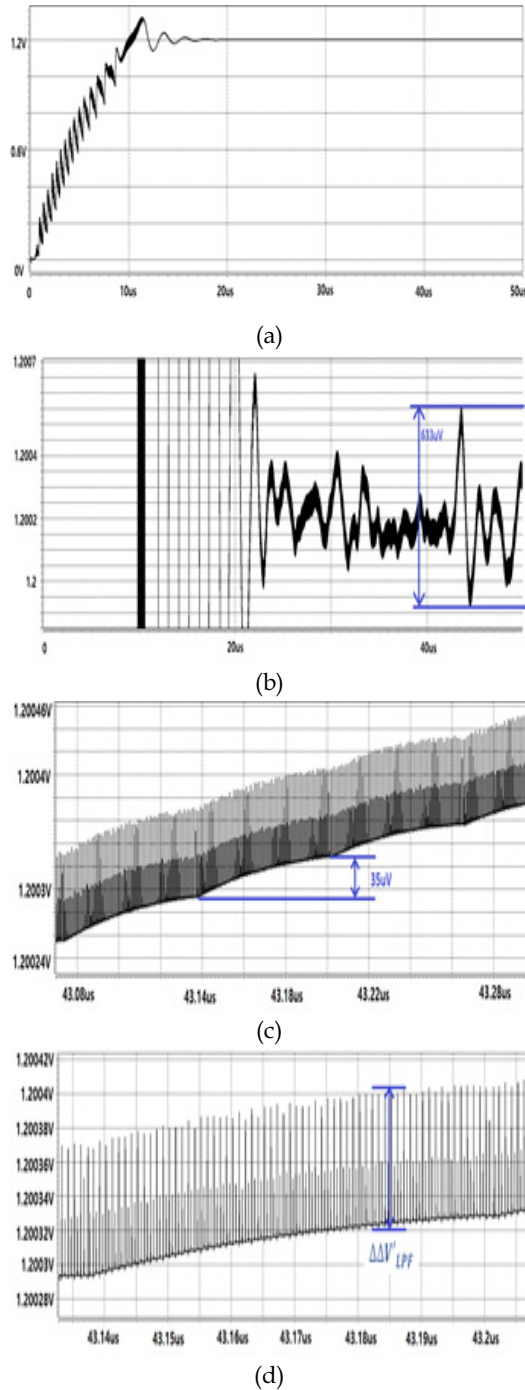


그림 3. 시뮬레이션 결과. (a) 루프필터 전압 변화 (b) 위상고정 후 확대된 ΔV_{LPF} (c) 위상고정 후 확대된 $\Delta \Delta V_{LPF}$ (d) 위상고정 후 확대된 $\Delta \Delta V'_{LPF}$

Fig. 3. Simulation results. (a) Voltage of loop filter (b) Enlarged ΔV_{LPF} after lock (c) Enlarged $\Delta \Delta V_{LPF}$ after lock (d) Enlarged $\Delta \Delta V'_{LPF}$ after lock.

IV. 결론

본 논문에서는 기존 위상고정루프의 아날로그 루프 필터 형태와 달리 전압제어발진기의 출력 신호로 동작하는 이산 루프 필터를 사용하여 크기는 작으면서 안정하게 동작하는 위상고정루프를 제안하였다. 위상고정루프의 출력 신호로 제어되는 샘플링과 부궤환 역할을 하는 스위치와 결합된 작은 크기의 커패시터로 하나의 칩으로 집적화가 가능한 위상고정루프 설계하였다. 시뮬레이션 결과는 기존 구조의 위상고정루프보다 우수한 특성을 보여주고 있다.

REFERENCES

[1] Manas Kumar Hati and Tarun K. B., "A PFD and charge pump switching circuit to optimize the output phase noise of the PLL in 0.13-um CMOS," *IEEE, Technology and Applications (VLSI-SATA)*, 8-10 Jan. 2015.

[2] Keliu Shu, E. Sanchez-Sinencio, J. Silva-Martinez, and S. H. K. Embabi, "A 2.4-GHz monolithic fractional-N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier," *IEEE J. Solid-State Circuits*, VOL. 38, No.6, June 2003.

[3] J. Craninckx, and M. S. J. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," *IEEE, J. Solid-State Circuits*, VOL. 33, No. 12, December 1998.