

본 연구는 한국과학기술정보연구원이 미래창조과학부 과학기술 진흥기금으로 수행하는 2015 ReSEAT 프로그램지원에 의해 수행되었으므로 이에 감사드립니다.

### TSV전극과 도금기술

## Plating Technology of Through Silicon Via

김유상\* , 정광미

\*한국과학기술정보연구원 전문연구위원(ReSEAT)  
(E-mail:kiysjns@reseat.re.kr), 대도도금(주) 대표이사 정광미(E-mail: kwangmi67@hanmail.net)

**초 록:** 실리콘 반도체 칩 가공기술의 미세화는 40년에 걸쳐 전자기기 진보에 큰 공헌을 할 수 있었다. 절반간격(Half Pitch)이라는 최소 패턴크기로 좁아지고 있다. 회로패턴을 평면적으로뿐만 아니라 집적도를 올리는 3차원 실장기술이 중요시 되었다. 종래 칩 표면에만 존재했던 접속용 전극을 표면과 뒷면에 붙여 칩을 관통하는 미세실리콘 관통전극(TSV; Through Silicon Via)제조기술로써 TSV는 한계의 반도체기술을 극복하여 한층 더 크게 발전할 가능성을 비추고 있다.

### 1. 서론

2000년부터 일본의 초첨단기술개발기구(ASET; Association of Super-advanced Electronics Technologies)에서 제창되어, 미국, 아시아에서 연구가 전개되었고, 2007년에는 TSV시대도 멀지 않았다고 생각했다. 그러나 제품화가 지연되었고, 대용량 DRAM(Dynamic Random Access Memory)도 실용화가 지체되고 있다. 신호전송 고속화를 위한 Cu회로에는 도금이 필수적이며 TSV에서는 도금의 중요성이 더욱 커지고 있어 TSV용 Via Hole도금의 현상과 문제점을 기술하였다.

### 2. 본론

TSV는 Via 제조시점에 따라 구조가 다르다. 대별하면 Via First, Via Middle, Via Last Front, Via Last Back의 4종류다. 표준 Via Middle에서 Cu도체 Via는 직경20 $\mu$ m이다. 불소계의 가스로서 반응성 이온에칭(RIE; Reactive Ion Etching)하여 Via Hole을 제조하고, 에칭 피복하는 형상비가 높은 미세성형기술(Bosch process)로써 Via를 수직으로 제조한다. TSV제조공정에서 Via Hole을 가공한 후 실리콘 산화막(SiO<sub>2</sub>)으로써 Via도체를 절연한다. 산화막은 열 산화, 감압CVD(LPCVD), 플라즈마 CVD(PECVD)로써 제조한다. Cu원자는 고온에서 확산하여 트랜지스터 특성을 떨어뜨리므로 TiN, TaN과 같은 얇은 장벽막을 산화막 위에 부착시킨다. 도금조건 설정이 나빠 Via바닥부의 성장이 늦거나 Via입구의 성장이 빠른 경우에 내부 홀 결함(Void)이 생긴다. Cu도금액의 주성분은 CuSO<sub>4</sub>, H<sub>2</sub>SO<sub>4</sub>이며 첨가제에는 촉진제[(SPC; Soy Phosphatidyl Choline)고분자계 물질], 억제제(PEG; Poly Ethylene Glycol), 평활제(JGB; Janus Green B)가 포함된다. Via바닥은 촉진제 농도가 높고, 표면에 억제제 농도가 높다. 형상비(AR; Aspect Ratio, Via깊이/직경)는 기판의 경우는 0.5 ~ 2이지만 TSV에서는 5 ~ 10이며 원리적으로는 동일하다. 도금표면에서는 억제제가 소비되어 도금이 억제되지만 Via바닥까지는 확산에 의해 이동하기 때문에 바닥부에는 농도가 낮게 되어 억제효과가 약하게 되어 도금이 진행된다. Via내부는 촉진제 효과로써 Via바닥부에 석출하는 Cu의 단면적이 축소하는 형상변화에 의해 촉진제 농도가 높게 되어 가속적으로 석출한다. Via충전에는 용액성분, 농도, 전압인가, 파형, 전류밀도, 온도, 교반상태에 영향을 미치는 조건억제가 필요하며 Via크기나 형상에 따라서도 변화하므로 실험으로써 최적 값을 결정할 필요가 있다.

전류가 펄스형상으로 흐르면 Via충전상태가 변화한다. Okayama대학에서는 순방향으로 전류밀도 6mA/cm<sup>2</sup>에서 200ms, 역방향으로 12mA/cm<sup>2</sup>에서 10ms 통전한 뒤 200ms 반복하여 50분간 도금하고 10분간 순방향 전류를 15mA/cm<sup>2</sup>로 증가하여 좋은 결과를 얻었다. 순방향 통전에서는 Via충전, 역방향 전압에서는 Via외부표면이 용해하지만 Via내부는 변화하지 않고, 휴지시간에 Via내에 Cu화합물과 첨가물이 공급되어 Cu농도 구배가 회복되었다. 양호한 Via충전을 얻기 위하여 총 도금시간을 길게 하고 있다. 도금액 교반은 Via충전에 큰 영향을 준다. 웨이퍼를 원판에 붙여 고속으로 회전시킨다. 도금성장이 빠르면 충전이 불완전하게 되므로 전류를 낮춘다. 도금시간을 길게 하면 비용이 높기 때문에 고속도금 교반장치 개발에 주력하고 있다. Hitachi Kyowa엔지니어링 사에서는 고속 용액흐름형의 도금장치를 개발했다. 개구부에 와류를 발생시켜 Via내 도금물질 치환을 효율 좋게 하고 있다. Ebara사에서는 Via내 유체해석과 도금용기 내에 물갈퀴를 설치하여 용액교반을 강력하게 하고 있다.

전해도금용 음극Seed막은 Via가 깊을수록 충전이 어려워 Void발생 원인이 된다. 딱딱하고 평활한 산화막상에는 무전해 도금이 어려우므로 CVD법으로써 유기Cu화합물을 함유한 가스가 Via내에 함께 부착하므로 양호한 Seed가 된다. Sputtering은 저 진공에서 Cu원자가 타겟에서 튀어나와 직진하기 때문에 깊은 홀 바닥에는 도달하기 어렵다.

Semi-tool사는 시드층 연장(SLE; Seed Layer Enhancement)기술을 개발했다. 시드를 Sputtering한 후 약품 처리하여 Via바닥부 위까지 연장시켜 유기Cu화합물을 함유한 가스가 Via내에 함께 부착하는 CVD와 동일하게 하였다. SLE기술은 표면산화막의 제거효과가 있고, 입자가 접착하여 연속하지 않는 곳을 연결하는 효과도 있었다. Aviza테크놀로지 사는 Re-sputtering하여 한번

붙은 Cu원자를 역방향으로 튀어나오게 하여 다시 부착하였다.

Via충전에는 수mA/cm<sup>2</sup>전류가 효과적이지만 전류를 증가하여 도금시간을 단축하면 Void가 발생하는 문제가 생긴다. Via가 크게 되면 충전하는 체적이 증가하기 때문에 장시간이 필요하다. 도금가공 비용은 30분 도금시간에서도 TSV가공비용의 40%를 차지하였다. 2008년 웨이퍼 완성비용이 200달러까지 내려갔지만 Nikkei마이크로부품 사에서는 50달러로 하지 않으면 TSV부품은 발전할 수 없다고 제안했다.

TSV를 별도 제조하는 방법으로서 Via Last Back이 있다. 완성 칩 표면 측에 지지부재를 만들어 뒷면을 연마하여 얇게 한 후, 이온에칭 하여 홀 가공하기 때문에 Via를 충전하지 않고서도 Cu막 제조가 가능하다. 현재 Hitachi사에서 금도금 막을 사용한 상온삼입 TSV와 Toshiba사에서 CMOS 이미지센서용으로 양산되고 있는 단일 칩(Single Chip)인 TSV가 있다. 도금면은 CMOS센서 감광부의 부품 측과 외부 Bump측에 접속되어 있다.

실리콘 Via내벽에 Seed를 붙여 펄스전류를 인가하는 전기도금이 실제로 양산에 사용되는가에 대해서는 미지수이다. NEC사는 2009년 무전해 Ni도금 Via를 발표했다. 균일도금은 가능하였지만 표준Via구조로의 적용은 어려웠다. 프랑스의 Alchimer사에서는 전기이식법(Electrografting)을 제안하고 있다. 고분자 유기Cu화합물 용액에 웨이퍼를 넣어 초기전압을 가하면 Cu원자와 치환하여 Cu층을 형성한다.

### 3. 결론

TSV기술은 차세대 반도체의 중요한 기술로 기대되지만 개발속도는 빠르지 않다. 제품응용과 설계에도 도금의 어려움이 걸림돌로 되고 있다. 반도체실장과 도금기술자의 교류도 충분하지 않은 것처럼 느껴진다. 도금기술을 한층 더 발전시켜서 고기능의 TSV부품이 널리 사용될 것을 기대하고 있다.

### 참고문헌

1. 傳田 精一, 貫通電極とめっき技術, 電氣化學および工業物理化學, 79(2011), pp.178~182