

스위치 구동 시 기생성분에 따른 게이트 신호 분석

채훈규, 김동희, 김민중, 박상민 이병국[†]
 성균관대학교 정보통신대학

Analysis of Switch Driving Gate Signal by Parasitic Component

Hun Gyu Chae, Dong Hee Kim, Min Jung Kim, Sang Min Park, and Byoung Kuk Lee[†]
 College of Information & Communication Engineering, Sungkyunkwan University

ABSTRACT

본 논문에서는 2개의 MOSFET으로 구성된 Half bridge 회로를 구동할 때, 각 MOSFET의 기생성분을 고려하여 게이트 신호를 분석한다. 특히 MOSFET 구동시 게이트 전압에 따른 구간별 등가회로를 구성, 각 구간에서 다른 MOSFET에 상호적으로 미치는 영향을 수식적으로 분석하고, 시뮬레이션을 통해 스위칭 특성을 검증한다.

1. 서론

전력변환장치의 전력밀도를 향상시키기 위한 높은 스위칭 주파수가 요구되었다. 이에 따라 기생성분의 리액턴스가 크게 나타나게 되고 게이트 노이즈 또한 증가하게 된다. 이러한 게이트 노이즈는 스위치 소자의 스위칭 시 오동작을 일으킬 수 있기 때문에 자세한 분석이 필요하다. 기존의 연구들은 기생성분이 포함된 하나의 MOSFET을 등가회로로 분석하였고, 특히 턴 온, 오프 동안 게이트 전압에 따른 구간별 등가회로를 구성하여 게이트 노이즈 또는 손실을 연구하였다.^[1] 하지만 Half bridge의 경우 하나의 MOSFET을 구동하는 것이 아닌 2개의 MOSFET을 구동하기 때문에 각 MOSFET이 턴 온, 오프 시에 다른 스위치에 영향을 끼친다. 본 논문에서는 Half bridge 구조에서 2개의 MOSFET이 동작 할 때, 각 스위치가 다른 스위치에 미치는 영향을 게이트 전압에 따른 구간별 등가회로를 구성하여 수식적으로 분석하고, 이를 시뮬레이션으로 모델링하여 검증한다.

2. Half-bridge에서 MOSFET 동작

2.1 MOSFET 등가회로 및 동작

MOSFET의 구조는 그림 1과 같이 3개의 내부 커패시터 (C_{gd} , C_{gs} , C_{ds})로 이루어진다^[1]. MOSFET의 턴 온을 위해 게이트 전압을 인가하게 되면 게이트 저항과 내부 커패시터에 의해 RC회로가 형성되며, 이때 C_{gs} 에 충전되는 전하량에 의해 V_{gs} 가 증가하게 된다. 게이트 전압의 노이즈는 역병렬 다이오드의 역회복 전류 또는 기생 커패시턴스와 회로 기판내의 인덕턴스 성분이 공진하여 스위칭 시 게이트 전압에 중첩되어 발생한다.

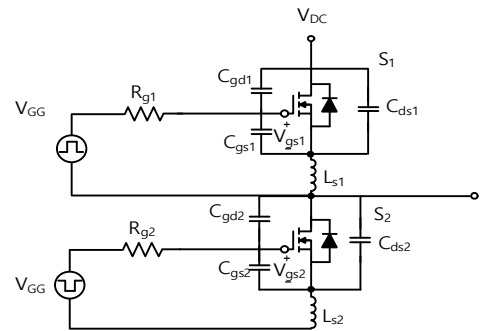


그림 1 기생성분을 고려한 Half-bridge 구조
 Fig. 1 Structure of Half-bridge with parasitic component

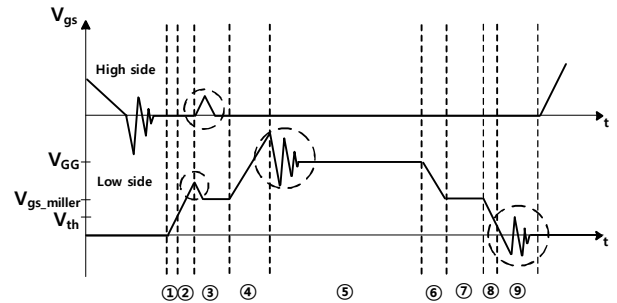


그림 2 Half-bridge 동작 시 S_1 , S_2 의 게이트 전압 파형
 Fig. 2 Gate waveforms for S_1 , S_2

그림 2는 Half bridge 구조에서 반복되는 게이트 신호 중에 Low side MOSFET 동작 시 게이트 전압파형을 대략적으로 나타낸 것이다. 초기동작 ① 구간에서는 그림 3의 (a)와 같이 high side MOSFET S_1 은 오프, low side MOSFET S_2 에 게이트 전압이 인가되는 시점을 뜻한다. ② 구간에서 V_{gs} 는 V_{th} 보다 커지게 되고 S_1 의 역병렬 다이오드로 흐르던 전류는 그림 3의 (b)와 같이 S_2 의 드레인으로 흐르게 된다. 이때 S_1 의 다이오드가 오프 되면서 역회복 특성에 의한 역회복 전류가 기생인덕턴스 L_{s2} 로 흐르게 된다. 이 역회복전류가 회복하는 시점에서 L_{s2} 에 흐르는 전류의 기울기는 ()가 되고 S_2 의 드레인 전위는 인덕터에 걸리는 전압만큼 감소하게 된다. 이 전압은 V_{gs2} 를 증가시키고 이는 구동전압의 노이즈성분으로 나타난다.

$$V_{Ls2}(t) = L_{s2} \frac{di_{ds}(t)}{dt} \quad (1)$$

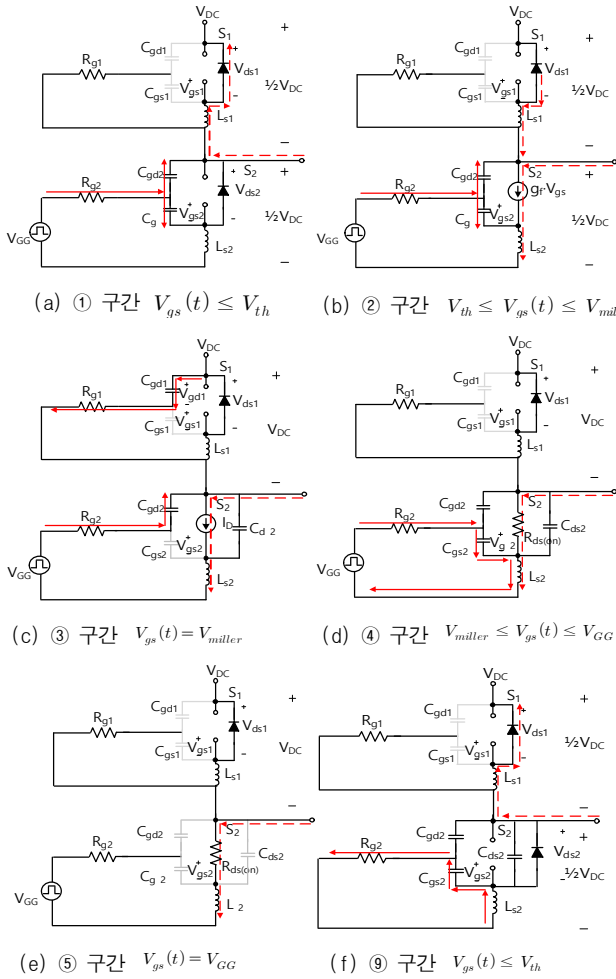


그림 3 각 구간별 MOSFET 등가회로
Fig. 3 Equivalent circuit in different operating stages.

③ 구간에서 S_2 의 V_{ds2} 가 감소하면서 S_1 에 걸리는 전압은 $0.5V_{DC}$ 에서 V_{DC} 로 순간적으로 증가하게 된다. 이때 S_1 의 C_{gd1} 과 게이트 저항을 통해 식 (2)와 같은 전류가 흐르게 된다. S_1 의 C_{gs1} 에 걸리는 전압 V_{gs1} 은 식 (3)과 같다^[2].

$$I_{gd1} = C_{gd1} \times \frac{dv_{gd1}}{dt} \quad (2)$$

$$V_{gs1} = R_{g1} \times I_{gd1} \quad (3)$$

④, ⑨ 구간에서는 S_2 의 C_{gs2} 가 충, 방전되면서 생기는 페루프에 의해 R L C 공진회로가 생성되고 충전시 V_{gs2} 의 크기는 식 (4), 방전시 V_{gs2} 의 크기는 식 (5)와 같다.

$$V_{gs2} = V_{GG} - i_{g2}R_{g2} - L_{s2} \frac{dI}{dt} \quad (4)$$

$$V_{gs2} = i_{g2}R_{g2} + L_{s2} \frac{dI}{dt} \quad (5)$$

이 구간에서 V_{gs2} 는 R_{g2} 가 무시할 정도로 작고, MOSFET의 드레인 전류의 변화율인 dI/dt 가 일정할 때 L_{s2} 의 영향을 크게 받는다. 또한 페루프의 임피던스들 L_{s2} , C_{gs2} 로 인한 게이트 전압의 오버슈트를 최소화하기 위해서는 $R > 2\sqrt{L/C}$ 를 만족시키는 과감쇠 (Overdamping) 영역으로 천이시켜야 하지만 공정상 C는 정해져 있고, R값을 증가시키면 스위치 온 오프 시간이 증가하는 단점을 갖고 있다. 따라서 L값을 감소시켜주어야 게이트 전압의 오버슈트를 최소화시킬 수 있다.

⑤ 구간에서 S_2 는 완전히 턴 온이 되어 $R_{ds(on)}$ 으로 등가 되고 C_{gs1} 는 V_{GG} 로 완전히 충전된다.

2. 시뮬레이션

앞서 보인 V_{gs} 에 따른 MOSFET의 각 구간별 스위치 간 상호작용으로 인한 게이트 전압을 확인하기 위하여 기생성분을 포함한 Half bridge 구조를 모델링하고 각 구간별 MOSFET 등가회로를 대입하여 시뮬레이션을 진행한다. 각각의 기생성분들은 최대한 작게 유지해주는 것이 좋지만 그림 5의 R_{g1} 은 S_2 의 스위치의 dv_{gd}/dt 에 영향을 주기 때문에 V_{gs1} 이 V_{th} 보다 작은 값을 만족하는 R_{g1} 을 선정해야 한다.

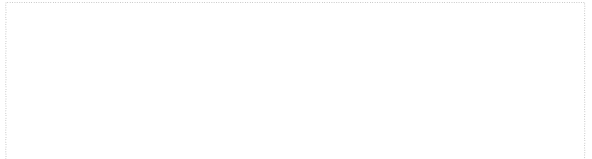


그림 4 S_2 의 L_{s2} 의 크기(10nH,20nH,30nH)에 따른 ② 구간 전압 파형
Fig. 4 Gate waveforms for ② period in different inductance.

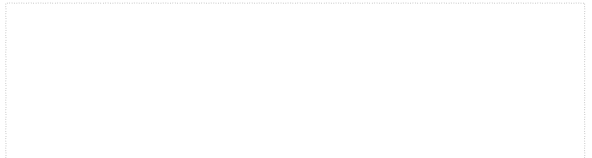


그림 5 S_1 의 R_{g1} 의 크기(1Ω,5Ω,10Ω)에 따른 ③ 구간 전압 파형
Fig. 5 Gate waveforms for ③ period in different resistance.

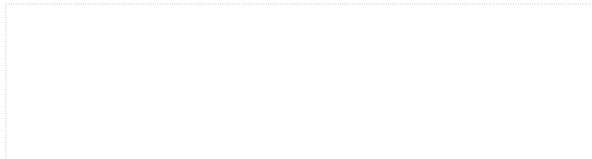


그림 6 S_2 의 L_{s2} 의 크기(10nH,100nH)에 따른 ④, ⑨ 구간 전압 파형
Fig. 6 Gate waveforms for ④, ⑨ period in different inductance.

3. 결론

본 논문에서는 기생성분을 고려한 MOSFET소자를 실제적인 Half bridge 등가회로로 모델링하여 각 구간별로, 다른 스위치의 게이트 전압에 미치는 영향을 분석 및 검증하였다. 이를 통해 구간별 노이즈를 저감하기 위한 파라미터를 선정할 수 있고, 이를 조절하여 스위치 구동의 신뢰성을 높이는 데 기여할 것으로 예상된다. 향후 제안된 인덕턴스에 따라 게이트의 동작 범위를 관찰하는 실험을 실행할 계획이다.

참고 문헌

- [1] Y. Ren, M. Xu, J. Zhou, and F. Lee, "Analytical loss model of power MOSFET," IEEE Trans. Power Electron., vol.21,no. 2, pp. 310-319, Mar. 2006
- [2] Infineon, "Driving IGBTs with unipolar gate voltage," Application Note, AN 2006 01, 15, Dec. 2005