

고전압 DC 평활 커패시터를 삭제한 소용량 전원 장치 구현 방안

김세민, 이정준, 강경수, 노정욱
국민대학교 전자공학과

A Method For Low Power Switch Mode Power Supply Design Without High Voltage Input DC Link Capacitor

Semin Kim, Jeongjun Lee, Kyung Soo Kang, Chung Wook Roh
Dept. of Electronics Engineering, Kookmin Univ.

ABSTRACT

기존 소용량 전원 장치의 경우, Primary 측에 단상 AC 전압 평활을 위한 고압 전해 커패시터가 사용되는 것이 일반적이다. 이러한 전해 커패시터는 회로의 전체적인 부피를 키우고 제작 단가를 증가시킨다. 뿐만 아니라, 전원 열악 지역(인도향 제품 등)과 같이 300Vac 이상의 전압 한계치를 갖는 경우에는 전해 커패시터 파열에 의한 회로의 손상을 야기할 수 있다.

본 논문에서는 고압 DC 평활 커패시터를 삭제한 소용량 전원 장치 구현 방안을 제안한다. 제안 방식은 고전압 전해 커패시터의 삭제와 스위치 내장형 IC를 채용함으로써 소형화 및 원가 저감이 가능하며, 동시에 불안정한 입력 전원에도 전해 커패시터 파열에 의한 회로 손상을 막을 수 있다. 본 논문에서는 절연형 Flyback 컨버터를 이용하여, 이론적 특성 분석과 5W 급 시제품을 통한 실험적 분석을 통해 그 타당성을 검증한다.

1. 서 론

최근 전자 기기의 고성능화와 더불어 집적화 및 소형화 기술에 대한 중요성도 함께 증대되고 있다. 이에 따라 가전제품, 휴대용 전자 기기, 충전기 등은 기존에 비해 더 작은 크기, 동등한 효율을 갖거나, 더 높은 효율을 갖도록 요구되고 있다.

전자 기기의 운용은 SMPS(Switch Mode Power Supply)를 사용하여 필요한 전력을 공급한다. 이때 AC 입력을 평활하기 위한 고압 전해 커패시터는 SMPS에서 큰 비중을 차지하여 부피 상승에 주요한 원인으로 작용한다. 또한, 입력이 불안정한 전원 열악 지역의 경우, Surge 전압에 의한 평활 커패시터 파열로 SMPS와 기기 전체가 손상되는 사고가 발생하기도 한다.

본 논문에서는 고압 전해 커패시터를 삭제한 소용량 SMPS 회로를 구성하며, 이때 입력 전압을 제한하여 스위치의 최대 Duty를 만족시키는 방법을 제안한다. 따라서 제안된 방식은 기존 SMPS와 동등한 성능을 보장하면서 부피 및 원가는 저감되고, 사용자의 안전을 보장할 수 있다는 장점을 갖는다.

2. 제안된 소용량 전원 장치 구현 방안

그림 1은 제안된 DC 평활 커패시터를 삭제한 SMPS 회로의 블록도이다. 제안 회로는 2중 출력(Master, Slave) 절연형 Flyback 컨버터를 DCM Mode에서 동작시키며, 스위치 내장형 IC의 V_{CC} 노드와 Primary 측 사이에 Diode 연결을 통해 V_{Link} 의 최소 전압 값을 제한한다.

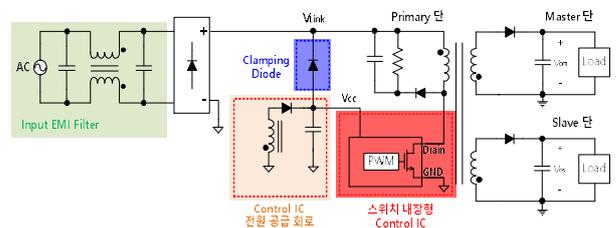


그림 1. 제안 평활 커패시터를 삭제한 소용량 전원 회로 블록도

2.1 제안된 소용량 전원 장치의 동작 원리

스위치 내장형 Control IC는 최대 Duty가 결정되어 있다. 그러므로 정류 전압을 그대로 SMPS에 인가한다면, 일정 전압 이하에서 최대 Duty를 초과하는 상황이 발생할 것이다. 따라서 제안 회로는 정류 입력 전압에 대한 제한조건이 필요하다.

그림 2는 제안 회로의 V_{Link} (입력 전압) 제어 블록도이다. 이는 최대 Duty가 넘지 않을 조건을 위한 제어 블록으로써, $V_{in} < V_{CC}$ 조건에서는 Diode Clamping을 통해 SMPS의 최소 입력 전압을 Control IC 공급 전압인 V_{CC} 로 대체한다.

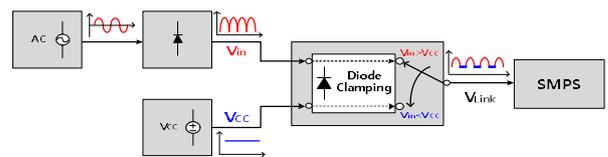
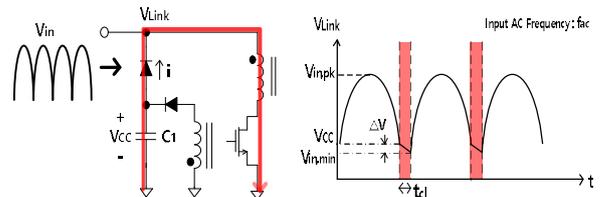


그림 2. 제안 회로의 V_{Link} (입력 전압) 제어 블록도

2.2 제안된 소용량 전원 장치의 입력 전압 제한 원리

그림 3은 DC Link 단이 최소 전압일 때 Primary 측의 전류 도통 경로와 전압 파형을 나타낸다. 이를 통해 입력 전압이 V_{CC} 로 Clamping 되는 시간 t_{c1} 과 그 구간 동안에 소모되는 전압 ΔV 에 관한 식 (1), (2)를 유도할 수 있다.



(a) 1차 측 전류 도통 경로 (b) Link 단 전압 파형
그림 3. Link 전압이 최소일 때의 전류 도통 경로 및 전압 파형

$$t_{c1} = \frac{2}{2\pi f_{ac}} \sin^{-1} \left(\frac{V_{cc}}{V_{in,pk}} \right) \quad (1)$$

$$\Delta V = V_{cc} - V_{in,min} = \frac{P_{out}}{V_{c1}} \cdot \frac{t_{c1}}{C_1} \quad (2)$$

각각의 식 (1)과 식 (2)를 통해 Control IC 구동 전압인 V_{CC} 를 정하고 SMPS의 최소 입력 전압 값을 설계할 수 있다. 최종적으로 적절한 C_1 값을 선정하여, Control IC에서 정한 최대 Duty D_{MAX} 와 $V_{in,min}$ 의 관계 식 (3)을 정의할 수 있다.

$$V_{in,min} \geq \frac{V_{out}}{D_{MAX}} \cdot \sqrt{\frac{2L_m}{R_{out} \cdot T_S}} \quad (3)$$

3. 실험 결과

고전압 DC 평활 커패시터를 삭제한 소용량 SMPS 구현 방안의 타당성을 검증하기 위해 5W 급 2중 출력 Flyback 컨버터 시작품을 제작하여 실험하였다. 설계를 위한 입출력 사항 및 주요 파라미터는 [표 1]과 같다.

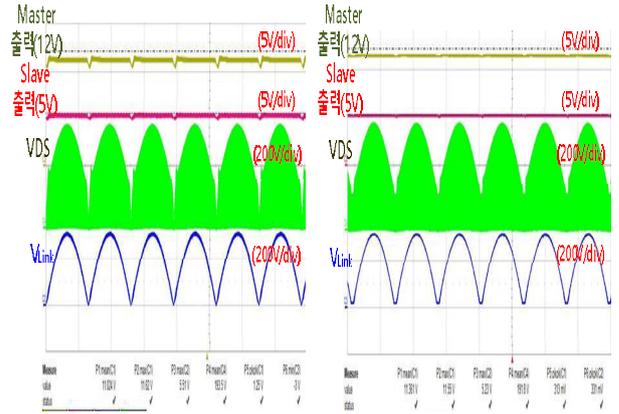
표 1 5W 급 시작품 실험 입출력 사항 및 주요 파라미터

입력 전압 (V_{in})	220 V_{ac}	
출력 전압 (V_{OM}, V_{OS})	Master 단	Slave 단
	12V	5V
스위칭 주파수 (f_{sw})	65kHz	
Control IC	FSL137MRIN (스위치 내장형 IC)	
자화 인덕턴스 (L_m)	150 μH	

그림 4는 DC 평활 커패시터를 삭제한 소용량 SMPS의 주요 파형이다. 각각 파형은 Master 출력(12V), Slave 출력(5V), 스위칭 양단 전압(V_{DS}), Link 전압(V_{Link})의 실험 결과를 나타낸다.

그림 4(a)는 Clamping Diode를 장착하지 않은 상황이다. 이때, Link 단의 전압은 AC 입력이 전파 정류된 전압 상태로 인가된다. 그 결과, 특정 구간에서 15V 정도의 출력 전압 Ripple(약 13%)이 발생하는 것을 확인할 수 있다. 이는 Link 단의 전압이 Control IC에서 감당할 수 있는 최대 Duty D_{MAX} 를 초과하는 조건이기 때문이다.

반면, 그림 4(b)는 본 논문에서 제안하는 Clamping Diode를 장착하여 Link 전압을 제한하는 방안이다. V_{in} 전압이 V_{CC} 전압으로 Clamping되는 순간은 20V이며, 이후 $V_{in,min}$ 의 값이 17V 까지 떨어지는 것을 확인할 수 있다. 즉, Diode Clamping에 의해 V_{CC} 전압이 SMPS의 주 전압원이 되는 t_{c1} 구간에서, 입력 전압이 최대 Duty D_{MAX} 를 초과하지 않는 조건을 만족하기 때문에 원활한 작동이 보장됨을 확인할 수 있다. 결과적으로, 300mV의 출력 전압 Ripple(약 2.5%)이 발생하며, 이는 기존의 DC 평활 커패시터를 포함하는 SMPS 회로와 동등한 성능을 나타낸다.



(a) Clamping Diode 미장착 파형 (b) Clamping Diode 장착 파형

그림 4. 5W 급 2중 출력 Flyback 컨버터 시작품, Clamping Diode 장착 여부에 따른 주요 전압 파형

상기 실험 파형을 통해 고전압 DC 평활 커패시터 없이 DC 출력을 갖는 SMPS 구현이 가능함을 확인하였고, 추가적인 1개의 Diode를 사용해 최소 입력 전압(V_{CC} 및 $V_{in,min}$)을 제한하여 기존과 동등한 성능이 보장됨을 확인하였다. 위와 같은 실험 결과를 바탕으로 제안된 소용량 전원 장치 구현 방안의 우수성을 검증하였다.

4. 결론

본 논문에서는 Primary 측에 DC 평활 커패시터를 삭제한 소용량 전원 장치 구현 방안을 제안한다. 기존 SMPS는 PBA 제작 시 큰 부피를 차지하는 DC 평활 커패시터를 포함하는 점과 Surge 전압을 동반하는 전원 열악 지역에서의 사용이 제한된다는 단점이 존재한다. 반면, 제안된 소용량 전원 장치 구현 방안은 DC 평활 커패시터의 삭제로 인해 PBA의 부피 및 원가를 저감하면서, 전원 열악 지역(인도항 제품 등)에서의 사용에도 안전성 및 신뢰성을 보장할 수 있다는 장점을 갖는다.

따라서 제안된 고전압 DC 평활 커패시터를 삭제한 소용량 전원 장치 구현 방안은 다양한 전자 기기를 운용하는 소용량 전원 장치 구현 시, 부피 감소 및 원가 저감의 효과를 거둘 뿐만 아니라 불안정한 전원 환경에서 쓰이는 전자 제품에도 적용이 가능할 것으로 기대된다.

이 논문은 국민대학교의 교내 연구비 지원과 2015년 산학협력력 기술개발 사업 지원에 의하여 연구되었음

참고 문헌

- [1] Byungcho Choi, Fundamentals of PWM DC to DC Power Conversion, Second Edition, Guardianbook Publishing Company, Inc. pp. 67 150, 2015.
- [2] C. Mullett, F. Cathell, Improving the Regulation of Multi Output Flyback Converters, Proc. IEEE APEC, pp. 1923 1926, 2009.