

고밀도를 위한 높은 입력용 증속 벡-부스트 역률 보상 회로

강병구^[1], 김정은^[2], 김동관^[1], 문건우^[1]
한국과학기술원^[1]
삼성전기^[2]

High Power Density Cascade Buck-Boost PFC for High Input Voltage

Byung-Gu Kang^[1], Chong-Eun Kim^[2], Dong-Kwan Kim^[1], and Gun-Woo Moon^[1]
Korea Advanced Institute of Science and Technology^[1]
Samsung Electro-Mechanics^[2]

ABSTRACT

본 논문에서는 최근 서버에 적용되고 있는 180~305 Vac의 높은 입력에 대한 증속 벡 부스트 형태의 역률 보상 회로를 제안한다. 제안된 컨버터는 277 Vac인 공칭 입력 전압에서 기존 부스트 역률 보상 회로와 동일하게 동작하며, 277 Vac 이상의 입력에서는 추가된 벡 스위치의 간단한 피드-포워드 제어를 통해 부스트 단의 평균 입력 전압을 낮추는 방법을 사용한다. 따라서, 277 Vac 이상의 높은 입력 전압에서도 기존 보다 낮은 출력 전압으로 컨버터가 동작하기 때문에, 기존의 부스트 컨버터에 비해 출력 콘덴서의 크기와 부스트 스위치, 다이오드의 전압 스트레스를 감소시킬 수 있다. 이를 통해 공칭 입력 전압에서 부스트 스위치의 스위칭 손실을 감소시킬 수 있고 높은 전력 밀도를 가질 수 있다. 본 논문에서는 제안된 컨버터의 분석과 함께, 유효성 확인을 위해 입력 180~305 Vac, 출력 400 V, 750 W 급 컨버터를 제작하였으며 실험을 통해 얻은 결과를 제시하였다.

1. 서론

서버용 전원장치는 고조파 규제를 위한 역률보상 회로와 출력 전압 제어를 위한 DC/DC단으로 구성된다. 또한 정상상태 공칭 입력전압에서 전 부하 조건에 걸쳐 높은 효율이 요구 된다. 현재 역률보상회로의 입력으로 주로 180 Vac~264 Vac 전압을 사용한다. 역률보상 회로단에는 입력 전류가 연속적이고 구조가 간단한 부스트 컨버터가 많이 사용되고 있다. 부스트 컨버터의 경우 출력전압이 입력전압보다 높고 또한 홀드-업 시간 요구 조건을 만족하기 위해 일반적으로 출력 커패시턴스를 크게 설계한다. 부스트 컨버터의 출력전압이 (V_o) 크면 스위치의 전압 스트레스가 증가하게 되고, 이로 인해 스위치의 스위칭 손실이 커지게 된다. 따라서 부스트 컨버터의 출력전압을 264 Vac 입력에 margin을 고려한 400V로 주로 사용하며, 이러한 기준에 최적화된 소자들이 개발되어 양산되고 있다. 한편 최근 미국 데이터센터에서는 기존보다 높은 180~305 Vac의 높은 입력을 사용한다. 이와 같이 높은 입력에서 기존의 부스트 컨버터를 적용할 경우 450 V의 높은 출력 전압으로 설계 되어야 한다. 따라서 역률보상회로단과 DC/DC단의 스위칭 손실이 더욱 증가한다. 또한 역률보상회로의 출력 콘덴서가 기존의 450 V 내압에서 500 V 내압

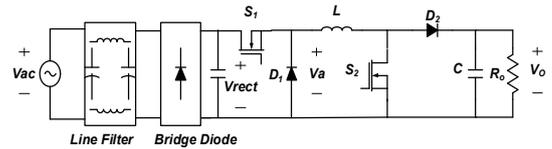


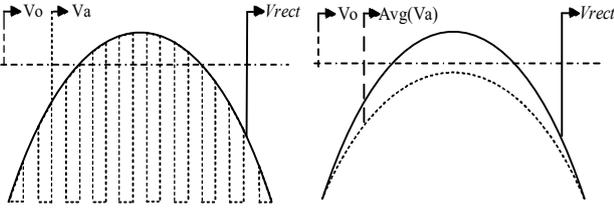
그림 1 제안하는 방식의 증속 벡 부스트 회로

으로 커지기 때문에 기개발된 콘덴서의 사용이 어렵다. 따라서 실제 서버용 전원 장치의 경우에도 기존의 부스트 방식을 사용할 경우, 홀드-업 시간을 만족하기 위한 커패시턴스를 고려하면 여러 개의 콘덴서를 사용 해야 하므로 차지하는 부피가 크며 이는 전력 밀도를 낮추게 된다. 따라서 본 논문에서는 간단한 피드-포워드 제어를 이용하여 증속 벡 부스트 컨버터를 사용하여 기존 400 V의 출력전압을 갖도록 설계하였다. 이를 통해 높은 입력 전압 조건에서 기존의 부스트 컨버터에 비해 낮은 출력 전압으로 동작 할 수 있고, 이는 450 V 내압을 가진 콘덴서를 사용하므로써 부피가 줄고 따라서 높은 전력 밀도를 가질 수 있다. 또한 역률보상회로단과 DC/DC단의 전압 스트레스를 감소시켜 공칭 입력 전압에서 스위치의 스위칭 손실을 줄일 수 있다.

2. 동작원리 및 회로특징

2.1 동작원리 및 제어방식

그림 1은 제안하는 방식에서 사용할 증속 벡 부스트 회로도이다. 기존의 부스트 컨버터를 사용한 역률 보상 회로에서 앞 단에 벡 셀만 추가한 형태이다. 180~277 Vac 입력까지는 S_1 을 항상 켜주어 기존과 같은 동작을 하고, 277~305 Vac 입력에 대해서만 S_1 을 스위칭 시켜준다. S_1 을 Feed-Forward 제어로 스위칭 하므로써 그림 2 (a)에서 보는 것과 같이 부스트 단의 입력전압(V_a) chopping 된다. 이러한 방식을 통해 그림 2 (b)에서와 같이 부스트 단의 평균 입력전압($Avg(V_a)$) 출력 전압보다 낮아지게 할 수 있다. 이러한 방식으로 180~305 Vac 입력에 대해서 출력전압을 400 V로 설계 가능하다. 또한 277Vac 공칭입력에서는 S_1 을 항상 켜주므로 작은 도통 손실이 발생하는데 이는 보다 낮아진 출력전압에 의해 스위칭 손실이 줄어드는 양이 도통 손실 증가분보다 더 크므로 전체적으로는 손실이 감소하게 된다.



(a) 부스트 단의 입력 전압 (b) 부스트 단의 평균 입력전압
그림 2 부스트 단의 입력전압(Va) 및 평균 입력전압 Avg(Va)

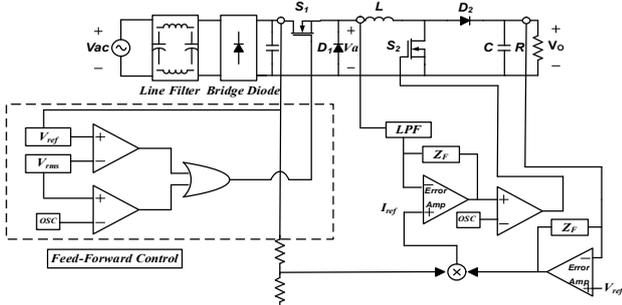


그림 3 피드-포워드 방식의 제어를 이용한 역률 보상회로

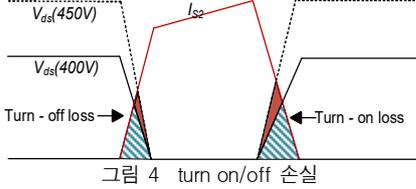


그림 4 turn on/off 손실

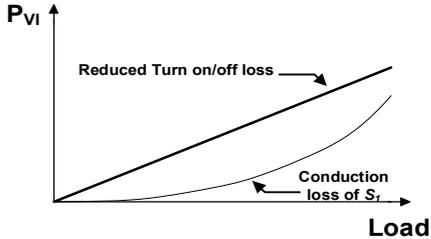


그림 5 turn on/off 손실 감소분과 도통 손실

이 때 제어단은 그림 3과 같이 기존의 방식에서 간단한 피드 포워드 방식을 추가해서 출력전압을 제어하도록 간단히 구성할 수 있다. [2]

2.2 스위칭 손실과 도통 손실의 비교

그림 4에서 보는 것처럼 출력전압이 작아지면 스위치 양단 전압이 감소하므로써 스위칭 손실이 줄어든다. 이 때 제안된 컨버터가 S_1 으로 인한 추가 도통 손실이 발생하나 그림 5 와 같이 개선된 스위칭 손실 감소분과 추가된 스위치의 도통 손실을 비교 했을 때 전체적으로 손실을 줄일 수 있다. 그리고 DC/DC단의 스위칭 손실 까지 고려하면 전체적인 스위칭 손실 감소분이 S_1 의 도통 손실 보다 크므로 효율이 증가 할 수 있다.

2.3 출력 콘덴서 부피 비교

표 1은 부스트 역률보상회로의 500 V 내압 콘덴서와 종속 벽 부스트 역률보상회로의 450 V 내압 콘덴서를 비교한 것이다. 커패시턴스를 고려해 개수를 각각 4개, 1개로 사용하였다. 이를 통해 차지하는 총부피를 구해보면 제안하는 회로의 콘덴서가 차지하는 총부피가 기존방식에 비해 1/2이 되고 이는 더 높은 전력밀도를 나타낸다.

지름(Φ)	30 mm	지름 (Φ)	30 mm
높이(h)	30 mm	높이(h)	60 mm
부피(V)	27000 mm ³	부피(V)	54000 mm ³
총부피(V)	108000 mm ³ 27000 x 4개	총부피(V)	54000 mm ³ 27000 x 1개

(a) 부스트 역률보상회로 콘덴서 (b)종속 벽부스트 역률보상회로 콘덴서
(a) Rubycon MXH series 500V, 150μf x 4ea

(b) Nippon chemi-con 사의 KMW series 450V, 820μf x 1ea

표 1 500V 내압 콘덴서와 450V 내압 콘덴서의 규격 비교

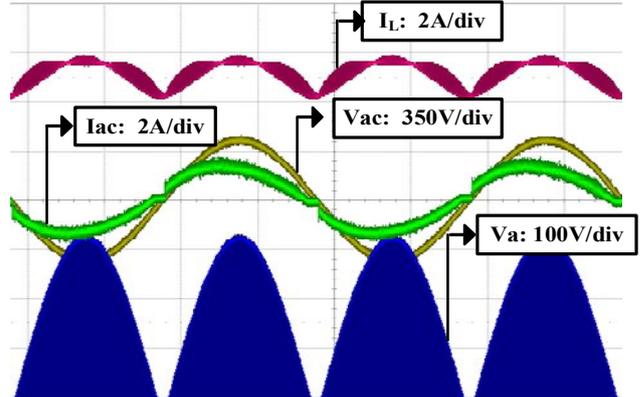


그림 6 입력 : 305Vac, 출력 전력: 375W 에서의 입력전압 Vac, , 입력전류 Iac, 인덕터 전류 IL, 부스트 단 입력전압 Va

3. 실험결과

제안한 회로의 유용성을 검증하기 위해 입력 180~305 Vac, 출력전압 400 V, 출력전력 750 W에서 실험을 하였다. 스위칭 주파수는 40 kHz이다. 그림 6은 제안한 회로의 입력 305 Vac에서의 실험 파형이다. 파형에서 보듯이 S_1 이 스위칭을 하고 이에 따라 부스트단의 평균입력 전압이 출력전압보다 작아져서 인덕터 전류가 부스트 동작을 잘 함을 확인 할 수 있다.

4. 결론

본 논문에서는 277~305 Vac 입력에서도 낮은 입력 전압을 가질 수 있는 회로와 제어 방식에 대해 제안하였다. 제안한 컨버터는 콘덴서의 부피 감소로 인한 전력밀도 상승을 가져오고, 효율이 중요한 277 Vac 입력에 대해서도 스위치의 스트레스를 감소시켜 스위칭 손실을 줄일 수 있다.

이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No.2010-0028680).

참고 문헌

- [1] M.S.Elmore et al., "A power factor enhancement circuit," in *IEEE APEC*, June 1991, pp.407-414
- [2] P.C. Todd, "UC3854 controlled power factor correction circuit design," *Unitrode Application Note*, U-134, pp. 3-269-3-288.