

개선된 저전압 대전류원을 사용한 전류형 HVDC Thyristor Valve 합성시험회로

조한제¹, 정재현¹, 노의철¹, 구법진², 윤지호², 백승택², 정용호²
부경대학교¹, LS산전(주)²

Synthetic Test Circuit for LCC-HVDC Thyristor Valve with Improved Low-voltage and High-current Source

Han Je Cho¹, Jae Hun Jung¹, Eui Cheol Nho¹, Beob Jin Goo²,
Ji Ho Yun², Seung Taek Baek², Yong Ho Chung²
Pukyong National University¹, LSIS Co.,Ltd.²

ABSTRACT

본 논문에서는 전류형 HVDC Thyristor Valve의 연속운전 시험을 위한 개선된 방식의 합성시험회로를 제안한다. 제안하는 방식은 기존의 저전압 대전류원 회로에 단상 폴 브리지 인버터를 적용하여 회로를 간소화 하였고, 이전보다 간단한 방법으로 보조 사이리스터 밸브를 턴 오프 한다. 제안하는 방식에 대한 구간별 동작 원리를 설명하고, 타당성을 검증하기 위해 시뮬레이션 분석과 축소모형 실험을 실시하였다.

1. 서 론

HVDC (High Voltage Direct Current Transmission) 시스템의 전력변환장치인 사이리스터 밸브는 설치되는 변환소로 공급되기 전에 신뢰성 확보를 위하여 IEC 60700 1 규격에 따라 그 동작 성능을 검증하여야 한다. 연속운전시험은 실제 운전 중에 발생할 수 있는 전류 및 전압, 온도에 대한 최악의 반복 스트레스에 대해 사이리스터 밸브의 특성 및 관련 회로의 적합성을 검증한다. 이 시험을 정격의 시험 전력으로 진행하게 되면 시험 설비의 규모가 커지고 투자 비용이 증가하게 되는데 이러한 문제점을 해결하기 위해 전압과 전류의 스트레스 특성을 인위적으로 모의하는 방식인 합성시험회로 (Synthetic Test Circuit)가 고안이 되었고, HVDC 제조사 (ABB, Siemens, Alstom 등) 별로 독자적인 회로가 개발되어 운용되고 있다^[1].

본 논문에서는 기존 합성시험회로^[2,3]의 저전압 대전류원 회로를 간소화하기 위해 개선된 새로운 방식의 합성시험회로를 제안한다. 이는 보조 사이리스터 밸브의 턴 오프를 위한 보조 회로 및 보조 구성품을 모두 제거하고 단상 폴 브리지 인버터를 적용하여 보조 사이리스터 밸브의 턴 오프 시간을 확보하는 방식이다. 제안하는 방식에 대한 동작 원리를 구간별로 해석하고 200 [V], 30 [A] 급 축소 모형에 대한 시뮬레이션 및 실험을 통하여 그 타당성을 검증하였다.

2. 제안하는 합성시험회로

2.1 제안하는 합성시험회로의 구성

합성시험회로는 일반적으로 시험 밸브의 전류 스트레스를 모의하기 위한 저전압 대전류원 회로와 전압 스트레스를 모의하기 위한 저전류 고전압원 회로로 구성된다. 그림 1은 제안하

는 합성시험회로의 구성을 나타낸다. 회로의 가운데에 위치한 시험 밸브를 중심으로 왼쪽이 저전압 대전류원 회로이고, 오른쪽이 저전류 고전압원 회로이다. 이 중에서 저전류 고전압원 회로는 기존의 회로 구성과 동작 원리가 동일하다.

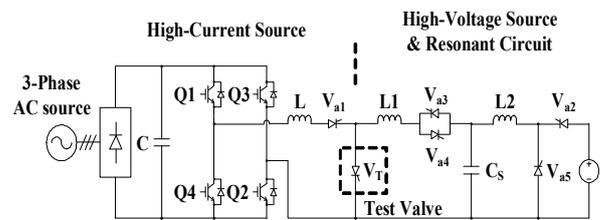


Fig 1 Configuration of proposed STC

합성시험회로는 저전압 대전류원의 동작이 완료되면 보조 밸브 V_{a1} 에 흐르는 전류가 0이 되고, 공진 전류의 주입 시간이 끝나면 저전류 고전압원의 동작이 시작된다. 이 기간 동안 저전류 고전압원으로부터 저전압 대전류원을 보호하기 위해 보조 밸브 V_{a1} 은 완전히 턴 오프 되어야 한다. 기존의 합성시험회로에서는 이를 위해 턴 오프 보조 회로 또는 보조 구성품을 사용하였다^[2,3]. 제안하는 합성시험회로는 이들을 모두 제거하고 단상 폴 브리지 인버터를 적용하여 입력 전원의 필터 커패시터 전압을 보조 밸브 V_{a1} 에 역방향으로 인가하는 방식을 사용한다. 이를 통해 기존의 회로보다 간단한 방법으로 보조 밸브 V_{a1} 의 턴 오프 시간을 확보하였다.

2.2 제안하는 저전압 대전류원 회로의 동작 원리

제안하는 저전압 대전류원 회로를 그림 2에 나타내었다. 3상 다이오드 정류기를 통해 변환된 직류 전압이 필터 커패시터 C에 충전되고 단상 폴 브리지 인버터의 동작에 의해 시험 밸브 V_T 로 인덕터 전류 i_L 이 제공된다. 그림 3은 시험 밸브 V_T 로 흐르는 전류와 인가되는 전압의 일반적인 파형이다. 구간별 동작 원리는 다음과 같다.

구간-1 ($t_0 \leq t < t_1$): $t = t_0$ 에서 Q1, Q2, V_{a1} , V_T 를 턴 온하면 i_L 은 C-Q1-L- V_{a1} - V_T -Q2의 경로로 t_1 까지 흐른다. 이 때, 인덕터의 양단에는 $v_L = V_C$ 가 인가되어 i_L 은 V_C/L 의 기울기로 증가한다.

구간-2 ($t_1 \leq t < t_2$): $t = t_1$ 에서 Q2를 일정한 듀티로

턴 온, 오프를 반복하면 i_L 은 일정한 크기를 유지하며 흐른다. $Q2$ 가 턴 온 상태이면 i_L 의 경로는 구간 1 과 같고, 턴 오프 상태이면 $Q1-L-V_{a1}-V_T-D3$ 의 경로로 $t2$ 까지 흐른다.

구간-3 ($t2 \leq t < t3$): $t=t2$ 에서 $Q1$ 과 $Q2$ 를 턴 오프하면 i_L 은 $C-D4-L-V_{a1}-V_T-D3$ 의 경로로 $t3$ 까지 흐른다. 이 때, 인덕터의 양단에는 $v_L = -V_C$ 가 인가되어 i_L 은 $-V_C/L$ 의 기울기로 0 까지 감소한다.

구간-4 ($t3 \leq t < t4$): $t=t3$ 에서 $Q3$ 과 $Q4$ 를 턴 온 하면 V_{a1} 에 $C-Q3-V_T-V_{a1}-L-Q4$ 의 경로로 V_C 가 인가되어 $t4$ 까지 V_{a1} 이 완전히 턴 오프되기 위한 시간을 확보한다. 이를 통해 다음 구간에 V_T 로 인가되는 고전압으로부터 저전압 대전류원 회로는 보호된다.

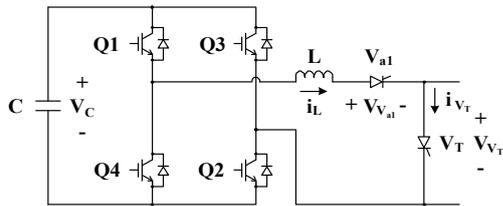


Fig 2 Proposed circuit of high-current low-voltage source

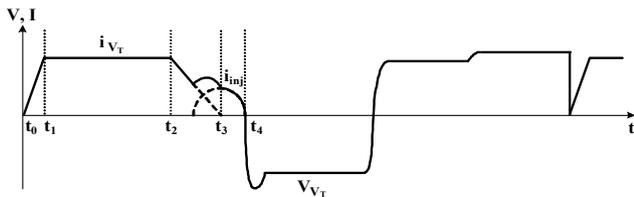
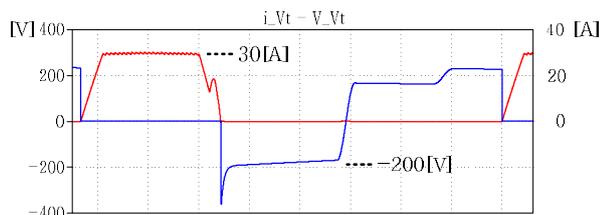


Fig 3 Current and voltage waveforms of test valve in STC

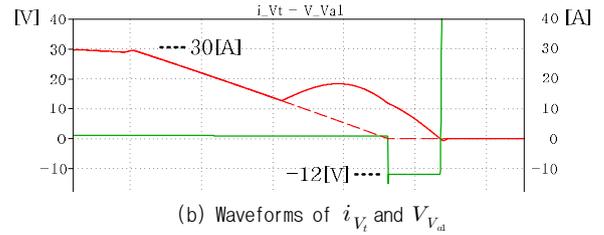
3. 시뮬레이션 및 축소모형 실험 결과

제안하는 저전압 대전류원 회로의 검증을 위해 PLECS 툴을 사용하여 시뮬레이션을 실시하였다. 저전압 대전류원은 30 [A], 저전류 고전압원은 200 [V] 로 회로를 설계하였다. 그림 4 (a) 는 시험 밸브 V_T 의 전류와 전압 파형을 나타낸다. 그림 4 (b) 는 시험 밸브 V_T 의 전류와 보조 밸브 V_{a1} 의 전압 파형을 나타낸다. 입력 전원의 필터 커패시터 전압 V_C 가 구간 3 동안 역방향으로 보조 밸브 V_{a1} 에 인가되는 것을 확인하였다.

시뮬레이션의 파라미터와 동일한 사양으로 축소모형을 구성하여 실험을 진행하였다. 그림 5 (a) 는 시험 밸브 V_T 의 전류와 전압 파형을 나타내고, 그림 5 (b) 는 시험 밸브 V_T 의 전류와 보조 밸브 V_{a1} 의 전압 파형을 나타낸다. 축소모형 실험을 통해 각 파형들이 시뮬레이션 결과와 유사함을 확인하였다.

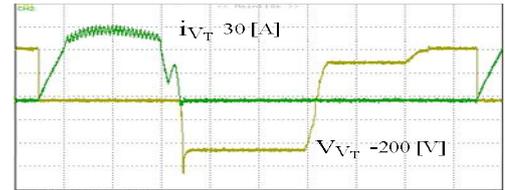


(a) Current and voltage waveforms of V_T



(b) Waveforms of i_{V_t} and $V_{V_{a1}}$

Fig 4 Current and voltage waveforms in simulation



(a) Current and voltage waveforms of V_T



(b) Waveforms of i_{V_t} and $V_{V_{a1}}$

Fig 5 Current and voltage waveforms in experiment

4. 결론

본 논문에서는 HVDC Thyristor Valve 의 연속운전시험을 위한 개선된 저전압 대전류원 방식의 합성시험회로를 제안하였다. 제안하는 방식은 보조 사이리스터 밸브의 턴 오프를 위한 보조 회로 및 보조 구성품을 제거하여 기존 회로보다 구조가 간단하고, 입력 전원의 필터 커패시터 전압을 역방향으로 인가하여 보다 간단한 방법으로 사이리스터 보조 밸브를 턴 오프시킨다. 제안한 회로에 대한 분석을 하였고, 시뮬레이션과 동일한 사양의 축소모형 실험을 통해 제안하는 방식의 타당성을 검증하였다. 제안하는 방식은 구조 및 제어가 간단하여 시험설비의 투자비용 절감과 효율적 운용에 기여할 것으로 기대된다.

참고 문헌

- [1] B.L.Sheng, E.Jansson, A.Blomberg, H O Bjarme, D. Windmar, "A New Synthetic Test Circuit For the Operational Tests of HVDC Thyristor Modules", IEEE PELS APEC2001, Vol. 2, pp. 1242 1246, Sep. 2001.
- [2] E.C.Nho, B.M.Han, Y.H.Chung, S.T.Baek, J.H.Jung, "Synthetic Test Circuit for Thyristor Valve in HVDC Converter with New High Current Source", IEEE Transactions on Power Electronics, Vol. 29, No. 7, pp. 3290 3296, Jul. 2014.
- [3] J.H.Jung, B.J.Goo, H.J.Jeo, E.C.Nho, B.M.Han, Y.H.Chung, S.T.Baek, "A Synthetic Test Circuit for HVDC Thyristor Valve Test with Simplified Turn Off circuit of Auxiliary Thyristor", Transactions of the Korean Institute of Power Electronics, Vol. 19, No. 5, Oct. 2014.