

3-Level NPC 인버터에서의 THD 개선을 위한 Zero Dead-time PWM 구현기법

간 용* · 현승욱* · 홍석진* · 이희준* · 원중연*
성균관대학교*

Zero Dead-time PWM realization Method to Improvement for Total Harmonic Distortion in 3-Level NPC Inverter

Yong Kan*, Seung Wook Hyun*, Seok Jin Hong*, Hee Jun Lee*, Chung Yuen Won*
Sungkyunkwan University*

ABSTRACT

본 논문에서는 3 Level NPC(Neutral Point Clamped) 인버터에서 ZDPWM(Zero Dead Time Pulse Width Modulation) 기법에 대해서 제안한다. 3 Level NPC 인버터에서 기존 PWM 기법은 각 스위치는 서로 상보적인 동작을 수행하고, 반도체 스위칭 소자 특성상 Rise Time과 Fall Time의 시간차이로 인하여 단락사고를 방지하기 위해 스위칭 신호의 Rising Edge에 데드타임을 인가하여 단락을 방지한다. 그러나 이러한 데드타임은 지령 스위칭 신호와 실제 스위칭 신호의 오차로 인하여 출력 전압 및 전류에 왜곡이 발생하고, 이러한 왜곡으로 인하여 시스템의 오작동 및 직류링크단 전압의 불평형의 원인이 된다. 제안하는 PWM기법은 지령전압과 출력전류의 위상에 따라 영역을 나눈 후 전류의 방향에 따라 옅셋 전압을 생성하여 새로운 지령전압을 만들어 각 스위치에 스위칭 신호를 인가한다. 제안한 기법에 타당성을 증명하기 위해 시뮬레이션을 통해 검증하였다.

1. 서론

일반적으로 3 Level NPC 인버터에 사용되는 반도체 스위칭 소자특성상 Rise Time이 Fall Time보다 짧다. 따라서 스위칭 동작 수행 시 단락사고의 위험이 존재한다. 이러한 이유로 데드타임을 인가하여 단락사고를 방지한다. 그러나 인가된 데드타임은 출력전압 및 전류의 왜곡을 일으키고, 이러한 왜곡은 직류링크단 전압의 불평형 및 시스템의 오작동을 유발 할 수 있다.

본 논문에서는 데드타임을 고려하지 않고, 상보적인 동작을 수행하지 않는 ZDPWM 기법을 제안한다. 제안하는 기법은 지령전압과 출력전류의 위상차에 따라 스위칭 동작 영역을 나눈 후, 각 영역에 따라 스위칭 동작을 수행한다.

2. 3-Level NPC 인버터에서 ZDPWM 기법

2.1 3-Level NPC 인버터의 데드타임 영향

그림 1에서 3 Level NPC 인버터는 중성점을 기준으로 각 레그는 중성 직류링크와 연결되어있고, 한 상은 4개의 스위치와 2개의 중성점 다이오드로 구성되어있다. 한 leg에서 스위치 T_{x1} 과 T_{x3} , T_{x2} 와 T_{x4} 는 서로 상보적인 동작을 수행한다.

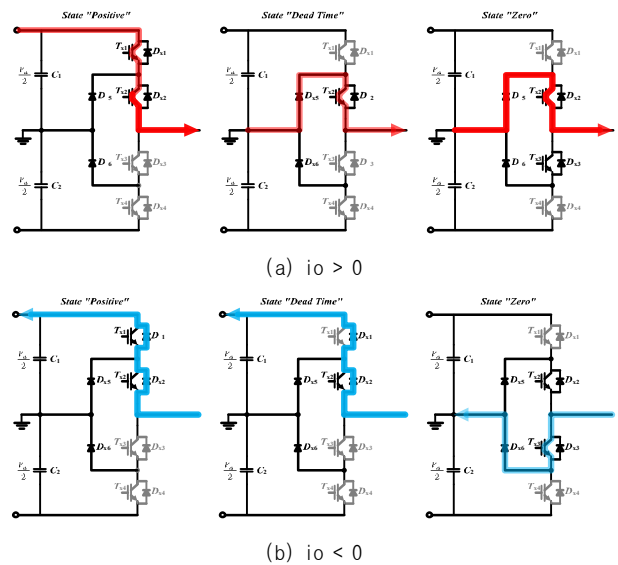


그림 1. 상전압 상태에 따른 전류의 방향

Fig 1. Direction of current in accordance with phase voltage

그림 1은 상전압 상태에 따른 출력 전류의 방향을 나타내는 그림이다. 그림 1은 상태에 따라 상전압은 $+V_{dc}/2$, 0 , $-V_{dc}/2$ 가 나타나게 된다.^[2] 그림 1 (a)는 스위치 T_{x1} 과 T_{x2} 가 “Positive” 상태에서 On 상태를 유지하다 스위치 T_{x1} 과 상보적인 동작을 하는 스위치 T_{x3} 가 켜지면서 “Zero” 상태가 된다. 실제로 “Positive” 상태에서 “Zero” 상태로 전환 될 때 전력용 반도체 스위치 특성상 Rise Time과 Fall Time의 시간차이가 존재한다. 이러한 시간차이로 인하여 단락사고가 발생 할 가능성이 존재하기 때문에 스위칭 신호 Rising Edege에 데드타임을 인가하여 단락사고를 방지한다. 그러나 인가된 데드타임은 출력전압 및 출력전류의 왜곡을 일으키고, 이 왜곡으로 인하여 직류링크의 불평형 및 THD가 높아지는 원인이 된다.

2.2 3-Level NPC 인버터의 ZDPWM 기법

그림 2는 ZDPWM의 지령전압 및 스위칭 신호를 나타낸 그림이다. 그림 2 (a), (b)에서 전류의 방향에 따라 그림 (c), (d)와 같이 2개의 옅셋 전압을 생성하고 옅셋 전압의 크기는 최대 MI(Modulation Index)값 이다. 생성된 옅셋 전압을 지령전압과 더하여 2개의 새로운 지령전압을 생성한다. 그림 2 (e)에서 기존의 지령전압과 “+” 옅셋전압을 더하여 생성한 새로운 옅셋

전압 $V_{a,ref1}^*$ 과 상단 캐리어 $Carrier_{top}$ 과 비교하여 $V_{a,ref1}^* > Carrier_{top}$ 일 때, A상의 T_{x1} 스위치를 동작시켜 스위칭 파형을 생성한다. 그림 2 (f)는 기존의 지령전압과 “ ” 옹셋전압을 더하여 생성한 새로운 옹셋전압 $V_{a,ref2}^*$ 와 상단 캐리어 $Carrier_{top}$ 과 비교하여 $V_{a,ref2}^* < Carrier_{top}$ 일 때, A상의 T_{x3} 스위치를 동작시켜 스위칭 파형을 생성한다. 그림 2 (g)는 $V_{a,ref1}^*$ 과 하단 캐리어 $Carrier_{bottom}$ 과 비교하여 $V_{a,ref1}^* > Carrier_{bottom}$ 일 때, A상 스위치 T_{x2} 를 동작시켜 스위칭 파형을 생성한다. 그림 2 (h)는 $V_{a,ref2}^*$ 와 하단 캐리어 $Carrier_{bottom}$ 과 비교하여 $V_{a,ref2}^* < Carrier_{bottom}$ 일 때, A상의 T_{x4} 스위치를 동작시켜 스위칭 파형을 생성한다. 각 스위칭 파형은 각 상태에서 각 영역에서 비교되기 때문에 기존의 PWM기법과 다르게 상보적인 동작을 수행하지 않는다. 또한 데드타임을 인가하지 않았기 때문에 출력 전압 및 출력전류의 왜곡이 발생하지 않는다.^[1]

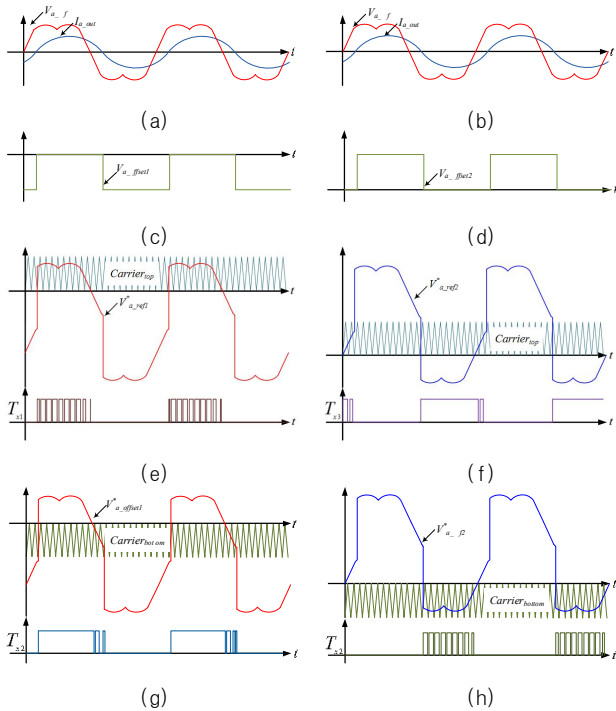


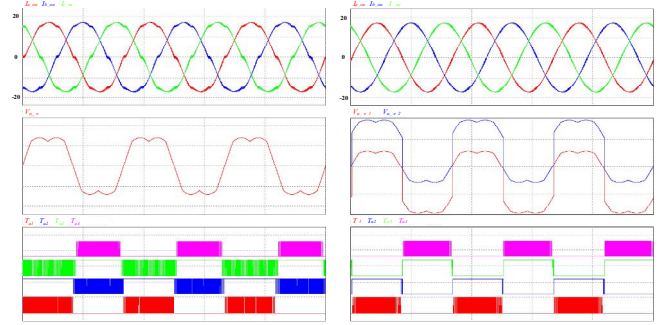
그림 2. ZDPWM의 지령전압 및 스위칭 신호
Fig 2. Reference voltage and switching signal of ZDPWM

2.3 시뮬레이션

표 1 3-Level NPC 인버터 파라미터
Table 1 Parameter of 3-Level NPC Inverter

	기존 PWM 방식	제안된 PWM 방식
DC링크 전압	650[V _{dc}]	650[V _{dc}]
R 부하	12.5[Ω]	12.5[Ω]
L 부하	3[mH]	3[mH]
스위칭 주파수	10[kHz]	10[kHz]
데드타임	10[μs]	0[s]

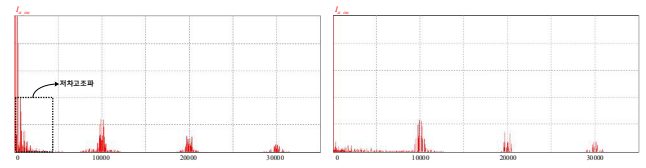
표 2는 본 논문에서 제안한 PWM 기법의 타당성을 검증하기 위한 3 Level NPC 인버터의 파라미터를 나타내고 있다. DC링크 전압 및 수동소자 값 스위칭 주파수를 동일하게 두었고, 데드타임은 기존의 PWM 기법에서 10[μs], 제안한 PWM 기법에서는 데드타임을 인가하지 않았다. 시뮬레이션 결과 기존의 PWM 기법은 데드타임의 영향으로 인하여 출력전류의 왜곡이 발생하였다.



(a) 기존 PWM 기법 (b) 제안한 PWM 기법

그림 3. 기존의 PWM 기법과 제안한 PWM 기법의 지령전압, 출력전류 및 스위칭 파형

Fig 3. Reference voltage, output current and switching signal of Conventional PWM method and proposed PWM method



(a) 기존 PWM 기법 (b) 제안한 PWM 기법

그림 4. 기존의 PWM기법과 제안한 PWM 기법의 FFT 분석 파형

Fig 4. FFT waveform analysis of Conventional PWM method and proposed PWM method

그러나 제안한 PWM 기법은 데드타임을 인가하지 않았기 때문에 데드타임에 의한 출력전류의 왜곡이 발생하지 않았다. FFT 분석결과 기존의 PWM 기법에서 전류의 왜곡으로 인하여 저차조파가 많이 발생하였지만, 제안한 PWM 기법에서는 데드타임을 인가하지 않았기 때문에 기존의 PWM기법에 비해 더 적게 발생하는 것을 확인하였다.

3. 결론

본 논문에서는 3 Level NPC 인버터에서 데드타임이 없는 ZDPWM 기법을 제안하였다. 기존 PWM 기법에서는 상보적인 동작을 수행하기 때문에 단락사고를 방지하고자 데드타임을 인가하였기 때문에 데드타임 영향으로 인하여 전류의 왜곡이 발생되었지만, 제안한 PWM 기법은 데드타임을 인가하지 않았기 때문에 전류의 왜곡이 발생하지 않는 것을 확인하였다. 또한 기존의 PWM 기법에서 THD가 약 5[%]가 나타났지만 제안한 PWM 기법에서는 THD가 약 1.6[%]로 감소한 것을 확인하였다.

본 논문은 2012년도 정부(지식경제부)의 재원으로 삼성중공업의 지원을 받아 수행된 연구임 (No. 2012T100100064)

참고 문헌

[1] 간용, 현승욱, 홍석진, 원충연, “3 Level NPC 인버터에서의 Zero Dead time PWM 구현기법,” 한국조명·전기설비학회 학술대회, 한국조명·전기설비학회 학술대회 논문집, pp.18, May, 2015.

[2] A. Nabae, I. Takahashi, H.Akagi, “A new neutral point clamped PWM inverter,” IEEE Trans. on Ind. Applicat., Vol. IA 17, No.5, pp.518 523, Sept./Oct. 1981.