

3상 6팩 인버터 모듈을 이용한 하나의 가극성 커플드 인덕터를 갖는 영전압 스위칭 펄스-폭 변조 단상 풀-브릿지 인버터

소재환, 김래영[†]
한양대학교

ZVS PWM Single phase full-bridge inverter using 6-pack module with an additive coupled inductor

Jae-Hwan Soh, Rae-Young Kim[†]
Hanyang University

ABSTRACT

본 논문에서는 3상용 6팩 인버터 모듈을 이용한 가극성 커플드 인덕터를 갖는 영전압 스위칭 펄스-폭 변조 단상 풀-브릿지 인버터를 제안한다. 모듈을 이용하기 때문에 시스템의 조밀한 설계가 가능하여 영전압 스위칭 구현에 있어 큰 영향을 미칠 수 있는 기생 성분들을 줄이는데 용이할 수 있다. 본 논문에서 제안된 회로의 동작 원리와 특성들을 다룰 것이며 시뮬레이션을 통하여 가능성을 검증하였다.

1. 서론

전력변환 시스템을 구성하는 성분 중 큰 부피를 차지하는 것으로 스위칭 시 고조파를 억제하기 위한 출력단 필터가 있으며, 높은 스위칭 주파수로 동작시킴으로써 필터의 부피를 줄일 수 있다^[1]. 그러나 높은 스위칭 주파수로 동작함에 따라 스위칭 손실이 증가하게 되는 문제점이 있으며 이는 전체 시스템의 효율 감소를 야기할 수 있으므로 스위칭 손실을 저감하기 위한 방법 중 하나인 소프트 스위칭 기술이 연구되고 있다^[1]. 본 논문에서는 소프트 스위칭 기술 중 영전압 스위칭(ZVS) 기법을 이용한 하나의 가극성 커플드 인덕터를 갖는 단상 풀-브릿지 인버터를 제안한다. 일반적으로 소프트 스위칭 회로는 하드 스위칭 회로 대비 추가적인 외부회로를 가지게 되며, 이를 개별적인 소자를 이용하여 구성하게 되면 시스템의 부피가 커지며 소프트 스위칭 구현에 영향을 미칠 수 있는 기생 성분들이 커질 수 있다. Fig. 1(b)와 같이 6팩 인버터 모듈을 이용하면 Fig. 1(a)와 같이 개별소자로 이용했을 때 보다 조밀하게 설계할 수 있으며, 그로 인해 기생성분들을 줄일 수 있다. 본 논문에서는 제안된 회로에 대한 모드 분석을 다루며 시뮬레이션을 통하여 회로의 동작 가능성을 검증하였다.

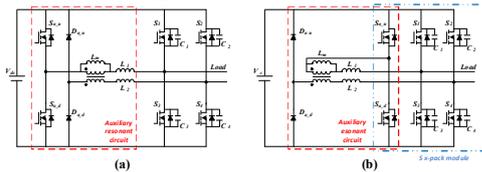


Fig. 1. Proposed ZVS PWM Full-bridge inverter ((a) Proposed circuit, (b) Proposed circuit using 6-pack module)

2. 본문

2.1 동작 원리와 특성 분석

Fig. 2 와 Fig. 3 는 제안된 회로의 한 주기의 주요한 파형들과 각각 스테이지에서의 회로 동작을 보여준다. 각 스테이지의 모드 분석과 특성들은 다음과 같다.

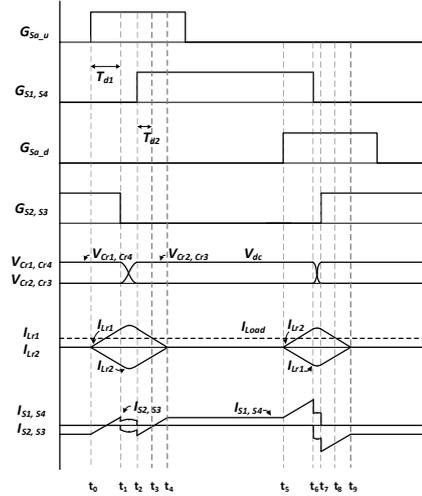


Fig. 2. Timing diagram of key waveforms

Initial condition [$t < t_0$, (a)]: SW₂와 SW₃의 역-병렬 다이오드를 통해 부하 전류가 흐르고 있다.

Stage 1 [$t_0 < t < t_1$, (b)]: 보조 스위치 S_{a,u}가 on 되며 path가 형성된다. 보조 인덕터 L_{r1}에는 V_{dc}의 전압이 걸리게 되므로 선형적으로 전류가 증가한다. 2차측에도 전압이 인가되어 보조 다이오드 D_{a,u}를 통한 전류 path가 형성된다. 이 때 관계를 수식으로 표현하면 식(1)과 같다.

$$I_r = V_{dc} \frac{T_{d1}}{L} \quad (1)$$

Stage 2 [$t_1 < t < t_2$, (c)]: I_{Lr1} 전류가 I_{load}보다 더 커진 시점에서 SW₂, SW₃를 꺼준다. 이 때 L_r과 C_{r2}, C_{r3}에 의한 공진이 발생하며 I_{Lr1} - I_{load}의 전류는 반씩 나누어 반의 전류는 C_{r1}에 충전되어 있는 전압 V_{Cr1}을 방전시키고 반의 전류는 C_{r3}의 V_{Cr3}을 충전 시킨다.

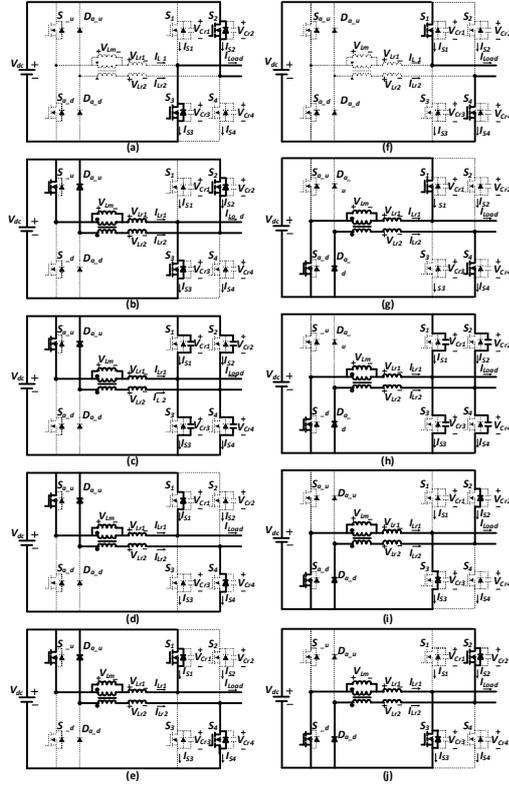


Fig. 3. Interval topology diagrams of a switching cycle under positive load current.

이때의 공진 주파수는 식(2)로 표현할 수 있다.

$$\omega_r = \frac{1}{\sqrt{L_{r1} \cdot (C_{r1} + C_{r2})}} \quad (2)$$

Stage 3 [$t_2 < t < t_3$, (d)]: stage 2에서 보조 커패시터 C_r 들을 충전, 방전시킨 후 여분의 전류 I_{Lr} 이 역병렬 다이오드를 통해 흐르는 구간이다. 보조 인덕터 L_{r2} 에는 V_{in} 의 정방향의 전압이 걸리고 L_{r2} 의 전류는 선형적으로 감소한다. 1차측 공진 path에서 프리휠링하는 전류도 선형적으로 감소하게 된다. 이 구간에서 SW_1 과 SW_4 를 ZVS 해줄 수 있으며 이 구간은 스위치의 턴 온 시간과 스위칭 신호의 전파 지연시간을 포함한 시간보다 길어야 한다. 이를 식(3)으로 표현할 수 있다. $T_{d,rise}$ 는 스위치의 턴 온 시간이며 $T_{d,pro}$ 는 스위칭 신호의 전파 딜레이이다.

$$T_{d,rise} + T_{d,pro} < T_{d2} \quad (3)$$

where $T_{d2} = \frac{L_r}{V_{dc}}(I_r(0) - I_{load})$

Stage 4 [$t_3 < t < t_4$, (e)]: 공진 path의 전류 I_{Lr} 은 V_{dc} 에 의해 계속해서 선형적으로 감소하며 SW_1 , SW_4 로 I_{load} 가 흐르기 시작한다.

Stage 5 [$t_4 < t < t_5$, (f)]: 공진 path의 전류 I_{Lr} 이 0이 된 이후에 보조 스위치 $S_{a,u}$ 를 꺼준다. 기존의 컨벤셔널 풀-브릿지 인버터의 동작을 한다.

Stage 6 [$t_5 < t < t_6$, (g)]: 보조 스위치 $S_{a,d}$ 를 꺼준다.

보조 인덕터 L_{r1} 에는 입력전압 V_{dc} 가 역방향으로 걸리게 되어 전류가 역방향으로 선형적인 증가한다. 2차측의 보조 인덕터 L_{r2} 에는 정방향의 전압이 걸리며 2차측의 전류 역시 정방향으로 선형성을 갖고 증가하기 시작한다.

Stage 7 [$t_6 < t < t_7$, (h)]: SW_1 , SW_4 를 꺼준다. $C_{r(1,3)}$ 과 L_{r1} 의 공진이 시작되며 V_{Cr1} 이 충전되고 V_{Cr3} 은 방전되는 방향으로 전류가 흐르게 된다.

Stage 8 [$t_7 < t < t_8$, (i)]: 보조 C_r 들을 충전, 방전 후 여분의 전류 I_{Lr} 이 SW_2 , SW_3 의 역병렬 다이오드를 통해 흐르는 구간이다. 보조 인덕터 L_{r2} 에는 V_{in} 의 L_{r2} 의 전류는 선형적으로 감소한다. 1차측 공진 path에서 프리휠링하는 전류도 선형적으로 감소하게 된다. 이 구간에서 SW_2 과 SW_3 을 ZVS 해줄 수 있다.

Stage 9 [$t_8 < t < t_9$, (j)]: 공진 path의 전류가 0이 되면 보조 스위치 $S_{a,d}$ 를 꺼주며 회로는 초기상태로 돌아가게 된다.

2.2 시뮬레이션 결과

Fig. 4는 제안한 회로에서 주요한 파형의 시뮬레이션 결과를 보여준다. 앞서 설명한 회로의 동작이 동일하게 일어나는 것을 확인할 수 있다.

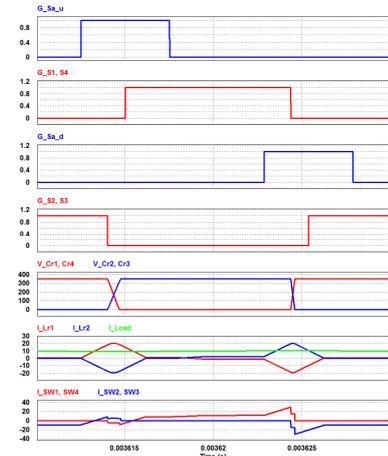


Fig. 4. Simulation waveforms of the proposed single phase full-bridge inverter using additive coupled inductor

4. 결론

본 논문에서는 가극성 커플드 인덕터를 갖는 영전압 스위칭 펄스-폭 변조 단상 풀-브릿지 인버터를 제안하였다. 모듈을 이용함으로써 개별 소자를 통한 시스템 구성 대비 조밀한 설계가 가능하여 전체 시스템의 부피를 줄일 수 있고, 아울러 기생 성분들을 줄일 수 있을 것이라 기대한다. 시뮬레이션을 통하여 회로의 동작 가능성을 검증하였다.

참고 문헌

- [1] J.S. Lai, W.S. Yu, and S. Y. Park, "Variable Timing Control for Wide Current Range Zero-Voltage Soft-Switching Inverter," in *Proc. IEEE APEC, Feb 2009*, pp. 407-412