

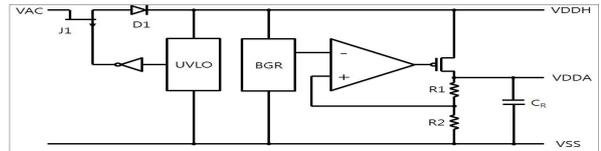
JFET 특성을 이용한 Power Management IC의 Pre-Regulator 설계

박 현*, 김형우**, 서길수**, 김영희*
국립창원대학교*, 한국전기연구원**

Design of Power Management Pre-Regulator Using a JFET Characteristic

Heon Park*, Hyoung-Woo Kim**, Kil-Soo Seo**, Young-Hee Kim*
Changwon National University*, Korea Electrotechnology Research Institute(KERI)**

Abstract - 본 논문에서는 상용전압 AC 220V를 인가전압으로 사용하여 PMIC(Power Management IC)의 구동에 적합한 전압을 인가해주는 Pre-Regulator를 설계하였다. 설계된 Pre-Regulator는 상용전압을 사용하기 때문에 Device의 내압이 700V인 Magnachip 0.35 μ m BCD 공정을 이용하여 설계되었으며, 회로의 구성은 저전압 입력 보호 기능 및 JFET의 구동 제어를 위한 Under Voltage Lock Out(UVLO)회로, 전압조정기(Regulator)의 기준전압을 생성해주는 밴드갭 기준전압 발생(Bandgap Reference)회로, LDO(Low Drop Out)회로로 구성되어 있다.



〈그림 1〉 Pre-Regulator의 회로 구성도

1. 서 론

최근 스마트폰, 차량용 GPS, DMB 등 정보화 디지털 기기의 급속한 발전에 따라서 제한된 배터리 전원을 관리하는 고효율의 PMIC 집적화가 요구된다. PMIC는 시스템의 고기능화, 다기능화, 다양한 서비스 요구 사항을 충족시키기 위하여 제한된 배터리 리소스의 효율적인 제어 및 관리 기능을 하는 전력반도체 기반 PMIC가 매우 중요하게 부각되고 있고, 각각 애플리케이션에 필요한 전압을 각각의 디스크리트로 해결하던 것을 원칩화하여 각각의 소자를 원칩화 함으로서 얻어지는 공간 절약의 이점과 코스트 다운으로 배터리 기반의 모바일 정보 기기에서 PMIC는 핵심부품으로 인식되어 지고 있다. 이러한 PMIC는 전력용 디스크리트 파워 소자모듈과 고전압 파워 회로, 저전압 디지털 회로, 고전압 및 저전압 아날로그 회로로 구성된 파워제어 모듈로 2칩 혹은 1칩으로 구성이 되며, 전자기기의 요구사항에 맞도록 전력을 변환, 분배, 충전 및 제어 역할을 한다.[1] 이러한 PMIC기술의 발전에서 임출력 전압 조정기인 레귤레이터는 펄스 회로로서 PMIC의 요구사항에 맞도록 설계가 되어야 한다.

본 논문에서는 상용전압 AC 220V를 인가전압으로 사용하여 PMIC에서 구동에 요구되는 적합한 전압을 출력해주는 Pre-Regulator를 설계하였다.

2. 본 론

2.1 회로 설계 주요 특징

〈표 1〉은 사용하는 PMIC에서 요구되는 임출력 전압 및 주요 특징을 나타낸 표이다. 설계에 사용되어진 공정은 Magnachip의 0.35 μ m 공정으로 700V의 내압을 가지고 있는 BCD(Bipolar CMOS DMOS) 공정을 기반으로 설계 및 레이아웃을 하였으며, 설계된 전압 조정기의 주요 특징으로는 인가전압 VAC는 현재 일반적으로 사용되고 있는 상용전압으로서 220V/60Hz의 AC 전압이며, VDDH와 VDDA 전압은 설계된 전압 조정기에 의해 조정되어 출력되어지는 전압으로서 VDDH는 HV(High Voltage) 소자에 인가되는 전압으로서 18V, VDDA는 MV(Medium Voltage) 소자에 인가되는 전압으로서 5V가 출력되도록 설계를 하였다.

〈표 1〉 Regulator 주요 특징

Items		Main Features
Process		Magnachip 0.35 μ m BCD
Supply Voltage	VAC	220V/60Hz
Output Voltage	VDDH	DC 18V \pm 10%
	VDDA	DC 5V \pm 10%
Temperature Range		-40 $^{\circ}$ C ~ 125 $^{\circ}$ C

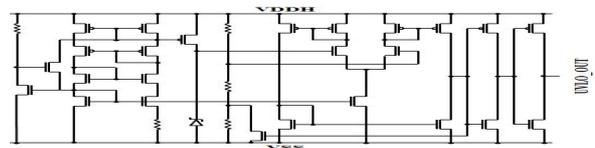
〈그림 1〉은 설계한 Pre-Regulator의 전체 회로 구성도이다. 회로의 구성은 700V의 내압을 가지는 n채널 JFET, 저전압 보호 기능 및 JFET 구동을 제어할 수 있는 저전압 보호 회로, 전압조정기의 기준 전압을 만들어 주는 밴드갭 기준 전압 회로 그리고 전압 조정기로 구성되어 있다.

2.2 JFET 소자의 특성

설계한 전압 조정기의 첫 번째 단계에 JFET을 사용하였다. JFET을 사용한 이유는 주요 특성인 Gate - Drain Breakdown Voltage가 700V로서 아주 높은 전압에도 견딜 수 있는 내압을 가지므로 AC 220V의 전압에서도 소자가 파괴되지 않고 원하는 전류를 다음 단계로 공급을 해줄 수 있다. 일반적으로 소자 특성이 JFET과 비슷한 BJT(Bipolar Junction Transistor)를 사용하여 설계를 하는 경우가 많으나 이 경우에는 회로가 복잡해지고 소자의 손실전류(leakage current)가 증가하는 문제가 생겨서 파워 소모 면에서 JFET이 유리하다[2]. JFET은 동작 속도가 빠르고, 파워 방출량이 적기 때문에 PMIC와 같이 파워 특성에 중점 둔 설계 시에 BJT에 비해 설계가 용이하다. 또한 입력 임피던스가 높고, RON 저항이 낮아 이상적인 스위칭 소자로서의 역할을 한다. 이러한 이유로 전류, 전압 구동에 JFET을 사용하였다. Magnachip 0.35 μ m BCD공정의 n-channel single source JFET의 pinch off 전압은 -23V이며, 이 경우 VGS(Gate - Source Voltage)가 -23V가 되는 경우, JFET은 off 상태가 된다. 이러한 특성을 고려하여 source에 걸리는 전압 VDDH(=18V)와 저전압 보호회로를 이용하여 JFET의 구동을 제어하고, 이를 통해 전체 회로의 구동 전류가 흐르도록 설계하였다.

2.3 저전압 보호회로

〈그림 2〉는 저전압 보호회로의 회로도이다. 저전압 보호회로는 구동 전압이 일정전압 이하일 때 회로의 오동작으로 인해 칩이 파괴되는 것을 보호해 주는 회로이다. 제안한 저전압 보호회로는 출력이 전압 조정기 모든 회로의 입력전압으로 연결되어, 구동전압이 하강하여 일정전압 이하가 될 때 출력이 0V가 되어 전압 조정기의 동작을 멈추고, 다시 구동전압이 상승하여 일정전압 이상이 될 때 출력이 VDDH가 되어 전압 조정기의 동작을 하게 한다[3]. 이러한 저전압 보호회로로서의 기능 외에 출력에 인버터를 추가하여 JFET의 Gate에 제어 입력신호로 사용하여 JFET의 동작을 제어하는 역할도 병행한다.



〈그림 2〉 저전압 보호회로(UVLO)의 회로도

2.4 밴드갭 기준전압 발생(Bandgap Reference) 회로

〈그림 3〉은 밴드갭 기준전압 발생기의 회로도이다. 설계한 기준전압 발생기는 항상 2.1V의 전압을 발생하도록 회로를 설계하였다. 보통의 경우 약 1.2V정도의 밴드갭 전압이 발생하도록 설계를 하지만, 설계된 Pre-Regulator의 경우 전압조정기의 차동증폭기 아래의 Tail Current Source의 경우 HV 소자를 사용하였는데, 이 소자의 문턱전압이 소자특성 상 0.80~2.24V로 되어있기에 이 특성에 맞추어 worst 조건에서도 동작을 할 수 있도록 전압을 만들어 주어야 한다. 그러므로 밴드갭 전압이 아닌 임의의 기준전압을 만들어 주는 Current Mirror 타입의 BGR 회로를 사용하였다. 먼저 온도와 기준전압에 둔감한 밴드갭 기준전류를 만들

고, 이 기준전류가 출력 저항을 통해 흐르므로서 기준전압으로 바뀐다. 그러므로 기준전압은 저항 값을 변화 시켜서 밴드갭 전압이 아닌 임의의 전압을 만들 수 있다. 이를 통해 2.1V의 전압을 발생하는 기준전압 발생기를 설계하였다[4].

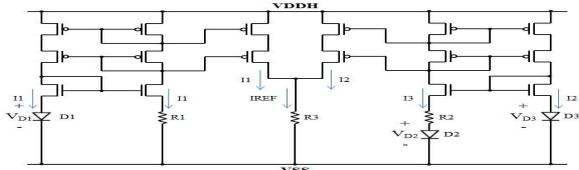
설계된 밴드갭 기준전압 발생회로의 경우 온도에 반비례하는 I_1 과 온도에 비례하는 I_2 가 합해져서 온도에 둔감한 전류인 IREF가 생성이 된다. 전류 I_1 의 경우 식(1)에서 보듯이 저항 R_1 에 걸리는 전압 V_{D1} 에 의해 결정되며, 전류 I_2 의 경우는 V_{D3} 는 $V_{D2}+R_2 \cdot I_3$ 와 같게 되어 식(2)이 나온다. 식(3)의 기준전류 IREF는 저항 R_3 를 통해 흐르므로 VREF 전압은 아래의 식(4)와 같이 출력된다.

$$I_1 = \frac{V_{D1}}{R_1} \quad \text{식(1)}$$

$$I_2 = \frac{V_T \cdot \ln 10}{R_2} \quad \text{식(2)}$$

$$IREF = I_1 + I_2 = I_1 + 10 \cdot I_3 = \frac{V_{D1}}{R_1} + \frac{10 \cdot V_T \cdot \ln 10}{R_2} \quad \text{식(3)}$$

$$VREF = IREF \times R_3 \quad \text{식(4)}$$

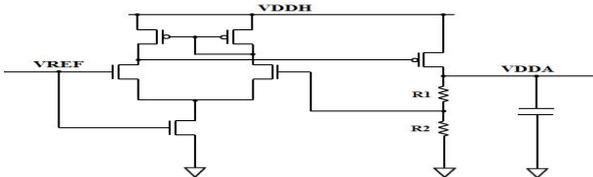


〈그림 3〉 밴드갭 기준전압 발생기(BGR)의 회로도

2.5 회로 설계 주요 특징

아래의 〈그림4〉는 설계한 전압 조정기 회로이다. 기본적인 차동증폭기 회로를 사용하여 설계를 하였으며, 전압 조정기는 밴드갭 기준 전압 발생기에 의해 만들어진 VREF 전압을 기준 전압으로 사용하였다. 출력은 VDDA는 아래의 식(5)와 같이 출력된다. 출력전압은 PVT(Process Voltage Temperature) 둔감한 VREF(=2.1V) 전압을 이용하여 변화폭을 작게하였으며, R1과 R2의 비를 조절하여 출력전압을 조절할 수 있다. 설계에서는 R1과 R2의 저항값을 각각 29kΩ, 21kΩ로 하여 출력이 약 5V가 되도록 설계하였다. 또한 VDDA 전압의 리플 전압을 감소될 수 있도록 마지막 출력 단계 Reservoir Capacitor를 배치하였다.

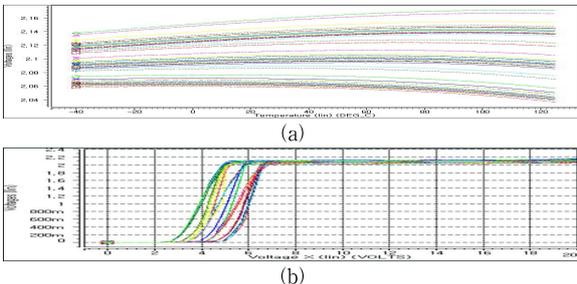
$$VDDA = VREF \times \left(1 + \frac{R_1}{R_2}\right) \quad \text{식(5)}$$



〈그림 4〉 전압 조정기(Voltage Regulator)의 회로도

2.6 Pre-Regulator의 모의실험 결과

아래의 〈그림5〉는 밴드갭 기준전압 발생회로의 모의실험 결과 파형이다. 〈그림5〉(a)는 온도변화에 따른 VREF 전압 변화 결과이다. 온도 변화에 대한 전압변화는 0.0001ppm/°C이다. 다음의 〈그림5〉(b)는 VDDH 전압을 0~20V까지 Sweep하였을 때의 기준전압의 변화 결과를 보여준다. 이 경우 전압 변화는 0.00375mV/V로 모의 실험결과가 나왔다. 기준전압 경우 PVT 변화에 의한 전압변화가 아주 작음을 모의실험 결과를 통해 알 수 있었다.

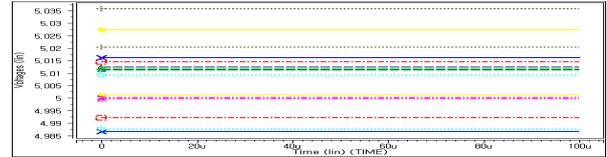


〈그림 5〉 밴드갭 기준전압 발생기(BGR)의 모의실험 결과 (a)온도 변화 따른 기준전압 (b)전압 변화에 따른 기준전압

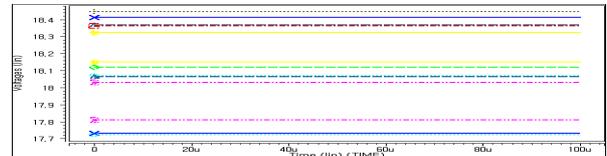
〈표 2〉 밴드갭 기준전압 발생기 모의실험 결과 요약

BGR 특성	Result
Temperature Sensitivity	0.0001ppm/°C
Supply Voltage Sensitivity	0.00375mV/V
Process Variation	±71mV

다음으로 〈그림6〉은 전체 Pre-Regulator의 모의실험 결과 파형이다. 모의실험 조건은 모든 트랜지스터 모델에서 온도 조건을 -40, 25, 125°C에서 모의실험한 결과이다. VDDA의 경우 조건에 대한 전압 변화율이 ±35mV이며, VDDH의 경우에는 변화율이 ±446mV로 모의실험 결과가 나왔다. 부하 레귤레이션의 경우 부하 전류가 0에서 5mA로 변화함에 따라 VDDA의 경우 32.6μV/mA 이고, VDDH의 경우 4.88mV/mA로 모의실험 결과가 나왔다. 〈그림7〉은 agnachip 0.35um BCD 공정을 이용하여 설계한 Pre-Regulator의 레이아웃 모습이다.

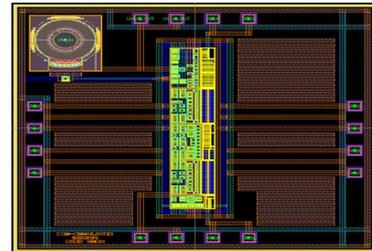


(a)



(b)

〈그림 6〉 Pre-Regulator의 모의실험 결과 (a)VDDA 전압 결과파형 (b)VDDH 전압 결과파형



〈그림 7〉 설계한 Pre-Regulator의 레이아웃

3. 결 론

본 논문에서는 상용전압 AC 220V를 인가전압으로 사용하여 PMIC의 구동에 적합한 전압을 인가해주는 Pre-Regulator를 설계하였다. 설계된 Regulator는 상용전압을 사용하기 때문에 HV Device의 내압이 700V인 Magnachip 0.35um BCD 공정을 이용하여 설계되었다. 모의실험 결과를 통해서 VDDA, VDDH의 전압이 5V, 18V를 정상적으로 출력하는 것을 확인하였으며, 부하 레귤레이션은 각각 32.6μV/mA, 4.88mV/mA로 나오는 것 확인할 수 있었다. 설계한 Pre-Regulator는 안정적인 출력전압을 가지므로 PMIC의 응용 및 구동이 가능할 것으로 기대된다.

Acknowledge

본 연구는 2014년도 산업통상자원부의 재원으로 한국에너지기술연구원 (KETEP)의 지원을 받아 수행한 연구과제입니다.(No.20132020101530)

참고 문헌

- [1] 양일석, 친환경 절전형 PMIC기술 산업동향 및 향후 전망, IT SoC Magazine, Industry trends, pp.16-21, 2010.
- [2] NAVER, "JFET", <http://blog.naver.com/starhong5/120025559552>
- [3] W. K. Park, S. J. Lee, Y. S. Park, H. J. Song Journal of The Institute of Electronics Engineers of Korea Vol. 50, NO. 10, pp.2691-2696, October 2013.
- [4] T. Y. Lee et al., A Bandgap Reference Voltage Generator Design for Low Voltage SoC, The journal of the Korea Institute of Maritime Information & Communication Sciences, vol.12 no.1, pp.137-142, 2008