

## 커패시터 전압균형 제어법을 이용한 양방향 스위치 모듈기반 7-레벨 인버터

김진산\*, 현석환\*, 강필순\*  
국립한밭대학교\*

### Bidirectional switch module based 7-level inverter using capacitor voltage balancing control method

Jin-San Kim\*, Seok-Hwan Hyun\*, Feel-soon Kang\*  
Hanbat National University\*

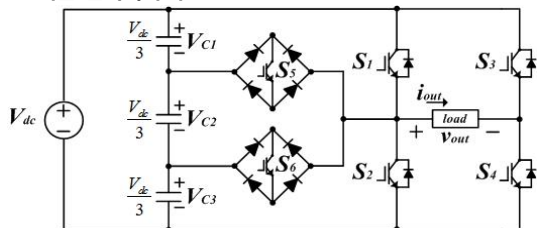
**Abstract** - 본 논문에서는 기존 직렬결합 커패시터 입력단을 갖는 7-레벨 인버터에 커패시터 전압균형 제어법을 적용하여 출력 전압의 중간레벨 구간이 제대로 형성되지 않는 문제점을 해결하고자 한다. 기존에 제시된 직렬결합 커패시터 입력단 구성을 갖는 7-레벨 인버터는 2개의 양방향 스위치모듈과 3개의 직렬 연결된 커패시터를 이용한 변형된 Cascaded H-bridge 인버터이다. 기존 논문에서는 입력 전압원으로부터 3개의 직렬 연결된 커패시터의 충전을 통해 레벨을 형성하는 과정에서 커패시터 전압불균형 문제를 해결하지 못하여 결국 출력전압레벨이 7-레벨에서 5-레벨로 감소하는 것을 볼 수 있다. 본 논문에서는 세 개의 직렬결합된 커패시터중 중앙에 위치한 커패시터의 충·방전량을 조절하여 커패시터 전압불균형 문제를 해결한다. 제어법의 타당성은 PSIM 기반의 컴퓨터 시뮬레이션을 통하여 기존 스위칭 제어법과 비교하여 검증한다.

### 1. 서 론

멀티레벨 인버터는 다수의 DC 전압을 조합하여 정현적인 파형에 가깝게 출력함으로써 왜곡이 적은 AC전압을 손쉽게 만들 수 있다. 그 중 Cascaded H-bridge 멀티레벨 인버터는 우수한 모듈화 특성으로 출력전압 레벨 수 증가에 효율적이며 유지보수가 용이한 장점이 있다. 그러나 출력전압 레벨 수를 증가시키기 위해서는 독립입력전압원 확보를 위한 문제점과 스위치 개수의 증가로 인한 회로 및 제어의 복잡화와 같은 문제점이 발생한다. 이러한 문제점을 보완하기 위해 변형된 Cascaded H-bridge 멀티레벨 인버터가 소개되었다.<sup>[1-4]</sup> 본 논문에서 제시된 기존 직렬결합 커패시터 입력단 구성을 갖는 7-레벨 인버터 또한 기존의 스위치개수 및 독립전압원 확보의 문제점을 개선한 회로이다. 하지만 레벨 형성을 위한 DC-link 커패시터단의 전압불균형 문제로 인해 출력전압레벨이 제대로 형성되지 않는 것을 확인하여 이 문제를 해결 할 수 있는 제어법을 적용하였다. 이에 대한 검토는 PSIM을 이용한 컴퓨터 시뮬레이션을 통해 확인한다.

### 2. 직렬결합 커패시터 입력단을 갖는 7-레벨 인버터

#### 2.1 7-레벨 인버터의 구조



〈그림 1〉 직렬결합 커패시터 입력단을 갖는 7-레벨 인버터<sup>[5]</sup>

그림 1은 기존 직렬결합 커패시터 입력단을 갖는 7-레벨 인버터를 나타낸다. 회로 구조는  $V_{dc}$  전압원과 DC-link 커패시터  $C_1, C_2, C_3$ 가 위치하며 그 뒤에  $S_5, S_6$ 의 양방향 스위치 모듈과  $S_1, S_2, S_3, S_4$ 의 H-bridge 모듈로 구성된다. DC-link 커패시터  $C_1, C_2, C_3$ 는 입력전원  $V_{dc}$ 로부터 각각  $V_{dc}/3$ 의 전압이 걸린다. 이 DC-link 커패시터  $C_1, C_2, C_3$ 사이에서 양방향 스위치 모듈인  $S_5, S_6$ 를 추가함으로써 기본  $V_{dc}/3$ 의 전압으로 작동되는 7-레벨 인버터가 구성된다.<sup>[5]</sup> 이와 같이 구성된 7-레벨 인버터는 기존의 Cascaded H-bridge 인버터에 비해 스위치의 개수를 6개, 독립전압원의 개수를 2개 줄일 수 있다. 하지만 정확한 7-레벨을 형성하

기 위해서는 DC-link 커패시터의 전압 불균형 문제를 해결하여야 한다.

#### 2.2 7-레벨 인버터의 동작

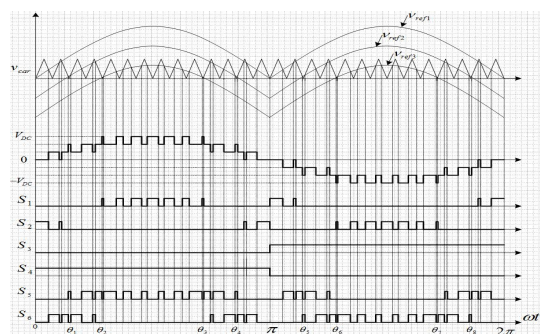
기존 직렬결합 커패시터 입력단을 갖는 7-레벨 인버터에서 회로의 모든 소자가 이상적이라고 가정하면, 단일  $V_{dc}$ 전압원에 의해 직렬결합된 DC-link 커패시터들은 각각  $V_{dc}/3$ 의 전압이 걸리게 된다. DC-link 커패시터에 걸리는 전압과 스위치  $S_1, S_3, S_5, S_4, S_6, S_2$ 의 스위칭 상태에 따라 다음과 표 1과 같은 7-레벨의 출력 전압을 얻을 수 있다

〈표 1〉 스위칭 상태에 따른 출력전압레벨

Output voltage	Switching state					
	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$
0+		1		1		
$V_{dc}/3$				1		
$2V_{dc}/3$				1	1	
$V_{dc}$	1			1		
0-	1		1			
$-V_{dc}/3$			1		1	
$-2V_{dc}/3$			1			1
$-V_{dc}$		1	1			

#### 2.3 DC-link 커패시터의 전압균형을 위한 제어법

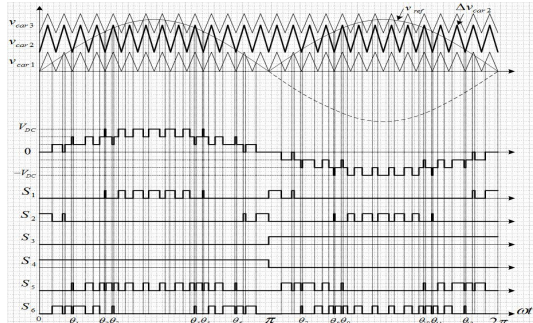
그림 2는 기존 직렬결합 커패시터 입력단을 갖는 7-레벨 인버터의 스위칭 패턴을 보여준다. 기존의 방식은 3개의 기준파  $V_{ref1}, V_{ref2}, V_{ref3}$ 와 1개의 반송파  $V_{car}$ 를 비교하여 스위칭 신호를 생성하였으며, 각각의 기준파의 주파수와 크기는 동일하지만 offset은 다른 것을 확인할 수 있다.



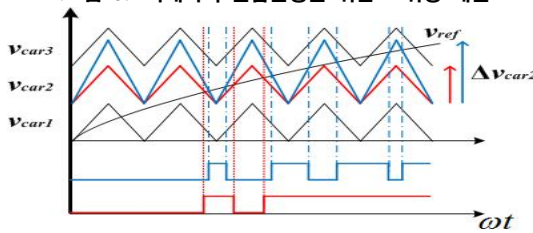
〈그림 2〉 기존의 스위칭 패턴

그림 3은 DC-link 커패시터의 전압균형을 위한 스위칭 패턴을 보여준다. 제안하는 방식은 다중 반송파 방식 SPWM의 PD (Phase Disposition) 변조를 이용하였으며, 1개의 기준파  $V_{ref}$ 와 3개의 반송파  $V_{car1}, V_{car2}, V_{car3}$ 를 비교하여 스위칭 신호를 생성한다. 기존 7-레벨 인버터 회로의 DC-link 커패시터  $C_1, C_2, C_3$ 에서 전압불균형이 발생하는 이유는 한 주기 스위칭 동안  $C_1$ 과  $C_3$ 는 동일한 에너지를 충방전하지만  $C_2$ 의 경우 더 많은 에너지를 방전함으로써  $C_2$ 의 전압으로 형성되는  $2V_{dc}/3$ 레벨과  $-2V_{dc}/3$ 레벨이 사라지게 되면서 출력전압레벨이 5-레벨로 감소하게 된다.<sup>[6]</sup> 이러한 불균형 문제를  $C_2$ 의 충·방전량을 제어함으로써 해결할 수 있다. 그림 4는 반송파  $V_{car2}$ 의 진폭에 따른 펄스폭 면적의 변화

를 보여준다. 반송파  $V_{car2}$ 의 진폭을 반송파  $V_{car3}$ 의 최소값 이상으로 증가시키므로써 반송파  $V_{car2}$ 가 담당하는 펄스폭 면적이 줄어드는 것을 볼 수 있다. 반송파  $V_{car2}$ 의 펄스폭 면적은  $C_2$ 가 담당하는 출력전압의 중간레벨 면적으로 이 면적을 감소시키므로써 DC-link 커패시터  $C_2$ 의 방전량을 감소시킬 수 있다.  $C_2$ 의 방전량을 감소시켜 기준에 발생하던  $C_2$ 에 걸리는 전압이 감소하는 문제를 해결하였으며 이에 대한 검증은 시뮬레이션을 통해 확인한다.



〈그림 3〉 커패시터 전압균형을 위한 스위칭 패턴



〈그림 4〉 반송파와 진폭에 따른 출력 면적의 변화<sup>[6]</sup>

### 2.4 시뮬레이션

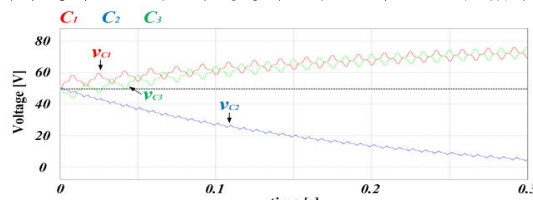
시뮬레이션은 PSIM을 이용하였으며 제안된 7-레벨 인버터의 기존의 제어 방식과 제안하는 제어 방식을 각각 적용하여 비교 검증한다. 시뮬레이션 수행조건은 다음 표 2와 같다.

〈표 2〉 시뮬레이션 조건

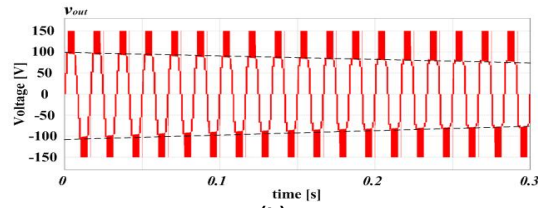
Parameter	Symbol	Value
Input Voltage	$V_{dc}$	150 [V <sub>dc</sub> ]
Output Voltage	$v_{out}$	106 [V <sub>ac</sub> ] (rms)
Output Current	$i_{out}$	10.6 [A] (rms)
Switching Frequency	$f_s$	10 [kHz]
Output Frequency	$f_{out}$	60 [Hz]
DC-link capacitor	$C_1, C_2, C_3$	2200 [μF]

그림 5는 기존의 커패시터 전압 불균형 시뮬레이션 결과파형을 보여준다. 그림 5(a)는 DC-link 커패시터  $C_1, C_2, C_3$ 의 불균형 전압파형, 그림 5(b)는 출력전압파형을 나타낸다. 기존의 제어방식으로 시뮬레이션을 하였을 경우 그림 5(a)와 같이 커패시터  $C_2$ 의 전압이 계속하여 감소한다. 그림 5(b)의 출력전압파형에서  $C_2$ 의 전압에 의해 형성되는  $2V_{dc}/3$ 레벨과  $-2V_{dc}/3$ 레벨 영역이 사라지게 되면서 출력전압레벨이 7-레벨에서 5-레벨로 감소하게 되고 이로 인해 THD에 악영향을 끼치게 된다.

그림 6은 제안하는 커패시터 전압균형법을 적용한 시뮬레이션 결과파형을 보여준다. 그림 6(a)는 DC-link 커패시터  $C_1, C_2, C_3$ 의 균형 전압파형, 그림 6(b)는 출력전압파형을 나타낸다. 제안하는 커패시터 전압균형법을 적용하여 시뮬레이션을 하였을 경우 그림 6(a)와 같이 DC-link 커패시터  $C_1, C_2, C_3$ 의 전압이 균형을 이루는 것을 확인할 수 있다. 이로 인해 그림 6(b)의 출력전압파형에서 정확한 7-레벨이 형성되는 것을 확인할 수 있다.

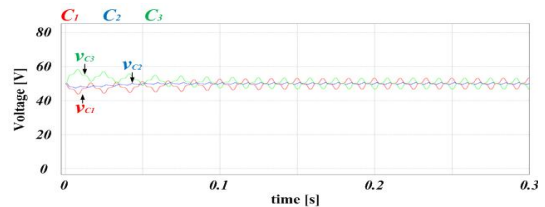


(a)

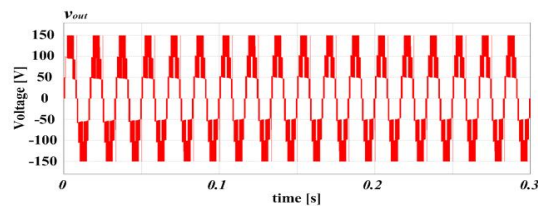


(b)

〈그림 5〉 커패시터 전압 불균형 시뮬레이션  
(a)DC-link 커패시터 불균형 전압, (b)출력전압



(a)



(b)

〈그림 6〉 커패시터 전압균형법을 적용한 시뮬레이션  
(a)DC-link 커패시터 균형 전압, (b)출력전압

### 3. 결 론

기존 직렬결합 커패시터 입력단을 갖는 7-레벨 인버터는 직렬 결합된 커패시터의 중앙 커패시터  $C_2$ 가 한주기 동안 상·하단 커패시터  $C_1, C_3$ 보다 더 많은 방전을 하기 때문에 전압  $v_{C2}$ 가 0으로 감소하는 문제점이 있었다. 이로 인해 전압  $v_{C2}$ 에 의하여 형성되는  $2V_{dc}/3$ 레벨과  $-2V_{dc}/3$ 레벨이 시간이 흘러감에 따라 사라졌고 결국 출력전압레벨이 7-레벨에서 5-레벨로 감소하여 THD에 악영향을 끼쳤다. 이러한 문제점을 중앙 커패시터  $C_2$ 의 충전률을 제어하여 해결하였고 직렬결합 커패시터 입력단은 전압 균형을 이뤄 양질의 출력전압을 얻을 수 있었다.

이 논문은 2014년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초 연구사업 지원을 받아 수행된 것임(2014R1A1A2053509)

### 참고 문헌

- [1] 최진성, 강필순, “변형된 H-bridge 회로 구조를 이용한 5레벨 인버터”, 대한전기학회 전기기기 및 에너지변환시스템분회 추계학술대회 논문집, pp. 259-261, 2012년 11월.
- [2] 최원근, 권철순, 김선필, 강필순, “단일입력전압원을 갖는 변형된 Cascaded 멀티레벨인버터”, 대한전기학회 학술대회 논문집, pp. 401-402, 2010년 10월.
- [3] 최원근, 권철순, 홍운택, 강필순, “두 대의 5-레벨 인버터의 직렬결합을 이용한 멀티레벨인버터”, 전력전자학회논문지 15(5), pp. 376-380, 2010년 10월.
- [4] F. S. Kang, S. J. Park, M. H. Lee and C. U. Kim, “An efficient multilevel-synthesis approach and its application to a 27-level inverter,” *IEEE Trans. Ind. Electron.*, vol. 52, no. 6, pp. 1600-1606, Dec. 2005.
- [5] N. A. Rahim, “Single-phase seven-level grid-connected inverter for photovoltaic system,” *IEEE Trans. Ind. Electron.*, vol. 58, no. 6, pp. 2435-2443, Jun. 2011.
- [6] J. S. Choi, F. S. Kang, “Seven-level PWM Inverter Employing Series-Connected Capacitors Paralleled to a Single DC Voltage Source,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 6, pp. 3448-3459, Jun. 2015.